

Vertical Profile Silicon Deep Trench Etch와 Loading effect의 최소화에 대한 연구

*김상용, *정우양, *이근만, *김창일

*한국 폴리텍 대학 청주캠퍼스 반도체시스템학과

*청주대학교 전기전자공학부

*중앙대학교 전기전자공학부

The Study for Investigation of the sufficient vertical profile with reducing loading effect for silicon deep trench etching

*Sang-Yong Kim, *Woo-Yang Jeong, *Keun-Man Yi, *chang-il Kim,

*Dep't of Semiconductor system, Cheong-Ju Campus of Korea Polytechnic College

*Department of Electrical and Electronics Engineering, Cheong-ju University

*Department of Electrical and Electronics Engineering, Chung-ang University

Abstract : This paper presents the feature profile evolution silicon deep trench etching, which is very crucial for the commercial wafer process application. The silicon deep trenches were etched with the SF6 gas & Hbr gas based process recipe. The optimized silicon deep trench process resulted in vertical profiles (87o ~90o) with loading effect of < 1%. The process recipes were developed for the silicon deep trench etching applications. This scheme provides vertically profiles without notching of top corner was observed. In this study, the production of SF6 gas based silicon deep trench etch process much more strongly than expected on the basis of Hbr gas trench process that have been investigated by scanning electron microscope (SEM). Based on the test results, it is concluded that the silicon deep trench etching shows the sufficient profile for practical MOS FET silicon deep trench technology process.

Key Words : Deep trench etching, (decoupled plasma source plus) DPS +, MOS FET

1. 서 론

현재 발전된 반도체 제조에서 MOS FET에서 silicon trench gate의 사용이 광범위하게 개발 되어지고 있다. Silicon trench gate의 구조에서 높은 신뢰성을 나타내기 위해서는 이방성 프로파일과 wafer 기판의 etch 면적 및 etch 하고자 하는 패턴의 폭 크기에 따라서 etch rate이 변화하는 Loading effect를 최소화 해야 하며 노치 현상을 제거하고 bottom rounding을 충분히 나타내어 소자의 특성을 최적화 시킬 수 있다.[1] Silicon trench gate위한 대부분의 연구는 Inductive Coupled Plasma (ICP) 챔버에서 이루어 졌으나 포토 도핑 현상과 charging damage를 유발시킨다[2][3]. 일반적인 High density plasma system과 같이 DPS+ 장비도 두개의 RF source를 사용한다. ICP plasma system의 source power (Ws)는 반응성 이온과 증성자를 균일하게 생성 및 조절 하는데 사용하며, 이온 에너지를 조절하기 위하여 bias power (Wb)를 사용한다. 전형적인 high density plasma 장비는 이방성 식각을 위하여 Ws와 Wb의 비율을 1:1에서 3:1까지 사용한다[3]. 그러나 DPS+ 장비는 plasma source의 설계를 최적화하여 이방성 식각을 함으로 Ws와 Wb의 비율을 4:1에서 7:1까지 가져갈 수 있다. 따라서 silicon deep trench etching의 Loading effect 최소화과 이방성 프로파일 및 Notch effect 제거와 충분한 bottom profile rounding을

위하여 silicon etching 장비인 Decoupled Plasma Source Reactor plus 장비를 사용하여 MOS FET 기술에 사용 가능한 실험 결과를 보여줄 것이다.

2. 실험

Microscopic Loading Effect는 한 wafer 내에 각 location에 따라 etch rate이 변화를 보이는 현상을 의미한다. 이러한 현상은 wafer상 etching process 자체에 의한 etching species의 국부적인 depletion에 의해 발생하며, high pressure에서 발생하기 쉽다. 따라서 pressure control을 통한 radical에 의한 spontaneous etching을 최소화하는 것에 실험을 진행 하였으며 SF6 gas를 사용하여 C/F의 비율을 조절하여 polymer effect를 최소화 하였다.

중형비의존 식각현상으로 국부적인 전하축적에 의하여 폴리실리콘 게이트 식각시 모서리 쪽으로 이온이 몰려서 notch현상을 유발하는데 이를 충분히 억제하기 위하여 초기 sidewall passivation 실험을 하였다.DPS+ 챔버내 식각할 면적이 증가함에 따라 웨이퍼의 식각 속도가 전체적으로 감소하는 loading effect를 최소화 하고 이상적인 이방성 식각 profile과 notch현상을 억제 위하여 식각의 주요 parameter를 가지고 loading effect, 중형비 의존식각, 첨가 효과 등을 실험하였다. 실험결과는 scanning electron

microscope (SEM-FEI-Sirion) 분석을 통하여 확인 하였다.

2.1 실험고찰

그림 2에서 Hbr base로 진행 된 trench profile 을 나타 냈다. Pressure가 20mtorr 이상일 경우 trench profile 이 휨 현상을 나타낼 수 있으면, 이는 입사하는 이온이 sheath 및 mask edge로부터 scatter 되어 발생하는 현상 으로 이를 최소화하기 위하여 spontaneous etching이 잘 일어나지 않는 chemistry인 Hbr base에 plasma 활성화 첨가 gas로 Cl2를 사용하여 trench etch를 실시하였다.

SF6 based silicon deep trench etch는 Fluorine atom에 의한 spontaneous action을 하기 때문에 vertical 한 trench profile을 형성하기 위한 혼합 gas를 실험하였다. 그림 9는 산소를 다량 첨가한 것이다. SF6 gas와 O2의 비율을 1 : 1.3에서 1 : 2로 변경한 실험 결과이다. O2의 비율을 변경 실험한 목적은 Fluorine의 추출비율을 올리고 SxFy, CxFy의 형태를 지닌 polymer가 실리콘 표면에 형성될 수 있는데 이를 없애기 위하여 O2를 첨가하는 것이 기본이 되지만 bowing현상이 심하게 발생한 trench profile을 개선하기 위하여 O2 gas를 다량 늘려 silicon trench sidewall의 표면을 산화시켜 SiO2형태가 되어 passivation시키는 실험을 실시한 것이 그림 9 profile에 나타나 있다.

Narrow cell 과 wide cell의 aspect ratio dependent etching 을 억제하는 실험도 병행하여 진행 하였다. 이는 loading effect의 가장 대표적인 RIE lag현상으로 그림 17의 profile depth는 narrow와 wide pattern간의 cell depth차이가 0.05% 정도의 차이를 보이는 실험결과를 확인 하였다. 특히, sidewall 의 passivation을 증가시키는 실험을 위주로 하였 기 때문에 shadowing of incoming condensable인 inverse RIE lag현상이 발생하는 것을 보여준다.

3. 결 론

이 논문의 관점은 DPS+장비로 Hbr/CF4/Cl2/O2 chemistry 와 SF6/ CF4/ O2의 chemistry를 이용한 이상적인 이방성 silicon deep trench etching공정과 loading effect의 최소화를 위한 실험을 실시하였다. MOS FET silicon deep trench etching 기술의 상용화 및 최적화를 위하여 vertical한 silicon trench profile(87°~90°)과 loading effect의 최대한 억제 할 수 있도록 DPS+장비를 이용하여 그 가능성을 검증 하였다. DPS+ 장비에서 Hbr/CF4/Cl2/O2 chemistry와 SF6/ CF4/ O2의 chemistry를 각각의 gas effect, pressure, source power, bias power, dual ESC system등을 실험하여 deep trench etching process중 문제가 되고 있는 Top Notch현상 과 trenching현상 등을 효과적으로 개선하였으며 이상적인 vertical etching및 shadowing of incoming condensable현상을 제거하기 위하여 chemistry별 실험을 통하여 최적화 하였다. 또한 high-density SF6/ CF4/ O2 plasma 형성을 통하여 pressure, bias power & dual ESC의 parameter를 최적화 시

켜 Macroscopic loading effect, Microscopic loading effect, Aspect ratio dependent etching현상을 줄였고, scanning electron microscope (SEM-FEI-Sirion)분석을 통해 그 결과를 확인 하였다. 실험결과를 바탕으로 bias constant를 추출하여 device별 pattern density에 따라 선형적인 etching parameter system을 확인 하였으며 개발중인 MOS FET 기술의 silicon deep trench etching에 충분한 양산 상용화 가 능성을 입증하였다.

참고 문헌

- [1] Richard C.Jaeger, "Introduction to Microelectronic Fabrication," Addison-Wesley publishing company, 1993.
- [2] Ma, Jain, and Chinn, "Evaluation of plasma charging damage during polysilicon gate etching process in a decoupled plasma source reactor," America Vacuum Society, 2 March 1998, pp. 1440-1443.
- [3] Ju-Hoon Lee, "Study of shallow silicon trench etch process using planar inductively coupled plasmas," J. Vac. Sci. Technol.A 15, 11 March 1997, pp. 573-578.

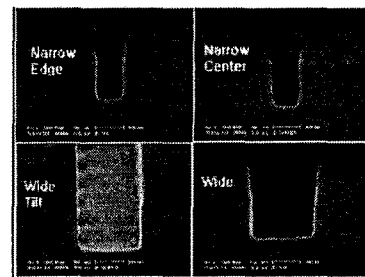


그림 2. The trench profile of Hbr based etch

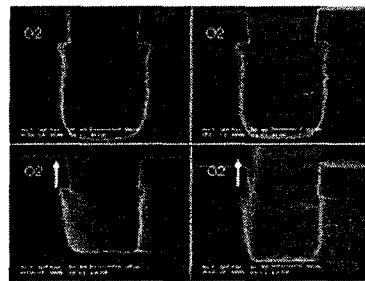


그림 8. The trench profile of O2 effect

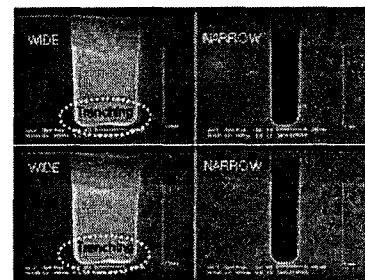


그림 17. The trench profile of RIE lag effect