

## Engineered tunnel barrier를 갖는 SONOS 소자에서의 소거 속도 향상

박근호, 유희욱, 오세만, 김민수, 정종원\*, 이영희, 정홍배, 조원주  
 광운대학교, 세종대학교\*

### Erasing characteristic improvement in SONOS type with engineered tunnel barrier

Goon-Ho Park, heewook you, Se-man Oh, Min-Soo Kim, Jongwan Jung\*, Young-Hie Lee, Hong-Bay Chung, Won-Ju Cho  
 Kwangwoon Univ., Sejong Univ.\*

**Abstract :** Tunneling barrier engineered charge trap flash (TBE-CTF) memory capacitor were fabricated using the tunneling barrier engineering technique. Variable oxide thickness (VARIOT) barrier and CRESTED barrier consisting of thin SiO<sub>2</sub> and Si<sub>3</sub>N<sub>4</sub> dielectrics layers were used as engineered tunneling barrier. The charge trapping characteristic with different metal gates are also investigated. A larger memory window was achieved from the TBE-CTF memory with high workfunction metal gate.

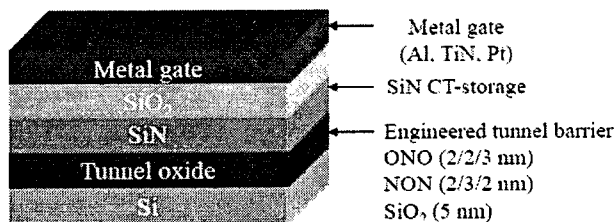
**Key Words :** VARIOT, CRESTED barrier, CTF memory, SONOS, tunnel barrier engineering

### 1. 서론

지난 30년 동안 플래시 메모리의 주류 역할을 하였던 부유게이트 플래시 메모리는 40 nm 기술 노드 이하에서는 셀간 간섭, 터널 산화막의 누설 전류 등에 의한 오동작으로 기술적 한계를 맞게 되었다. 또한 기존의 비휘발성 메모리는 높은 전압을 가지므로 전력소비 측면에서도 취약한 단점이 있다. 이러한 문제를 해결하기 위해 CTF (charge trap flash) 메모리가 유망한 해결책으로 대두되었다. 그러나 CTF 메모리 또한 데이터 보존 특성과 빠른 쓰기/지우기 특성에 trade-off 관계를 가지고 있다. 이를 동시에 만족하기 위한 해결책 중 하나로 절연체를 적층함으로써 전계에 대한 터널링 전류의 민감도를 향상시켜 10년의 데이터 보존과 빠른 쓰기/지우기 시간을 달성할 수 있는 TBM (tunnel barrier engineered memory)이 주목 받고 있다.

본 논문에서는 VARIOT과 CRESTED barrier 구조의 특성을 확인하였고 두 구조를 메모리 캐패시터에 적용하여 쓰기/지우기 특성을 살펴보았다. 또한 일함수가 다른 게이트 전극을 사용하여 특성을 확인하였다.

### 2. 실험



- Charge Trap Layer : Si<sub>3</sub>N<sub>4</sub> (8 nm)
- Blocking Oxide : SiO<sub>2</sub> (30 nm)

그림 1. TBE-CTF memory capacitor의 모식도

TBE (tunnel barrier engineered) 절연막을 형성하기 위해 (100) 면방향과 1-10 Ω·cm 의 면저항을 가지는 n-type Si 기판위에 SiO<sub>2</sub> 와 Si<sub>3</sub>N<sub>4</sub>를 사용하여 TBE 절연막을 형성하였다. 절연막 형성 후 전하 축적층으로는 Si<sub>3</sub>N<sub>4</sub>를 8 nm 증착하였고 블로킹 절연막은 SiO<sub>2</sub>를 30 nm 증착하였다. 게이트 전극의 일함수에 따른 특성을 알아보기 위해 각각 Al, TiN, Pt를 150 nm 증착한 후 H<sub>2</sub>/N<sub>2</sub> 분위기에서 400 °C, 30 분 동안 열처리하여 소자를 제작하였다. 그림 1은 제작된 소자의 모식도를 나타내고 있다.

### 3. 결과 및 고찰

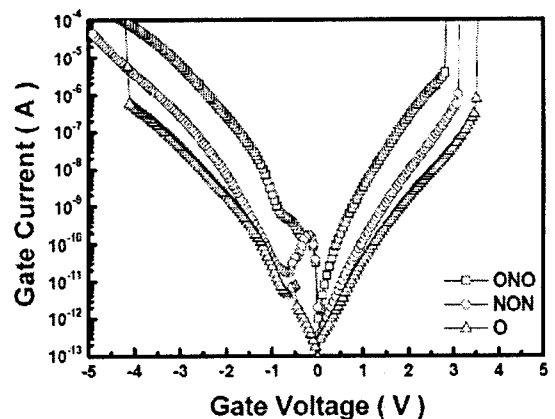


그림 2. ONO, NON, 및 SiO<sub>2</sub> 단일 터널층의 I-V 특성

비휘발성 메모리 소자에서 터널층은 전계에 민감하며 전하트랩특성이 최소화 되어야 한다. 그림 2는 전하축적층과 블로킹 절연막을 갖지 않는 TBE-capacitor를 제작하여 전압에 따른 전류의 특성을 확인하였다. TBE 터널층이 단일 SiO<sub>2</sub> 터널층보다 물리적 두께가 증가했지만 터널링 전류는 증가된다. 이는 유전율이 다른 절연막의 적층에 의해 전류의 민감도가 향상 된다는 것을 의미한다.

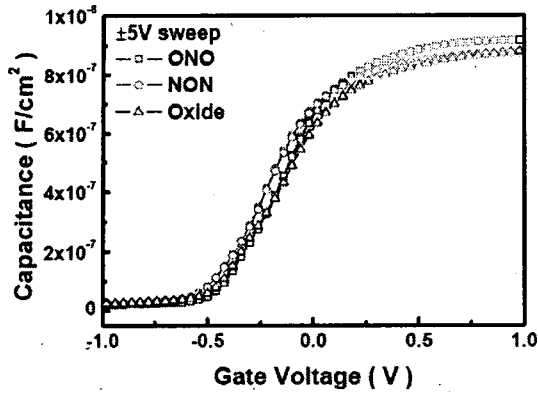


그림 3. ONO, NON, 및 SiO<sub>2</sub> 단일 터널층의 C-V 특성

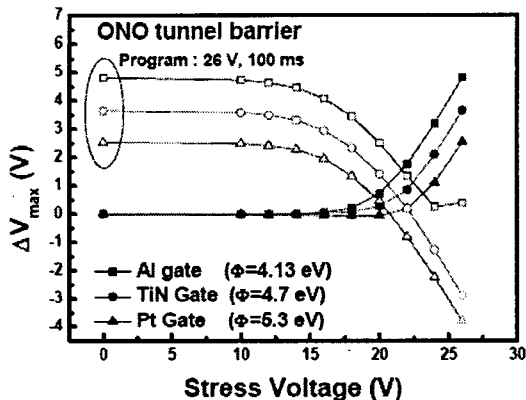
그림 3은 ONO, NON 및 SiO<sub>2</sub> 단일 터널층의 C-V 히스테리시스를 통해 전하트랩 특성을 나타내었다. 모든 터널층은 히스테리시스가 나타나지 않았으며 이를 통하여 전하트랩은 거의 발생하지 않는 것을 알 수 있다.

그림 4는 다양한 터널층과 게이트 전극 따른 기록/소거 특성을 나타내고 있으며, 표 1은 그에 따른 메모리 윈도우를 나타내고 있다. 같은 게이트 전극을 사용하였을 경우 ONO 터널 베리어의 기록/소거 특성이 크게 향상되었다. 이는 앞서 말한 바와 같이, TBE 절연막을 적용하였을 경우 전계의 민감도 향상으로 인해 기존의 SiO<sub>2</sub> 단일층보다 나은 기록/소거 특성을 나타낸다. 같은 터널 베리어를 사용하였을 경우에는 게이트 전극의 일함수가 높을수록 지우기 특성의 향상을 보였으나 쓰기 특성에서는 열화되는 특성을 보였다. 결국 중간 정도의 일함수를 갖는 게이트 전극인 TiN에서 가장 큰 윈도우 메모리를 확인할 수 있었다.

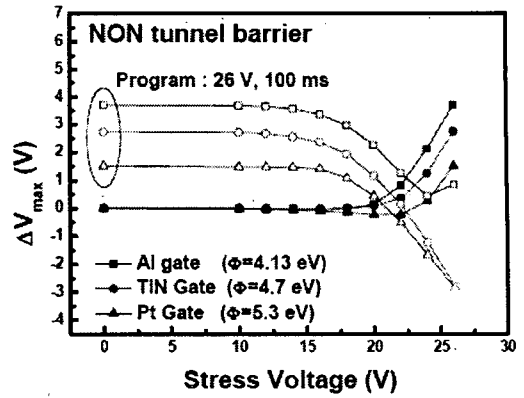
표 1. 게이트전극과 터널층에 따른 윈도우 메모리.

Stress : ±26 V, 100 ms

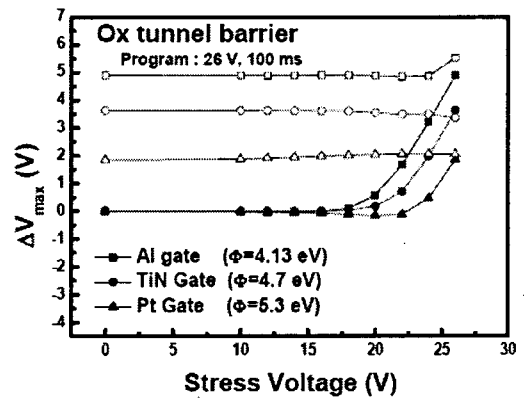
| Metal               | Al (4.13 eV) | TiN (4.7 eV) | Pt (5.65 eV) |
|---------------------|--------------|--------------|--------------|
| ONO tunnel barrier  |              |              |              |
| $\Delta V_{th}$ (V) | 4.43 V       | 6.54 V       | 6.34 V       |
| NON tunnel barrier  |              |              |              |
| $\Delta V_{th}$ (V) | 2.85 V       | 5.52 V       | 4.35 V       |



(a)



(b)



(c)

그림 4. ONO, NON 및 단일 SiO<sub>2</sub> 터널층을 갖는 캐패시터 메모리의 기록/소거 특성

#### 4. 결론

비휘발성 메모리 소자의 특성 향상을 위해 engineered tunnel barrier 및 게이트 전극에 따른 메모리 특성을 살펴 보았다. VARIOT 구조를 가진 ONO 터널층에 중간 정도의 일함수를 갖는 게이트 전극의 소자는 가장 큰 메모리 윈도우를 보였다. 따라서, 최적화된 터널층과 게이트 전극을 갖는 CTF 메모리는 앞으로 유망한 플래시 메모리 소자가 될 것이다.

#### 감사의 글

이 논문은 지식경제부 주관 차세대 테라비트급 비휘발성 메모리 개발 사업의 지원에 의해 연구되었음.

#### 참고 문헌

- [1] K. K. Likharev, "Layered tunnel barriers for nonvolatile memory devices" Appl. Phys. Lett., vol. 73, no. 15, pp. 2137-2139, Oct. 1998
- [2] B. Govoreanu, P. Blomme, M. Rosmeulen, J. Van Houdt, and K. De Meyer, "VARIOT: a novel multilayer tunnel barrier concept for low-voltage nonvolatile memory devices" IEEE Electron Device Lett., vol. 24, no. 2, pp. 99-101, Feb. 2003.