

Trench MOSFET Technology의 Deep Trench 구조에서 WET Cleaning 영향에 대한 연구

*김상용, *정우양, *이근만, *김창일

*한국 폴리텍 대학 청주캠퍼스 반도체시스템학과

*청주대학교 전기전자공학부

*중앙대학교 전기전자공학부

The Study of WET Cleaning Effect on Deep Trench Structure for Trench MOSFET Technology

*Sang-Yong Kim, *Woo-Yang Jeong, *Keun-Man Yi, *chang-il Kim,

*Dep't of Semiconductor system, Cheong-Ju Campus of Korea Polytechnic College

*Department of Electrical and Electronics Engineering, Cheong-ju University

*Department of Electrical and Electronics Engineering, Chung-ang University

Abstract : In this paper, we investigated about wet cleaning effect as deep trench formation methods for Power chip devices. Deep trench structure was classified by two methods, PSU (Poly Stick Up) and Non-PSU structure. In this paper, we could remove residue defect during wet cleaning after deep trench etch process for non-PSU structure device as to change wet cleaning process condition. V-SEM result showed void image at the trench bottom site due to residue defect and residue component was oxide by EDS analysis. In order to find the reason of happening residue defect, we experimented about various process conditions. So, defect source was that oxide film was re-deposited at trench bottom by changed to hydrophobic property at substrate during hard mask removal process. Therefore, in order to removal residue defect, we added in-situ SC1 during hard mask removal process, and defect was removed perfectly. And WLR (Wafer Level Reliability) test result was no difference between normal and optimized process condition.

Key Words : wet, cleaning, trench, psu, WLR

1. 서 론

최근 power metal-oxide-silicon, field-effect transistors (MOSFETs)는 파워 전기 시스템에 급진적으로 활용화가 증대 되고 있다. Trench gate 전력 소자를 제조하기 위해서는 gate를 구성하는 trench 구조가 무엇보다 중요하며 trench 구조를 형성하는 방법은 크게 두가지 방법으로 분류할 수 있다. [3] 그림1. (a)와 같이 trench depth를 형성한 후 substrate위에 Hard mask oxide film이 남아있는 구조로 PSU(Poly Stick Up) 형성 방법이라 하며, 그림1. (b)와 같이 trench depth를 형성한 후 substrate위에 있는 Hard mask oxide film을 제거하는 구조로 Non-PSU 형성 방법으로 분류될 수 있다. 본 실험에서는 Non-PSU 구조를 가지고 있는 제품에서 deep trench etch공정 진행후 cleaning 공정 진행시 oxide film에 대한 strip 공정이 진행되어야 하는데 hard mask oxide film을 strip하는 과정에서 발생하는 residue defect issue에 대하여 EDX 분석을 통한 성분 분석, split test를 통한 제거 실험 결과와 개선 조건에 대한 제품 특성을 WLR test를 통하여 검증하였다

2. 실험

본 실험에 사용된 wafer는 p-type 기판위에 p-에피층을

성장한 상태에서 pad oxide 및 hard mask를 증착한 후 patterning, etch 및 cleaning 공정을 진행하게 된다. Deep trench etch 공정은 AMAT사 장비에서 DPS(Decoupled Plasma Source) 방식을 적용하였으며 사용된 etch gas로는 HBr, O₂, SF₆, CHF₃등을 사용하였다. Cleaning 공정은 DNS사 장비를 사용하였으며 hard mask oxide film에 대한 strip 공정에 대하여는 CHF(16.3% HF) chemical을 사용하여 cleaning을 진행한 후 post etch cleaning 공정으로 SOM (H₂SO₄+O₃) cleaning +SC1 (NH₄OH+H₂O₂+H₂O)을 사용하여 진행하였다.

2.1 실험장치

2.1.1 Residue의 성분 및 구조 분석

그림 2와 같이 defect의 주요 성분은 deep trench etch 공정시 발생하는 by-product인 etch gas가 섞여있는 oxide성 polymer가 trench bottom에 잔존하게 되어 후속 cleaning공정에서 제거가 안되는 가설을 세울 수 있으며 다른 한편으로는 hard mask oxide strip 공정에 사용되는 HF chemical cleaning에 의하여 substrate보다 trench bottom이 더 소수성을 가지게 됨으로써 oxide residue가 trench bottom에 re-deposition되는 가설을 세울 수 있다.

2.1.2 공정 integration scheme의 영향

Deep trench etch 공정 진행후 공정 integration scheme 측면에서 residue defect과의 연관성을 조사하였다. 실험 결과 그림 4와 같이 두 실험 모두 residue는 여전히 발생하거나 어느 정도 감소하지만 완전 제거는 안 되는 것을 확인함에 따라 residue의 source는 전형적인 etch by-product가 아닌 다른 by-product 이거나 removal 공정중에 발생하는 re-deposited residue가 표면과의 반응이 매우 강하여 제거하기가 힘들다는 것을 간접적으로 알 수 있었다. 다른 한편으로 그림 5 및 그림 6과 같이 residue 제거를 위해 SC1 공정 추가 진행을 증가시키는 실험을 하였을 때 defect density가 감소하고 SEM image상에서 residue 형태가 제거되는 것을 보았을 때 앞서 언급된 residue와 표면과의 소수성에 대하여 반증한다는 것을 알 수 있었다.

2.1.3 Hard mask removal 공정 영향

그림 7와 같이 2 step으로 변경할 시 residue의 defect density가 감소하는 것을 보았을 때 HF cleaning에 의해 substrate와 trench bottom이 동일한 Si으로 들어났을 때 표면 상태가 trench bottom이 더 소수성을 가지게 되어 residue가 re-deposition되는 것을 확인 할 수 있었다. 그림 8과 같이 in-situ SC1 cleaning 결과 residue가 완전 제거됨을 알 수 있었다.

2.1.4 개선 전후 조건에서의 WLR 영향

그림 9과 같이 residue 발생 전후에서의 WLR test 결과 Forward (Reverse) Characteristics중 reverse항목에서 residue 발생 lot인 경우 BV값이 감소하는 경향이 보였다. 그러나 개선 조건인 in-situ SC1 공정 추가 조건에서는 WLR test 결과 그림 10과 같이 spec을 모두 만족하며 기존 조건 대비 유의차가 없음을 알 수 있었다.

3. 결론

1. Trench MOSFET 제품중 Non-PSU 구조를 가지고 있는 제품에서 Deep trench etch 공정후 hard mask removal 공정에서 발생하는 residue defect에 대하여 성분 분석 결과 oxide성 residue이며 SEM 분석 결과 trench bottom에 void를 유발시키는 것으로 분석되었다.
2. Residue defect이 유발되는 원인을 분석하기 위하여 test 결과 hard mask removal 공정이 HF chemical이 사용됨에 따라 공정중 trench bottom과 substrate와 동일하게 Si이 드러났을 때 trench bottom이 HF와 접촉하는 시간이 길기 때문에 더 소수성을 가지게 되어 oxide residue가 re-deposition되는 것으로 분석되었다.
3. Residue를 제거하기 위하여 hard mask removal 공정후 ex-situ SC1을 추가하였으나 완전 제거되지 않음에 따라 residue와 표면과의 반응 정도가 약한 상태에서 제거하기 위하여 hard mask removal공정에 in-situ SC1 공정을 추가하는 실험을 한 결과 residue가 완전 제거됨을 알 수 있었다.
4. Residue가 발생한 상태와 개선 조건에서의 WLR test

를 실시한 결과 residue가 발생한 경우 reverse bias인 경우 BV값이 감소하는 경향이 보였으나 개선 조건에서는 유의차가 없음을 알 수 있었다.

참고 문헌

1. Fong F, Pitzer D, Zeman RJ. "Power DMOS for high frequency and switching application", IEEE Trans Electron Dev, 1980, ED-27(3) pp. 322-330
2. S.A. Suliman, O.O. Awadelkarim, S.J. Fonash, et.al, "The effects of channel boron-doping on the performance and hot electron reliability of N-channel trench UMOSFETs", Solid-State Electronics 45, 2001, pp. 655-661
3. S.S Tai, T. Li, A. Bhalla, H. Chang, et.al, "Shallow source MOSFET" USpatent20060071268

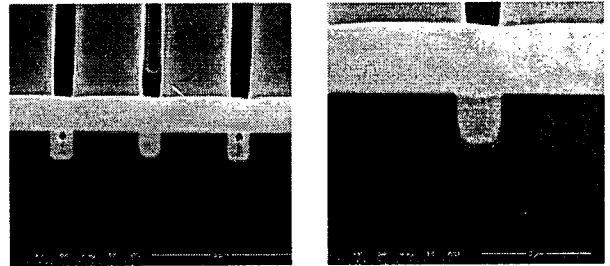


그림 3. V-SEM analysis of Residue on deep trench structure

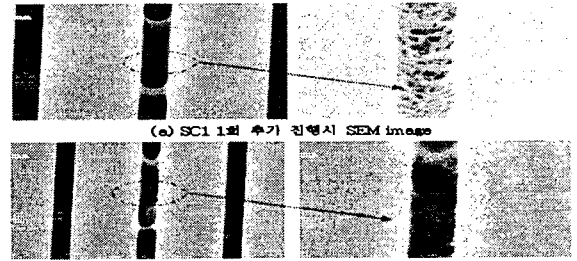


그림 6. ex-situ SC1 공정 추가 횟수에 따른 defect image 변화 trend

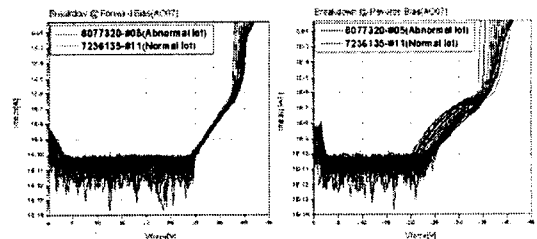


그림 9. WLR test result of residue lot & normal wafer

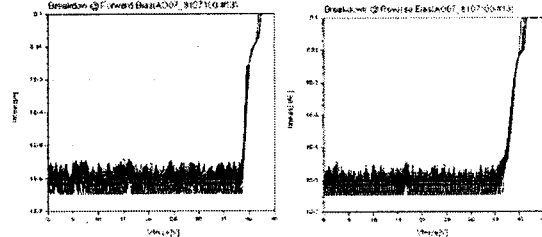


그림 10. WLR test result of 개선 조건 적용된 wafer