

## 0.18 $\mu\text{m}$ 공정에서 전류 피드백을 이용한 새로운 구조의 정전기 보호 소자에 관한 연구

배영석, 이재인, 정은식, 성만영\*  
고려대학교\*

### A Novel Electrostatic Discharge (ESD) Protection Device by Current Feedback Using 0.18 $\mu\text{m}$ Process

Young-seok Bae, Jae In Lee, Eun Sik Jung, Man Young Sung\*  
Korea University\*

E-mail : [semicad@korea.ac.kr](mailto:semicad@korea.ac.kr)\*

**Abstract :** As device process technology advances, effective channel length, the thickness of gate oxide, and supply voltage decreases. This paper describes a novel electrostatic discharge (ESD) protection device which has current feedback for high ESD immunity. A conventional Gate-Grounded NMOS (GGNMOS) transistor has only one ESD current path, which makes the core circuit be in the safe region, so an GGNMOS transistor has low current immunity compared with our device which has current feedback path. To simulate our device, we use conventional 0.18  $\mu\text{m}$  technology parameters with a gate oxide thickness of 43 Å and power supply voltage of 1.8 V. Our simulation results indicate that the area of our ESD protection device can be smaller than a GGNMOS transistor, and ESD immunity is better than a GGNMOS transistor.

**Key Words :** Current Feedback, GGNMOS, 0.18 $\mu\text{m}$  Technology, Human Body Model

### 1. 서론

정전기 방전은 짧은 시간동안에 수 천 볼트의 전압과 수 암페어의 높은 전류를 동반하므로 전자부품의 신뢰성에 영향을 미치게 되며 심한 경우 전자 부품의 파괴를 야기한다. 따라서 정전기 방전이 전자 부품에 인가될 수 있는 입/출력 패드와 메인회로 사이에 정전기 보호 소자를 삽입하여 정전기 방전으로 인한 영향을 최소화 하여야 한다. 하지만 공정이 점점 발전할수록 Vdd와 게이트 산화막의 두께가 감소하면서 정전기 보호 소자의 설계가 어려워진다.

정전기 보호 소자가 효과적으로 정전기 방전을 보호하기 위해서는 정상신호가 인가되었을 때는 오프 상태가 되어서 메인회로에 영향을 미치지 않아야 하며 정전기 방전이 인가되면 온 상태가 되어서 게이트 산화막이 파괴되기 이전에 충분히 정전기 방전에 의한 전류를 흘려야 한다.

본 연구에서는 Human Body Model (HBM) 2000 V 에서 전류 피드백을 이용하여 메인회로를 보호하는 소자를 제안하였다. 0.18  $\mu\text{m}$  공정에서 Vdd는 1.8 V 를 사용하여 게이트 산화막의 최대 임계 전계는 10 MV/cm 이므로 정전기 보호 소자는 2.7 V 이상, 3.85 V 이하의 전압에서 온 상태가 되어서 정전기 방전에 의한 전류를 흘려야 한다. 또한 HBM 2000 V 에서 정전기 방전으로 인한 전류는 1.33 A 이므로 3.85 V 에서 최소 1.33 A 이상의 전류를 흘려야 정전기 방전으로부터 메인 회로를 충분히 보호할 수 있다.

### 2. 실험

본 연구에서 제안된 정전기 보호 소자의 특성을 분석하기 위해서 Synopsys사의 Tsuprem4와 Medici 시뮬레이터를 이용하였다. 그림 1에는 제안된 소자의 단면도를 나타내었다. 정전기 방전으로 인해 공핍층에서 형성되는 전자정공 쌍을 증가시키기 위해서 이중 공핍층 영역이 형성되도록 p형 우물을 삽입하고 전류 피드백이 발생하도록 우물 양단에 각각 고농도의 p형과 n형 영역을 삽입하였다. 이때 고농도의 p형 영역은 p형 기판의 바이어스를 잡아주는 역할 및 공핍층에서 생성된 전자 정공 쌍에서 정공이 빠져나가는 영역으로 동작한다. 또한 n형 MOSFET의 드레인과 p형 우물에 맞닿아 있는 고농도의 n형 영역에 공통으로 입/출력 패드를 연결해서 외부 신호가 인가되도록 한다. 이러한 구조를 가지는 정전기 보호 소자의 정전기 방전 특성을 분석하기 위해 입/출력 패드에 Transmission Line Pulse (TLP) 신호를 인가하면서 전압과 전류를 측정하였다.

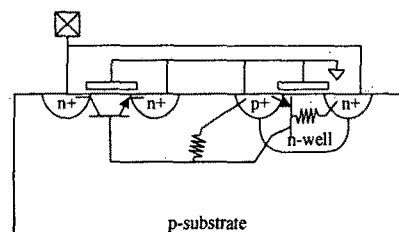


그림 1. 제안된 소자의 단면도 및 등가회로

### 3. 결과 및 검토

그림 2는 제안된 소자에 정전기 방전이 인가되었을 때 흐르는 전류를 순차적으로 나타낸 것이다. 정전기 방전이 발생하면 처음에는 p형 기판과 n형 우물을 통해 공핍층에서 발생한 전자 정공쌍중에 정공이 빠져나가게 된다. 이때 n형 우물의 도핑농도가 p형 기판의 도핑농도보다 높기 때문에 p형 기판의 저항이 n형 우물의 저항보다 큰 값을 가진다. 따라서 기생 NPN 트랜지스터가 먼저 온 상태가 되어서 정전기 방전에 의한 전류를 흘려준다. 또한 n형 우물로 흐르는 전류도 증가하기 때문에 n형 우물에서의 전압차가 커지게 되므로 기생 PNP 트랜지스터는 베이스와 이미터 단자 사이와 컬렉터와 베이스 단자에 모두 역방향 바이어스가 걸리므로 반전 활성 모드에서 동작을 하게 된다. 기생 PNP 트랜지스터가 반전 활성 모드에서 동작을 하게 되므로 기생 PNP 트랜지스터에 흐르는 전류는 증가하게 되고 이는 기생 NPN 트랜지스터의 베이스 전압의 증가시킴으로 기생 NPN 트랜지스터는 더욱 많은 전류를 흐르게 한다.

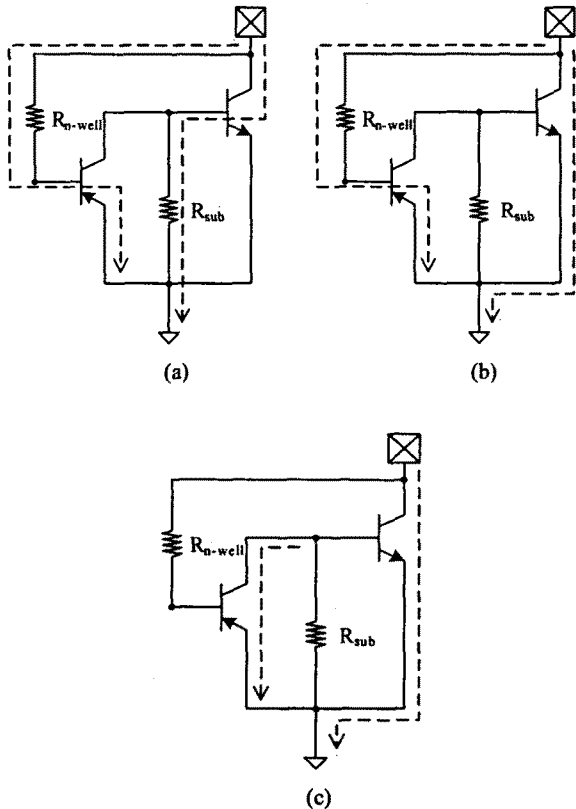


그림 2. (a) 정전기 보호 소자가 트리거 되기 전  
(b) 기생 NPN 트랜지스터만 온 상태가 되었을 경우  
(c) 전류 피드백이 형성되었을 경우의 전류의 흐름

이처럼 제안된 정전기 보호 소자는 기생 PNP 트랜지스터를 동작시켜서 기생 NPN 트랜지스터가 오프 상태가 되지 않도록 전류 피드백을 형성한다.

그림 3은 기존의 정전기 보호 소자인 GGNMOS와 제안된 소자의 특성의 비교하기 위하여 시뮬레이션 결과를 함께 나타낸 것이다. 이를 통해 제안된 정전기 보호 소자는 기생 PNP 트랜지스터가 형성하는 전류 피드백으로 인해 더욱 많은 전류를 흐르게 하는 것을 알 수 있다.

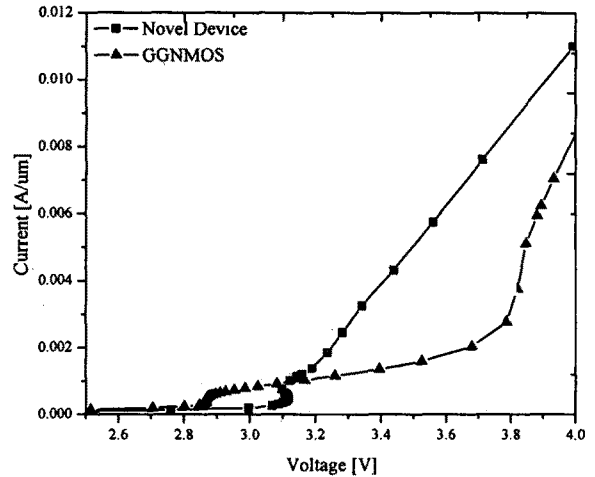


그림 3. 제안된 소자와 기존 정전기 보호 소자의 정전기 방전 특성 분석

### 4. 결론

본 연구에서는 현재 CMOS 공정에서 가장 많이 사용되는 정전기 보호 소자인 GGNMOS의 정전기 보호 특성을 향상시키기 위하여 n형 우물과 고농도의 n형과 p형 영역을 추가로 삽입하였다. 추가로 삽입된 n형 우물과 고농도의 n형 영역과 p형 영역이 만드는 기생 PNP 트랜지스터가 반전 활성 모드에서 동작함에 따라 기생 NPN 트랜지스터의 베이스 전압이 증가하게 되고 그 결과 기생 NPN 트랜지스터에 흐르는 전류는 증가하게 된다. 또한 그림 3에서 나타난 특성에 따르면 제안된 소자는 GGNMOS가 가지는 단점인 낮은 전류밀도와 SCR이 가지는 단점인 높은 트리거 전압을 해결할 수 있다.

### 감사의 글

본 연구는 고려대학교 특별연구비에 의해 수행되었습니다.

### 참고 문헌

- [1] S. H. Voldman, IEEE J.S.S.C. Vol. 34, No. 9, p. 1272-1282
- [2] Ming-Dou Ker, Tang-Kui Tseng, J.J.A.P, Vol. 43, No. 1A, p. L33-L35
- [3] C. Salamero, N. Nolhier, A. Gendron, M. Bafleur, IEEE Trans. Dev. Mat. Rel. Vol. 6, No. 3, p. 399-407
- [4] Y. J. Seo, K. H. Kim, J.J.A.P, Vol. 46, No. 4B, p. 2101-2106