

gate stack구조를 이용한 LTPS TFT의 전기적 특성 분석

전병기, 조재현, 이준신
성균관대학교 전자전기공학과

Abstract : The efficiency of CMOS technology has been developed in uniform rate. However, there was a limitation of reducing the thickness of Gate-oxide since the thickness of Gate Dielectric is also reduced so an amount of leakage current is grow. In order to solve this problem, the semiconductor device which has a dual gate is used widely. This paper presents a method and a necessity for making the Gate Stack of TFT. Before Using test devices to measure values, stacking SiN_x on a wafer test was conducted.

Key Words : Gate Stack, Leakage Current, dual gate, High-k dielectric

1. 서론

게이트 산화막 두께가 얇아지면 유전체막의 두께가 감소되어 누설 전류 및 신뢰성 특성이 열화 된다. 문턱전압(V_T)이 낮아지기 때문에 소자의 누설 전류, 신뢰성 및 리프레쉬(Refresh) 특성이 저하되는 문제가 발생하며, 상기 관련된 문제를 해결하기 위하여 High-k dielectric 물질이 반도체 소자에 폭넓게 사용되고 있다 [1].

본 연구에서는 실리콘 이산화물보다 높은 유전 상수를 가지는 실리콘 질화물을 실리콘 이산화물과 같이 듀얼모드로 게이트 절연막을 형성시켰다. SiO₂층은 20nm로 고정시켰으며, SiN_x층은 40nm와 80nm로 각각 쌓아올려 두 소자간의 전기적 특성을 비교·분석하였다.

2. 실험

그림 1과 같이 채널 길이와 폭이 7×7μm 인 TFT형 듀얼 게이트 소자를 제작하기 위해서 glass 위에 a-Si:H 박막을 ELA공정을 통해서 poly-Si 으로 결정화를 시켰다. reactive ion etching 을 통해 활성층을 패터닝 한 후, SiN_x/SiO₂ 게이트 유전체를 증착하였다. SiO₂층(20nm)은 TEOS/O₂ 가스 100/5000 sccm 으로 표면온도 350°C에서 PECVD로 형성시켰으며, SiN_x(40, 80nm)층은 SiH₄/NH₃/N₂ 가스 200/3000/3000 sccm 으로 표면온도 430°C에서 증착되었다.

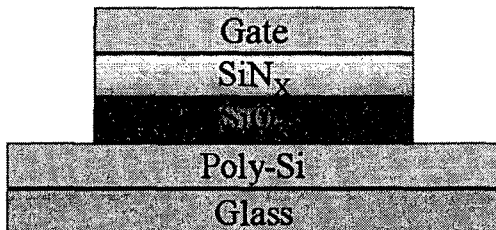


그림 1. 제조된 소자의 단면도.

3. 결과 및 검토

그림 2는 gate stack구조 TFT의 전기적 특성을 나타낸 그래프이다. SiN_x의 두께 변화에 따른 특성 차이를 알 수 있다. 표 1에 두 소자의 전기적 특성을 비교해 놓았다. On-current 및 V_{TH} 등의 특성에서 (SiN_x/SiO₂ = 40/20) 소자가 더 우수한 특성을 보였다. 또한 이동도에서도 134.56cm²/Vs의 결과를 나타내었다.

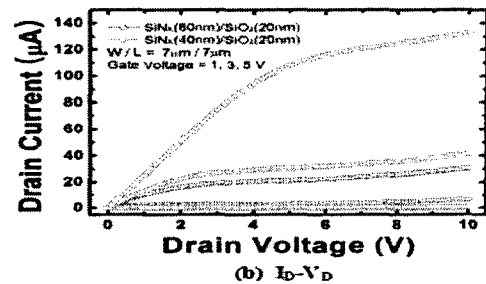
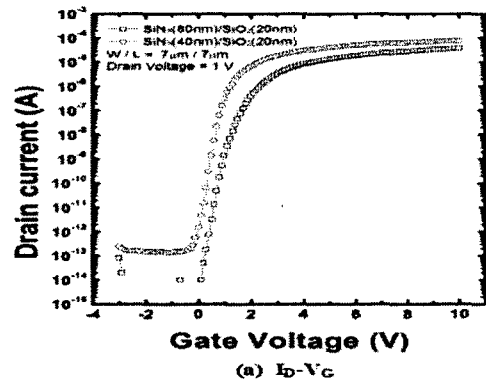


그림 2. Gate stack구조 TFT의 I-V특성.

표 1. Gate stack구조 TFT의 전기적 특성

	SiN _x (40nm)	SiN _x (80nm)
I _{ON} /I _{OFF} ratio	5.88 × 10 ⁸	3.73 × 10 ⁹
V _{th} (V)	0.759	1.50
Swing (mV/dec)	165	175
μ _{FE} (cm ² /Vs)	134.56	94.88

4. 결론

유리기판 위에 만들어진 gate stack구조 TFT 소자는 SiN_x/SiO₂ 구조를 이용하여 우수한 전류 정밀비와 Swing 값을 갖는다. SiN_x층의 두께 변화에 따라 소자의 전기적 특성이 달라 향후 듀얼 게이트 소자의 발전의 시행착오를 줄이는데 활용될 수 있음을 보여준다.

참고 문헌

- [1] E. P. Gusev, D. A. Buchanan, E. Cartier, A. Kumar, D. DiMaria, S. Guha, A. Callegari, S. Zafar, Kozolowski, K. Chan, P. Ronsheim, K. Rim, R. J. Fleming, A. Mocuta and A. Ajmera, "Ultra high-K gate stacks for advanced CMOS devices," IEDM Tech. Dig., pp. 451-454, 2001.