

# Gate Insulator 두께 가변에 따른 TFT소자의 전기적 특성 비교분석

김기용, 조재현, 이준신  
성균관대학교 정보통신공학부

**Abstract :** We fabricated p-channel TFTs based on poly Silicon. The 35nm thickness silicon dioxide layer structure got higher  $I_{on}/I_{off}$  ratio, field-effect Mobility and output current than 10nm thickness. And 35nm layer showed low leakage current and threshold voltage. So, 35nm thickness silicon dioxide layer TFTs are faster reaction speed and lower power consumption than 10nm thickness.

**Key Words :** Silicon double-layer dielectric, gate insulator,  $SiO_2$ ,  $SiN_x$ , thickness.

## 1. 서론

반도체 소자가 고집적화, 고속화, 저전력화 됨에 따라 소자를 구성하는 트랜지스터들의 크기가 급속도로 줄어들고 있다. 이에 따라, 전계효과 트랜지스터(Field Effect Transistor) 소자의 크기도 점점 더 줄어들고 있는 실정이며, 이에 대응하여, 소자가 최적의 성능을 가지도록 하기 위하여(소자의 동작 속도 및 단채널 효과(Short channel effect) 개선 등) 얇은 두께의 게이트 산화막을 적용하고 있다. 그러나 게이트 산화막 두께가 얇아지면 유전체막의 두께가 감소되어 누설 전류 및 신뢰성 특성이 열화 된다. 실리콘 질화물은 실리콘 이산화물보다 높은 유전상수( $SiO_2 : 3.9, Si_3N_4$ )를 가진다. 그래서 실리콘 질화물을 실리콘 이산화물과 같이 듀얼모드로 게이트 절연막을 형성하고자 한다.

## 2. 실험

본 실험에 사용된 소자의 구조는 다음 그림 1 과 같다.

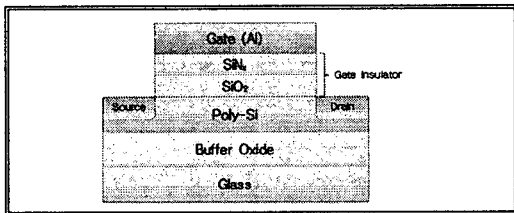


그림 1. Silicon double-layer dielectric TFT의 단면구조

위 소자는 우선적으로 유리 기판위에 버퍼 층인  $SiN_x$ 와  $SiO_2$ 를 PECVD반응기를 이용하여 순차적으로 증착한다. 그 위에 50nm의 a-Si층을 증착하고, 이를 ELA 결정화 방법으로 Poly-Si으로 성장시킨다. 이렇게 만들어진 TFT의 기본적인 기판 위에 게이트 절연막( $SiO_2, SiN_x$ )을 쌓고 Si를 증착한 후 패터닝 과정을 거쳐서 TFT 소자를 제작하게 된다. 이 때 소자의 게이트 절연막  $SiN_x$ 의 두께는 40nm로 고정하였으며,  $SiO_2$  두께를 10nm/35nm로 달리하여 측정하였다.

## 3. 결과 및 고찰

그림 2는  $SiO_2$ 의 두께에 따른 게이트전압과 드레인전류 곡선(a)과 드레인전압과 드레인전류 곡선(b)이다. 측정 결과 10nm일 때보다 35nm일 때 더 낮은 누설전류와 Sub-Threshold Swing을 볼 수 있으며, 높은  $I_{on}/I_{off}$  ratio와 Field-effect Mobility를 확인할 수 있다. 이 측정결과를 표 1에 나타내었다.

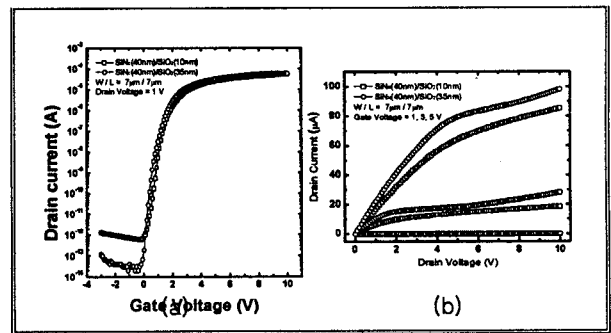


그림 2. Silicon double-layer dielectric TFT의 I-V 특성 :  $SiO_2$  gate insulator 두께에 따른 특성 비교 (a)  $I_D$ - $V_G$  (b)  $I_D$ - $V_D$

표 1. Dual gate-insulator TFT의 전기적 특성.

$SiO_2$ 두께	$I_{on}/I_{off}$ ratio	$V_{th}$ (V)	Sub-threshold Swing (V/dec)	Field-effect Mobility( $cm^2/Vs$ )
10nm	$8.76 \times 10^7$	-1.29	0.2	121.32
35nm	$2.99 \times 10^9$	-1.17	0.1	155.73

## 4. 결론

본 연구에서는 NO구조의 실리콘 다층 절연막을 가진 TFT 소자에서 Blocking 막막인  $SiO_2$  절연막의 두께를 달리하여 전기적 특성을 비교하였다. 그림 2-(a)와 표 1에서와 같이  $SiO_2$  절연막의 두께가 10nm일 때보다 35nm일 때 정밀비와 이동도에서 우수한 결과를 보여 반응속도가 빠르게 되며, 낮은 문턱전압과 누설전류로 전력소모를 낮추게 된다.

그림 2-(b)를 보면  $SiO_2$  절연막의 두께가 35nm일 때 높은 Output Current를 발생시켜 더 우수한 특성을 나타내었다. 따라서 무조건 두께가 얇은 절연막보다는 적정두께의 절연막이 더 우수한 결과를 나타냄을 알 수 있다.

## 참고 문헌

[1] Parker, C. G., Lucovsky, G., Hauser, J. R. (IEEE electron device letters, Vol.19 No.4, [1998])  
 [2] Maszara, W. P., Krishnan, S., Xiang, Q., Lin, M.-R. (SYMPOSIUM ON VLSI TECHNOLOGY, No.2001, [2001])  
 [3] Evtukh, A.A.; Litovchenko, V.G. Popov, V.G. (International Nonvolatile Memory Technology Conference, [1996])  
 [4] Zhang, X. Sessler, G.M. (11th International Symposium on Electrets. [2002])