

차세대 고속철도 증속 운전에 대응하는
불연속 정보 수신보드 개발에 관한 연구

**A Study On The New Intermittent Message Acquisition Board
Using FPGA For Next-Generation High-Speed Rail**

한재문* 엄정규* 양찬석** 조용기***
Han, Jae-Mun Um, Jung-Kyu Yang, Chan-Seok Cho, Yong-Gee

ABSTRACT

There are two types of controller between railway and train. those are the Continuous Message Controller and the Intermittent Message Controller using for KHSR. The conventional Intermittent Message Controller board used a variable resistor for setting the phase, but the variable resistor affected some environmental facts, such as temperature, humidity, and vibration, etc. And It is requirement of reduction message processing time for speed-up operation in Next-Generation High-Speed Rail.

This study suggests how to solve the problem described above. Using FPGA is quite profitable. It's easy to use and maintain, flexible with the New algorithm to fix up the problem.

1. 서론

경부고속철도에서 사용되어지는 신호부분 차상제어장치는 연속 메시지 정보처리부와 불연속 메시지 정보처리부로 구분된다. 연속 메시지 정보처리부는 고속선 레일에 흐르는 신호를 포함한 주파수성분의 전류를 차상 장치에서 변복조 과정을 통하여 유용한 정보만 추출하는 방식을 사용하고 있고, 불연속 메시지 정보 처리부는 고속선상의 신호전환 구간, 구조물 및 터널 등의 위치적인 정보를 차상의 운전자에게 전달하기 위해서 각각의 정보전달의 필요성이 있는 위치에 불연속 LOOP를 설치해서 불연속 LOOP에 정보를 포함한 특정 주파수 성분이 흐르는 것을 차상에서 추출하기 위한 장치이다.

본 논문은 차세대 고속철도 불연속 메시지 정보처리를 위한 보드개발에 있어 기존의 방식을 보다 단순화시키면서 운전속도 증속에 따른 메시지 정보처리 시간 단축 및 신뢰성을 향상 시킬 수 있도록 새로운 처리방식을 적용한 보드개발에 관한 연구 내용이다. 불연속 신호를 지상의 LOOP로부터 수신하는 안테나는 기존의 방식과 차이점이 없으나 안테나로 수신한 신호를 처리하는 과정에서 거치게 되는 필터의 방식과 필터를 통과한 신호를 처리하는 방법에서 차이점을 두어 보다 높은 신뢰성과 유지보수성을 확보하기 위해 노력 하였다. 기존의 방식이 TTL소자의 개별부품 동작 특성에 의존한 신호 추출 방식이라면, 새로운 불연속 정보처리 방식은 신호파형의 패턴을 AD 변환한 후 FPGA로서 ASIC화 처리함으로써 보다 편리한 유지보수성 및 신뢰성을 높이고, 또한 메시지처리 시간을 단축할 수 있다.

* LG산전(주) 선임연구원, 정회원
** LG산전(주) 책임연구원, 정회원
*** LG산전(주) 수석연구원, 정회원

2. 본 론

불연속 정보 신호는 62.5Khz 주파수를 기준으로 메시지(0 또는 1)에 따라 125Khz 캐리어 신호의 위상을 변조하여(PSK 변조) 208us 마다 1비트 즉, 4800bps 전송속도로 불연속 루프코일을 통하여 전송된다. 이러한 PSK 변조 과정은 그림1과 같다. 그림에서 보듯이 메시지에 따라 125Khz 신호의 위상을 180° 바꾸고 이를 62.5Khz 기준 위상과 합성하여 최종 전송 신호를 생성한다.

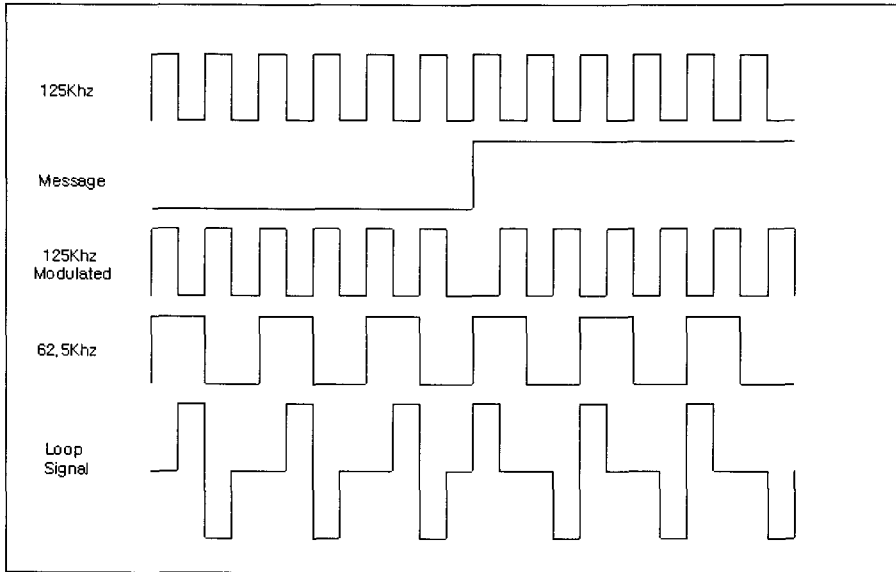


그림 2 불연속 정보 생성 원리

그림1의 Loop Signal 형태와 같이 생성된 불연속 정보 신호는 선로상에 설치되어 있는 2개의 불연속 루프를 통하여 전송되며, 열차가 해당 루프위를 지나갈 때 열차의 전두부에 설치된 불연속 안테나가 불연속 정보를 센싱하여 불연속 수신 보드로 전송하게 된다. 그림2는 불연속 송수신 개념을 보인다.

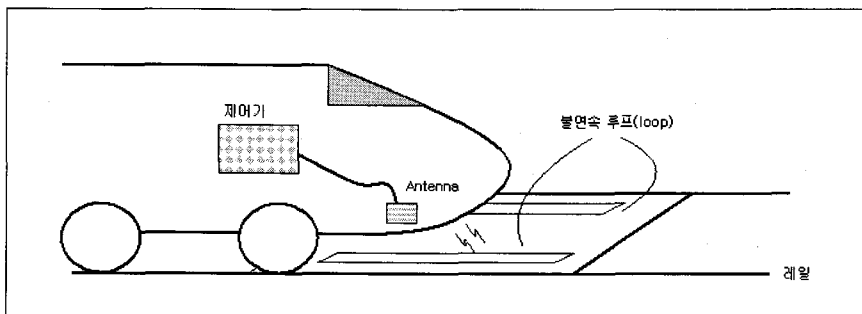


그림 3 불연속 정보 송수신 개념도

2.1. 기존 불연속 보드의 정보처리 방식

그림3은 기존 불연속 정보 수신 보드가 불연속 안테나로부터 PSK 변조된 신호를 수신하여 PSK 신호 복조를 수행하여 최종 생성한 시리얼 신호를 차상 장치로 전송하는 과정을 보여주는 블록도이다. 위상

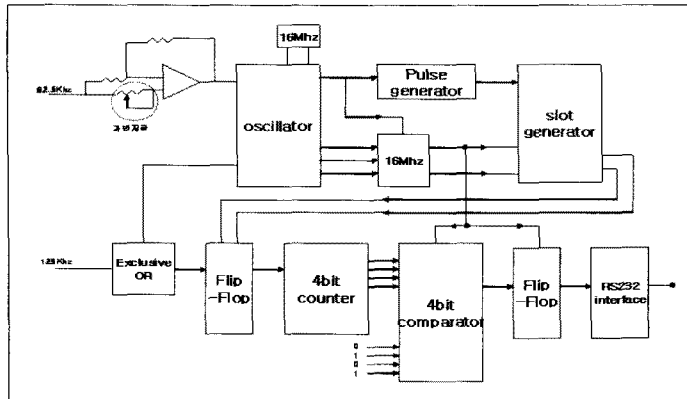


그림 4 기존 불연속 신호 처리 블록도(CSEE 불연속보드 사양서 참조)

천이 회로는 가변 저항으로 62.5KHz 신호의 위상 천이 정도를 결정하게 되는데, 62.5KHz 신호의 위상 천이는 불연속 정보 복조의 가장 기본적인 기준 신호가 되므로 정확한 위상 천이 조절 방법이 필요하게 되었다. 기존의 불연속 수신 장치는 안테나로부터 수신한 62.5KHz의 신호를 변조되는 과정에서 발생한 위상 차이를 위상 천이 회로를 거치면서 보정하고, 이 기준 신호와 125KHz의 캐리어 신호를 Exclusive OR 연산을 하여 중간 단계의 신호를 생성하여 62.5KHz의 기준신호를 바탕으로 카운터 IC와 비교기 IC를 이용하여 복조 과정을 거치면서 최종적인 Serial 데이터를 생성하게 된다. 이때 위상 천이 회로를 비롯한 모든 장치가 아날로그 회로로 구성되어 있고, 특히 위상 천이 회로의 가변 저항값은 온도와 습도, 진동 등 기타 주변 상황에 의해 변동가능성이 있으므로 62.5KHz 신호의 위상 변동이 발생하여 지속적인 튜닝 및 유지 보수가 필요하였다.

2.2. FPGA를 이용한 불연속 보드의 정보처리 방식

FPGA를 이용한 불연속 정보 수신 보드의 신호처리는 안테나에서 수신된 신호를 Low-Pass Filter와 High-Pass Filter를 통하여 잡음성분을 제거하게 된다. 이렇게 Filter를 통과한 신호는 그림 4의 Antenna 신호파형과 같이 125KHz와 62.5KHz의 주파수가 합성된 신호 파형을 띄게 된다. 이 Antenna신

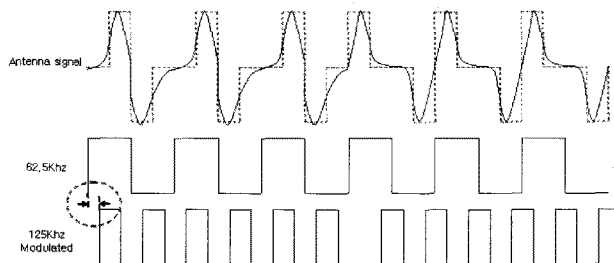


그림 5 수신된 안테나 신호 파형

호를 필터회로를 통하여 125KHz와 62.5KHz의 주파수 성분으로 각각 분리하여 FPGA 신호처리 IC로 입력하여 그림 5의 신호처리 동작을 수행하게 된다. 이때 기존 불연속 신호처리보드에서 가변저항을 이용하여 위상 차이를 조절하던 동작을 FPGA에서 62.5KHz의 신호를 그림 5의 기능블럭 중 1차 Edge Detector Module에서 검지하여 기준 주파수인 62.5KHz를 위상차이만큼 shift하여 데이터 신호인 125KHz와의 위상차이를 보정하게 된다. 이렇게 보정된 신호와 62.5KHz의 신호를 바탕으로 생성된 250KHz의 샘플링 신호를 그림5의 Signal Decoder모듈에서 원래 데이터의 신호를 추출하게 된다. 이렇게 추출된 데이터를 하나의 완전한 프레임으로 생성하여 그림 5의 Serial Data Transmitter로 넘겨주면 4800bps의 Serial 신호를 차상의 주 제어기로 전송하게 된다.

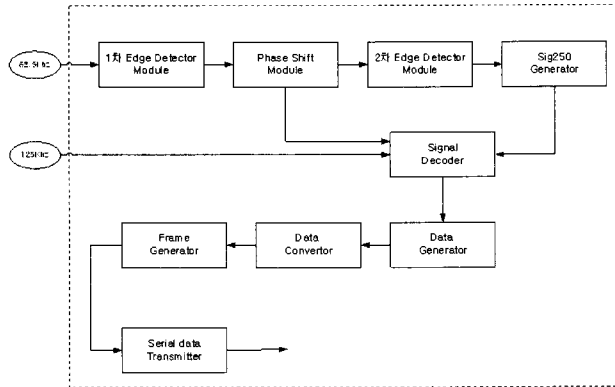


그림 6 FPGA 내부 신호처리 블록도

이렇게 VHDL을 이용하여 FPGA에 적용하게 되면 보드의 유지보수와 디버깅 작업에 있어서 편리함이 증대되고 기존의 보드에서의 문제점으로 지적될 수 있는 위상천이회로에 의한 작업을 없앨 수 있으므로 보다 높은 신뢰성을 획득할 수 있다.

2.3. 기존 불연속 보드와 FPGA불연속 보드

그림 6은 기존 불연속 보드의 사진으로 안테나에서 수신한 신호에서 노이즈를 제거하기 위한 필터부와 필터된 신호에서 유효한 데이터를 처리하기 위한 신호처리부의 부품들이 복잡하게 배치되어 아날로그 신호 처리 시 좌우 채널의 특성이 다르게 나타날 가능성이 크다. 그러나 이에 비해 새로운 FPGA 불연속

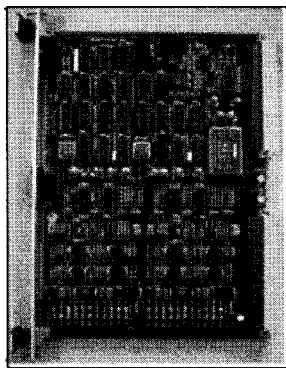


그림 7 기존 불연속보드

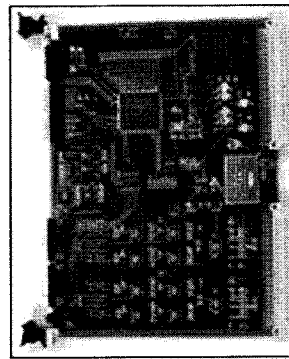


그림 7 FPGA 불연속보드

보드는 기존의 불연속보드에서 신호처리를 위해 사용된 각종 부품들을 FPGA안으로 직접화함으로써 보드의 부품 배치를 단순화 할 수 있고, 신호처리에 필요한 부품의 수를 획기적으로 줄임으로써 보드의 고장 포인트를 줄일 수 있을 뿐만 아니라 유지보수성도 향상 시킬 수 있다.

3. 결론

기존의 불연속 정보 수신 보드는 가변저항을 이용한 위상천이회로를 이용하여 허용 가능한 정도의 위상천이를 만족해야지만 정확한 데이터의 수신이 가능했다. 이러한 회로의 단점은 위상천이를 위해 가변저항을 이용한다는 점이다. 가변저항은 수명의 한계가 있고, 온도와 습도, 진동 등 외부 요인에 의한 저항값의 변화가 발생할 수 있는 잠재 요인이 있었다.

FPGA를 이용한 새로운 방식의 불연속 정보 수신보드의 개발은 이러한 단점을 극복하고, 유지보수 측면과 디버깅의 용이성 확보, 보다 높은 신뢰성 향상 등의 장점을 구현 했다고 할 수 있다. 현재는 불연속 정보 수신 보드에서 단순히 추출한 데이터를 주 제어기로 전송하는 수준의 동작만을 하는데, 향후 불연속 정보 수신보드 자체에서 추출한 데이터를 가공하여 주 제어기로 가공된 정보를 전송할 수 있다면, 현재 주 제어기에서 불연속보드에서 전송받은 좌·우측 데이터를 해석하여 완전한 하나의 메시지를 해석하는데 걸리는 시간을 단축하여, 보다 빠른 메시지 처리가 가능할뿐만 아니라 주 제어기의 부하를 줄여 줄 수 있기 때문에 보다 효율적인 시스템을 구축할 수 있을 것으로 기대 된다.

새롭게 개발된 FPGA보드는 실험실 레벨에서의 테스트를 통해 기존 불연속보드와 동일 이상의 데이터 처리 능력을 테스트하였고, 향후 현차 시험을 통해 신뢰성과 안정성을 확보하기 위한 실험이 필요 할 것으로 생각된다.

참고문헌

1. 진년강 , “아날로그와 디지털통신” , 청문각, 1996.
2. 박재영, 홍원식, 전병록, “철도신호공학” , 동일출판사, 2001.
3. 김영철, 정연모 외, “디지털 시스템 설계를 위한 VHDL”, 홍릉과학출판사, 2001.
4. 최태영, 나상진, “신호와 시스템” , 대영사, 1998.
5. 열차제어장치 연차보고서, LG산전, 2001

감사의 글

본 연구는 국토해양부 미래철도기술개발사업의 연구비지원(과제번호 07차세대고속철도 A01)에 의해 수행되었습니다.