

전력용 MOSFET의 특성

배진용* . 김 용** . 권순도*** . 조규민[§] . 엄태민^{§§}
 *특허청 . **동국대학교 . ***대림대학 . [§]한국폴리텍I대학 . ^{§§}티엠에스

The Characteristics of Power MOSFET

Jin-Yong Bae* . Yong Kim** . Soon-Do Kwon*** . Kyu-Man Cho[§] . Tae-Min Eom^{§§}
 *KIPO . **Dongguk University . ***Daelim College . [§]Korea Polytechnic College I . ^{§§}TMS

Abstract - This paper reviews the characteristics of Power MOSFET device technology that are leading to improvements in power loss for power electronic system. The silicon bipolar power transistor has been displaced by silicon power MOSFET's in low and high voltage system. The power electronic technology requires the marriage of power device technology with MOS-gated device and bipolar analog circuits.

1. 서 론

전력용 MOSFET는 반도체 제조 기술의 발전과 동반하여 급속하게 발전하고 있다. 특히, 1965년 인텔(Intel)사의 공동 설립자인 고든 무어(Gordon Earle Moore)가 제시한 반도체의 집적도는 18개월마다 2배로 증가한다는 Moor의 법칙(Moore's law)을 제시했으며, 2002년 삼성전자에 황창규사장은 반도체 집적도가 1년마다 2배로 증가한다는 황의 법칙(Hwang's law)을 언급한 가운데 반도체의 집적도는 매년 급격하게 높아지고 있다.

그림 1은 2001년 ITRS(International Technology Roadmap for Semiconductor) 보고서에서 언급한 반도체 크기(선폭)의 변화를 나타내고 있다^[1-3].

2007년 상반기 이미 국내 기업은 60나노 D램을 양산하고 있으며^[4], 2008년 9월에 삼성전자는 50나노급 D램의 양산에 돌입하고 있다^[5].

그림 2는 2001년 ITRS 보고서에서 언급한 반도체 동작 주파수의 변화를 나타내고 있으며, 직렬회로의 동작 주파수는 2010년에 10[GHz]를 돌파하고, 2020년에는 100[GHz]에 근접할 것으로 예측하고 있다^[1-3].

그림 3은 2001년 ITRS 보고서에서 언급한 반도체 공급전압의 변화이며, 반도체의 집적도가 향상되고, 반

Feature Size

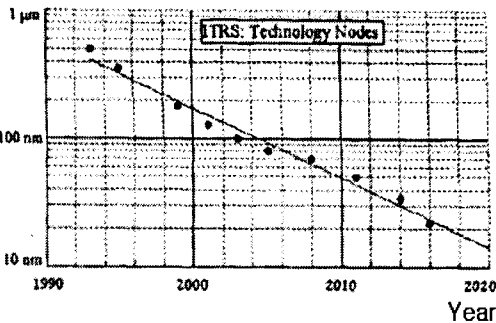


그림 1. 반도체 크기(선폭)의 변화

Clock Frequency[GHz]

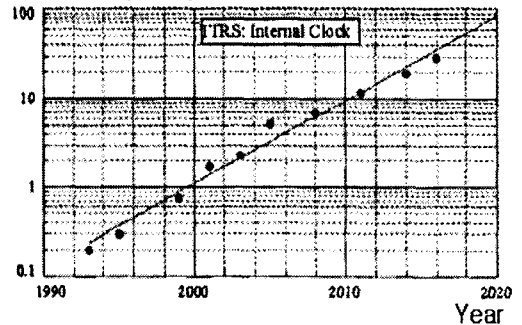


그림 2. 반도체 동작 주파수의 변화

Supply Voltage[V]

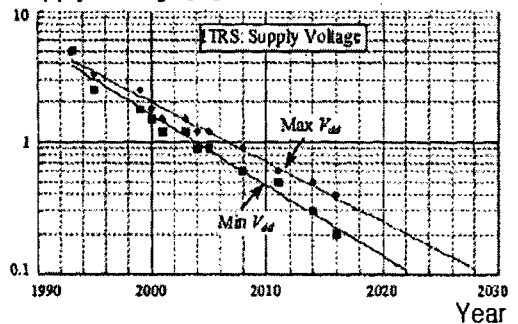


그림 3. 반도체 공급전압의 변화

Power[W]

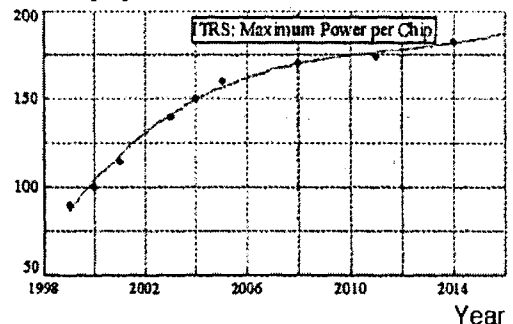


그림 4. 반도체 칩당 전력량의 변화

도체의 동작 주파수의 상승으로 반도체가 요구하는 공급 전압도 이미 1[V] 이만이고 2010년에 0.4~0.7[V]가 되며, 2022년에서 2030년에 0.1[V] 부근으로 낮아짐을 예측하고 있다^[1-3].

그림 4는 2001년 ITRS 보고서에서 언급한 반도체 칩당 전력량의 변화에 관한 것으로 반도체 칩이 요구하는 전력량은 증가하고 있으나, 2010년 이후에 점차 그 증가량이 둔화되는 경향을 예측하고 있다^[1-3].

2. 본 론

2.1 전력용 반도체의 분류 및 생산업체

그림 5는 전력용 반도체의 분류를 나타낸다. 전력용 반도체는 P형과 N형 반도체의 PN접합(PN Junction)의 개수에 따라서 구분한다.

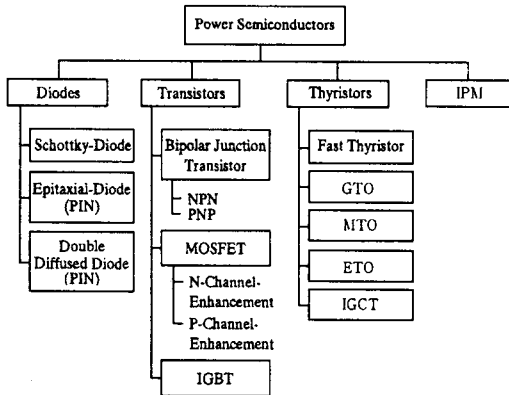


그림 5. 전력용 반도체의 분류

- 1) 다이오드(Diode) : 1개의 PN접합을 통하여 전류를 단방향으로 흐르게 소자
- 2) 트랜지스터(Transistor) : 2개의 PN접합이 존재하는 NPN 또는 PNP 접합의 소자
- 3) 다이리스터(Thyristor) : 3개의 PN접합이 존재하여 NPNP 접합을 형성하는 소자
- 4) IPM(Intelligent Power Module) : 여러 종류의 전력용 반도체를 하나의 반도체 장치 내에 형성하는 전력용 소자

표1은 전력용 반도체의 생산업체와 경쟁력 및 특징에 대하여 정리한 것이다. 전력용 반도체에 대해서는 일본

표1. 전력용 반도체의 생산업체 및 특징

국가 및 지역	생산업체	생산품목	경쟁력 및 특징
일본	도시바, 후지, 미쓰비시, 히타치 외 중견기업 다수	전 품 목	- 세계 최고의 경쟁력 - 전세계 시장의 50~55% 점유 - 대부분의 대기업은 6인치 이상의 라인 설치 - 대기업과 중견전문 업체 특화
미국	모터롤라, IR, IXYS, 해리스	중대용량소자 군사 우주용	- 주요소자의 원천특허 보유
유럽	ABB, Siemens, Eupec, SGS-Thomson 등	중대용량소자 고전압 소자	- 업체의 제휴 및 합병이 활발 - Eupec : Siemens 및 AGE사의 합병회사 - 대용량소자 특화
러시아 및 동유럽	사란스크 전력반도체, 러시아연방 전기연구소, 우크라이나 일렉트로, 프로미텔 등	중대용량소자	- 초기 유럽으로부터 생산라인 도입 - 90년대 이후 투자 부족으로 생산시설 낙후 - 최근 유럽 및 미국의 하청 업체로 전락
중국	시안 전력전자연구소, 항조우 철도연구소	중대용량소자	- 최근 유럽으로부터 기술도입 활발
한국	(주)페어차일드 코리아, (주)KEC, (주)삼성전기	MOSFET 및 개별전력소자	- 응용기술 개발 노력 - 국내·외 시장확장 노력

이 세계 최고의 경쟁력을 유지하고 있는 가운데, 미국은 특성화 및 기술개발을 통하여 일본을 추격하고 있으며, 유럽은 업체 간의 제휴 및 합병을 통하여 경쟁력을 회복하고 있다.

또한, 중국은 최근 자국의 전력용 반도체의 수효를 증축하기 위하여 유럽으로부터 기술도입 및 현지화 생산을 추진하고 있으며, 한국의 몇몇 기업들을 응용기술 개발과 국내·외 시장확장을 위해 노력하고 있다^[6].

그림 6은 각각의 전력용 반도체의 부하전류와 제어전류를 나타낸다^[7].

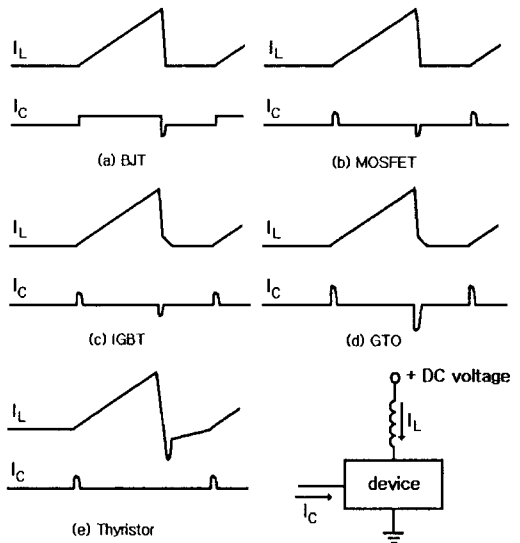


그림 6. 전력용 반도체의 부하전류와 제어전류

다양한 전력용 반도체 중에서 현재 스위칭 특성 및 제어 특성이 가장 우수한 소자는 MOSFET이며, 이러한 이유로 인하여, MHz까지 고주파 스위칭이 가능하며, 생활가전, 산업용 전원장치 및 전력제어 응용에 활발하게 사용되고 있다.

본론에서는 전력용 MOSFET의 소자 특성 및 기술동향을 중심으로 고찰하고자 한다.

2.2 전력용 MOSFET의 스위칭 특성

2.2.1 Miller 효과

전력용 MOSFET의 스위칭 특성은 Miller 효과(Miller Effect)와 매우 밀접한 관계가 있는 것으로 알려져 있다^[8].

Miller 효과는 1920년대 발표된 이론으로 John M.Miller가 진공관 실험을 통하여 다음과 같은 이론을 제시하였다.

Miller 효과는 그림 7의 (a)와 같이 시스템의 전체 이득값이 (-)인 경우 입력단과 출력단 사이의 커패시터가 그림 7의 (b)와 같이 입력단 병렬 커패시터로 영향을 미치는 효과이다^[9].

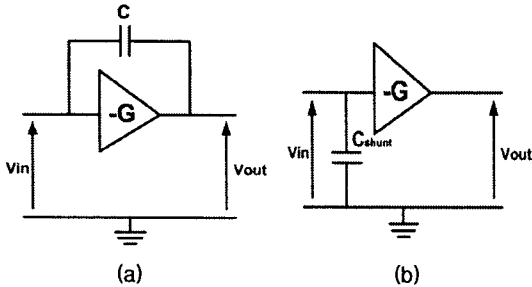


그림 7. Miller 효과

식(1)~(4)는 커패시터 전압 및 전류를 나타낸다.

$$V_C = V_{in} - V_{out} \quad (1)$$

$$V_{out} = -G \times V_{in} \quad (2)$$

$$V_C = V_{in} - (-G \times V_{in}) = V_{in}(G + 1) \quad (3)$$

$$I_C = V_C \cdot j\omega C \quad (4)$$

$$C_{SHUNT} = \frac{I_C}{V_{in}} = \frac{V_C \cdot j\omega C}{\frac{V_C}{G+1}} = j\omega C(G+1) \quad (5)$$

식(5)는 Miller 효과에 의한 병렬 커패시터 크기를 나타내며, 커패시터의 크기가 (G + 1)배 증가되는 특징을 지닌다.

2.2.2 Miller 효과와 MOSFET의 차단(한계) 주파수

그림 8은 전력용 MOSFET 단면도와 내부의 커패시터 및 저항성분을 나타내고, 그림 5는 그림 4(a)의 커패시터 성분을 중심으로 하는 MOSFET의 등가회로를 나타낸다^[8,10].

그림 9로부터 MOSFET의 입력 커패시터 C_{iss} 는 식(6)과 같이 나타낸다.

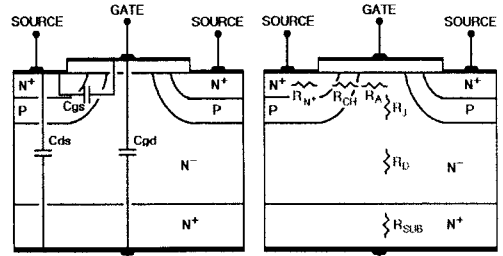
$$C_{iss} = C_{gd} + C_{gs} \quad (6)$$

또한, MOSFET의 출력 커패시터 C_{oss} 는 식(7)과 같이 나타낸다.

$$C_{oss} = C_{gd} \cdot \frac{C_{gs} \times C_{gd}}{C_{gs} + C_{gd}} + C_{ds} \quad (7)$$

게이트(Gate)와 소오스(Source) 사이의 커패시터인 C_{gs} 는 게이트와 소오스 사이에 산화막(Oxide) 두께에 의한 전력용 MOSFET의 구조적 변수로서 드레인(Drain)과 소오스(Source) 사이의 전압인 V_{ds} 변화에 대해서 C_{gd} 및 C_{ds} 대비 영향을 덜 받는 것으로 알려졌다.

그러나 게이트(Gate)와 드레인(Drain) 사이의 커패시터인 C_{gd} 는 전력용 MOSFET의 구조적 변수이며, 동시



(a)커패시터 성분 (b)저항 성분
그림 8. MOSFET의 단면도

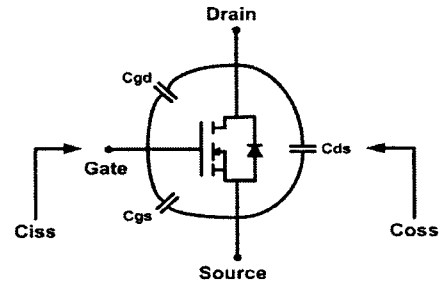


그림 9. 커패시터 성분을 중심으로 하는 MOSFET 등가회로

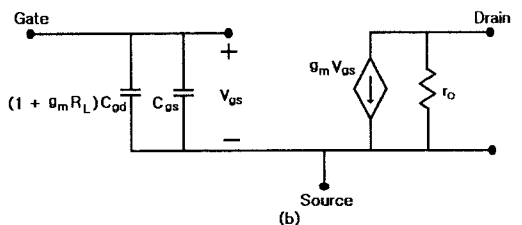
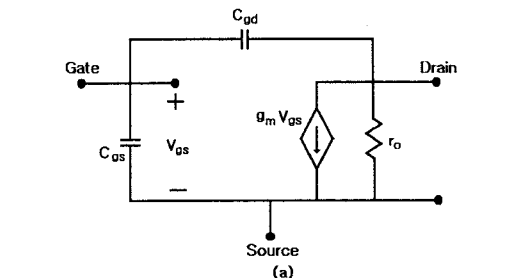
에 V_{ds} 변화에 매우 민감한 특성을 가지며, 스위칭 특성을 결정짓는 가장 중요한 변수이다^[8].

그림 10은 기생성분을 포함하는 전력용 MOSFET의 소신호 모델과 Miller 효과를 고려한 소신호 등가회로를 나타낸다^[10].

여기서, g_m 은 게이트 전압 V_{gs} 에 따른 I_{ds} 의 기율기
 r_o : 드레인과 소오스 사이의 기생저항
 R_L : I_{ds} 흐름에 영향을 미치는 저항
 $(R_L = R_{N+} + R_{CH} + R_A + R_J + R_D + R_{SUB})$

따라서 Miller 효과는 MOSFET의 입력 커패시터 C_{iss} 의 크기를 식(8)과 같이 변경시킨다^[8,10].

$$C_{iss} = C'_{gd} + C_{gs} = (1 + g_m R_L) C_{gd} + C_{gs} \quad (8)$$



(a)소신호 모델 (b)Miller 효과를 고려한 등가회로
그림 10. MOSFET의 소신호 모델

또한, MOSFET의 차단(한계) 주파수는 Miller 효과에 의하여 식(9)와 같이 정의된다^[6].

$$f_{\text{cutoff}} = \frac{g_m}{2\pi C_{\text{iss}}} = \frac{g_m}{2\pi \{(1 + g_m R_L) C_{\text{gd}} + C_{\text{gs}}\}} \quad (9)$$

따라서 고주파 스위칭을 위해서는 C_{iss} 를 저감하는 것이 매우 중요한 사항이며, 이를 위하여 R_L , C_{gd} 및 C_{gs} 를 저감하는 MOSFET의 설계가 필수적이다.

2.2.3 전력용 MOSFET의 스위칭 구간별 분석^[8,10]

그림 11은 전력용 MOSFET의 게이트 전압에 따른 전류 특성을 나타내며, 문턱전압(V_T : Threshold Voltage)는 게이트 전압이 인가되도 드레인 전류가 흐르지 않는 전압으로 정의하였다.

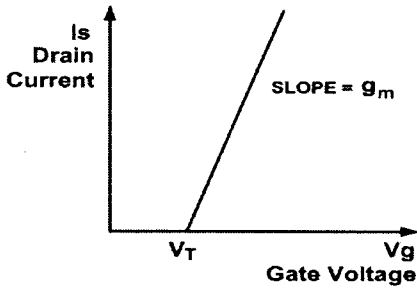


그림 11. MOSFET의 게이트 전압에 따른 전류 특성

그림 12는 스위치 턴온시 전력용 MOSFET 각부의 동작파형을 나타낸다.

1) Time Interval : t_1

이 시간은 게이트 전압 V_g 가 문턱전압 V_T 보다 작을 때이며, 드레인 전류 I_S 가 흐르지 않는 턴온 지연 시간이다. 이 시간동안 Miller 효과에 의해 입력 커패시터 $C_{\text{iss}} = C_{\text{gs}} + C'_{\text{gd}}$ 로 증가하는 시간이다.

따라서 이 시간동안 게이트 전압은 식(10)으로 나타낼 수 있다.

$$V_g(t) = V_{\text{GA}} \{1 - e^{-t/R_G(C_{\text{gs}} + C'_{\text{gd}})}\} \quad (10)$$

여기서, R_G : 게이트 직렬 저항
식(10)으로부터 t_1 의 시간은 식(11)과 같이 나타낼 수 있다.

$$t_1 = R_G(C_{\text{gs}} + C'_{\text{gd}}) \cdot \ln \left\{ \frac{1}{1 - V_T/V_{\text{GA}}} \right\} \quad (11)$$

2) Time Interval : t_2

게이트 전압 V_g 가 문턱전압 V_T 보다 커지면, 게이트 전류는 증가하며, 동시에 드레인 전압은 강하되는 시간이다. t_2 시간의 게이트 전류는 식(12)와 같이 나타낼 수 있다.

$$I_S(t) = g_m(V_{\text{GS}} - V_T) = g_m \{V_{\text{GA}} [1 - e^{-t/R_G(C_{\text{gs}} + C'_{\text{gd}})}] - V_T\} \quad (12)$$

식(13)로부터 t_2 의 시간은 식(13)과 같이 나타낼 수 있다.

$$t_2 = R_G(C_{\text{gs}} + C'_{\text{gd}}) \cdot \ln \left\{ \frac{g_m \cdot V_{\text{GA}}}{g_m(V_{\text{GA}} - V_T) - I_L} \right\} \quad (13)$$

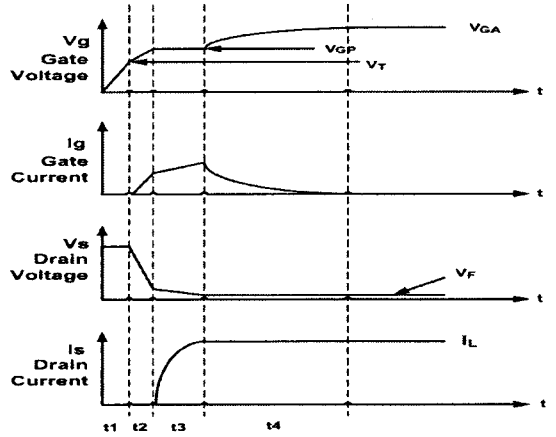


그림 12. 스위치 턴온시 MOSFET 각부의 동작파형

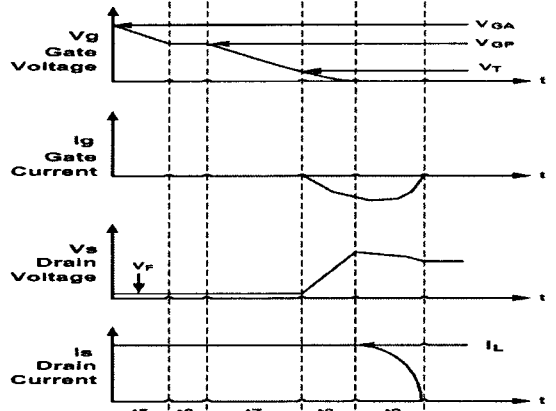


그림 13. 스위치 턴오프시 MOSFET 각부의 동작파형

3) Time Interval : t_3

시간 t_2 이후에 드레인 전압 V_S 가 스위치 역병렬 다이오드 전압 V_F 로 저감되는 시간이며, 드레인 전류 I_S 가 부하전류만큼 증가하는 시간이다. 이 시간동안 드레인 전압 V_S 는 감소하므로 스위칭 손실이 발생하는 주된 시간이다. 이 시간동안 게이트 전압과 전류는 식(14), (15)로 나타낼 수 있다.

$$V_g(t) = V_T + \frac{I_L}{g_m} = V_{\text{GP}} \quad (14)$$

$$I_g(t) = \frac{V_{\text{GA}} - V_{\text{GP}}}{R_G} = \frac{1}{R_G} \left[V_{\text{GA}} \left(V_T + \frac{I_L}{g_m} \right) \right] \quad (15)$$

식(14)의 게이트 전류는 Miller 효과에 의한 Miller 커패시터인 C'_{gd} 를 충전한다. 이때 게이트와 드레인, 드레인인과 소스 사이의 전압변화를 식(16)과 같이 나타낼 수 있다.

$$\frac{dV_{\text{GD}}(t)}{dt} = \frac{dV_{\text{DS}}(t)}{dt} = \frac{I_g(t)}{C'_{\text{gd}}} = \frac{V_{\text{GA}} - (V_T + I_L/g_m)}{R_G \cdot C'_{\text{gd}}} \quad (16)$$

식(16)으로부터 $V_{\text{DS}}(t)$ 를 식(17)과 같이 나타낼 수 있다.

$$V_{DS}(t) = V_L - \left[\frac{V_{GA} - (V_T + I_L/g_m)}{R_G \cdot C'_{gd}} \right] \cdot t \quad (17)$$

식(17)으로부터 t_3 의 시간은 식(18)과 같이 나타낼 수 있다.

$$t_3 = \frac{(V_S - V_F) \cdot R_G \cdot C'_{gd}}{V_g - (V_T + I_L/g_m)} \quad (18)$$

4) Time Interval : t_4

시간 t_4 는 스위치가 정상적으로 턴온된 상태이며, 게이트 전류는 점차 감소하는 구간이다. 이 시간의 게이트 전류는 식(19)와 같이 나타낼 수 있다.

$$I_g(t) = I_{gmax} e^{-t/R_G(C_{gs} + C'_{gd})} \quad (19)$$

5) Time Interval : t_5

게이트 전압이 V_{GA} 에서 V_{GP} 로 감소하는 시간이며, 게이트 커패시터가 방전하는 시간이다. 이 시간에서 게이트 전압을 식(20),(21)로 나타낼 수 있다.

$$V_g(t) = V_{GA} \cdot e^{-t/R_G(C_{gs} + C'_{gd})} \quad (20)$$

$$V_{GS}(t) = V_T + \frac{I_L}{g_m} \quad (21)$$

식(20)(21)로부터 t_5 의 시간은 식(22)와 같이 나타낼 수 있다.

$$t_5 = R_G (C_{gs} + C'_{gd}) \cdot \ln \left\{ \frac{V_{GA}}{V_T - I_L/g_m} \right\} \quad (22)$$

6) Time Interval : t_6

스위치 턴오프 지연시간인 이 시간동안 I_S 는 부하전류를 유지하고 있다. 이 시간동안 게이트 전압과 전류는 식(23)으로 나타낼 수 있다.

$$V_g(t) = V_{GP} \quad (23)$$

7) Time Interval : t_7

시간 t_6 이후에 게이트 전압은 V_{GP} 에서 V_T 로 감소하는 시간이다. 드레인 전압과 전류는 아직 온 상태이다. 게이트 전압은 식(24)로 나타낼 수 있다.

$$V_g(t) = V_T + \frac{I_L}{g_m} \quad (24)$$

8) Time Interval : t_8

게이트 전압이 V_T 이하로 인가되면, 스위치 전압은 상승하며, 게이트 전류는 방전하는 구간이다.

게이트 커패시터에서 방전하는 전압과 전류는 식(25),(26)과 같이 나타낼 수 있으며, 이 때 게이트와 드레인, 드레인과 소스 사이의 전압변화를 식(27)과 같이 나타낼 수 있다.

$$V_g(t) = V_T + \frac{I_L}{g_m} \quad (25)$$

$$I_g(t) = -\frac{V_g(t)}{R_G} = -\frac{V_T + (I_L/g_m)}{R_G} \quad (26)$$

$$\frac{dV_G(t)}{dt} = \frac{dV_{DS}(t)}{dt} = \frac{I_G(t)}{C'_{gd}} \quad (27)$$

식(27)로부터 $V_{DS}(t)$ 를 식(28)과 같이 나타낼 수 있다.

$$V_{DS}(t) = V_F + \frac{1}{R_G \cdot C'_{gd}} \left[V_T + \frac{I_L}{g_m} \right] \cdot t \quad (28)$$

식(28)로부터 t_8 의 시간은 식(29)와 같이 나타낼 수 있다.

$$t_8 = \frac{(V_S - V_F) \cdot R_G \cdot C'_{gd}}{V_T + I_L/g_m} \quad (29)$$

9) Time Interval : t_9

스위치 턴오프시 지연 시간으로 드레인 전류 I_S 가 감소되는 시간이다. 이 시간에서 게이트 전압은 식(30)과 같이 나타낼 수 있다.

$$V_{GS}(t) = \left\{ V_T + \frac{I_m}{g_m} \right\} \cdot e^{-t/R_G(C_{gs} + C'_{gd})} \quad (30)$$

또한, 드레인 전류는 식(31)로 나타낼 수 있다.

$$I_S(t) = (I_L + g_m \cdot V_T) e^{-t/R_G(C_{gs} + C'_{gd})} - g_m \cdot V_T \quad (31)$$

식(30)로부터 t_9 의 시간은 식(32)와 같이 나타낼 수 있다.

$$t_9 = R_G \cdot (C_{gs} + C'_{gd}) \cdot \ln \left\{ \frac{I_L}{g_m \cdot V_T} + 1 \right\} \quad (32)$$

3. 결 론

본 논문에서는 ITRS(International Technology Roadmap for Semiconductor) 보고서를 바탕으로 반도체 기술변화를 고찰하고, 전력용 반도체의 분류와 생산업체를 살펴보고, 전력용 MOSFET의 스위칭 특성에 가장 큰 영향을 미치는 Miller 효과와 이로 인한 MOSFET의 차단(한계)주파수와 스위칭 구간별 분석을 하였다.

[참 고 문 헌]

- [1]Praveen K. Jain "Power electronics for low voltage semiconductor technology: challenges and some possible solutions," IP EMC 2004, 4th International, Vol. 1, pp. 23-24, Aug. 2004.
- [2]2001 International Technology Roadmap for Semiconductor(ITRS) 2001 Edition.
- [3]Allan Allan, Don Edenfeld, William H. Joyner Jr, Andrew B. Kahng, Mike Rodgers, and Yervant Zorian "2001 technology roadmap for semiconductors," 2002 IEEE, Vol. 35, pp. 42-53, Jun. 2002.
- [4]조선일보,중앙일보 2007년 3월 1일 기사, "60나노급 1기가 D램 삼성, 세계최초로 양산" 2007.03.01.
- [5]조선일보,중앙일보 2008년 9월 29일 기사, "삼성전자, 50나노급 DDR3 최초 양산.'세대교체 돌입'" 2009.09.29.
- [6]과학기술부 "전력용 반도체 기술개발 최종보고서," 2000.09
- [7]D.Y.Chen "Power Semiconductor: Fast, Tough, and Compact", Power Device and Their Applications, Volume III of the VPEC Publications Series, Virginia Power Electronics Center, 1990.
- [8]B. Joyant Baliga, "Power Semiconductor Devices," PWS Publishing, New York, 1996.
- [9]John M.Miller, "Dependence of the input impedance of a three-electrode vacuum tube upon the load in plate circuit," Scientific Papers of the Bureau of Standards, pp. 367-385, 1920.
- [10]Muhammad H. Rashid, "Power Electronics Handbook," ACADEMIC Press, pp. 75-99, 2001.