

### 전력용 MOSFET의 기술동향

배진용\* . 김 옹\*\* . 이은영\*\*\* . 이규훈<sup>§</sup> . 이동현\*\*  
 \*특허청 . \*\*동국대학교 . \*\*\*대림대학 . <sup>§</sup>스마트비전텍

### The Technical Trends of Power MOSFET

Jin-Yong Bae\* . Yong Kim\*\* . Eun-Young Lee\*\*\* . Kyu-Hoon Lee<sup>§</sup> . Dong-Hyun Lee\*\*  
 \*KIPO . \*\*Dongguk University . \*\*\*Daelim College . <sup>§</sup>Smartvision Tech

**Abstract** - This paper reviews the characteristics technical trends in Power MOSFET technology that are leading to improvements in power loss for power electronic system. The power electronic technology requires the marriage of power device technology with MOS-gated device and bipolar analog circuits. The technology challenges involved in combining power handling capability with finger gate, trench array, super junction structure, and SiC transistor are described, together with examples of solutions for telecommunications, motor control, and switch mode power supplies.

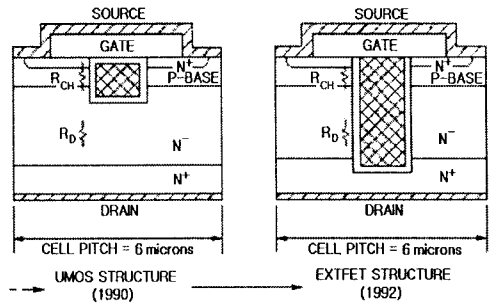


그림 1. 전력용 MOSFET의 기술변화

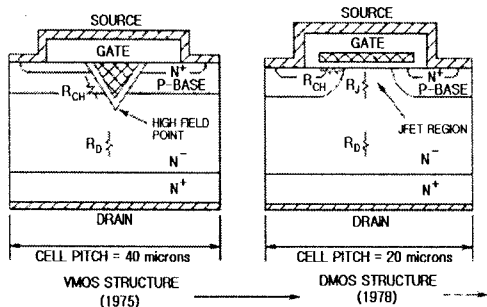
#### 1. 서 론

본 논문에서는 전력용 MOSFET의 기술동향에 대하여 중점적으로 고찰하고자 한다. 특히 전력용 MOSFET의 개발이 시작된 1970년대부터 어느 정도 특성이 정립된 1990년대 초반까지는 B.J. Baliga<sup>[1,2]</sup>와 Antoine A. Timer<sup>[3]</sup> 등이 연구를 바탕으로 전력용 MOSFET를 구조적인 변화를 살펴보고자 한다. 그리고 전력용 MOSFET의 성장기와 발전기인 1990년대부터 현재까지는 손가락형 게이트(Finger Gate)<sup>[6]</sup>, 트렌치 배열(Trench Array)<sup>[9-14]</sup>, 초접합 구조(Super Junction Structure)<sup>[15-18]</sup> 및 탄화규소 트랜지스터(SiC Transistor)<sup>[14,23-30]</sup>의 4가지의 구조 및 재료 기술에 대하여 전력용 MOSFET 기술을 선도하는 기업의 특허를 중심으로 기술동향을 고찰하고자 한다.

#### 2. 본 론

##### 2.1 1970년대부터 1990년대 초반 기술동향

1970년대부터 1990년대 초반까지 MOSFET 기술의 총체적인 변화는 B. Jayant Baliga에 의해서 그림 1과 같이 정리되었다<sup>[1,2]</sup>.



1975년 게이트 구조가 V자로 형성된 VMOS가 등장하였고, 1978년 게이트 구조가 -자로 형성된 DMOS가 나타났으며, 1990년대에는 온(on)저항이 저감된 UMOS가 나타났으며, 게이트의 깊이가 점차 깊어지는 구조적인 발전경향을 보이고 있다.

특히 UMOS는 1980년대 DRAM 메모리 셀의 트렌치(trench) 설계 기술을 전력용 MOSFET 분야에 도입함을 통하여 발전하였다.

이러한 MOSFET는 다음과 같은 4가지 특징적인 장점이 있다<sup>[1,2]</sup>.

- 1) 드리프트(drift) 영역의 저항이 작으며, 온(on)상대 전압강하가 작고,
- 2) MOS(Metal-Oxide-Semiconductor) 게이트 구조는 정상상태에 입력 임피던스가 매우 높으며,
- 3) 바이폴라 트랜지스터(BJT)에 비하여 스위칭 속도가 매우 높으며,
- 4) 바이폴라 트랜지스터(BJT)에 비하여 안정동작영역(FOSO A : Forward Biased Safe Operating Area)이 크며, 하드 스위칭에 대한 손실이 작다.

표1. MOSFET 구조와 내압에 따른 특성 비교

내 압	비교 대상	VMOS	DMOS	UMOS
1000[V]	$W_{epi}$	80 $\mu$	65 $\mu$	65 $\mu$
	$N_D$	$0.93 \times 10^{14}$	$1.7 \times 10^{14}$	$1.56 \times 10^{14}$
	$R_{on}$	$0.444 \Omega \cdot cm^2$	$0.226 \Omega \cdot cm^2$	$0.218 \Omega \cdot cm^2$
550[V]	$W_{epi}$	42 $\mu$	35 $\mu$	35 $\mu$
	$N_D$	$1.68 \times 10^{14}$	$3.225 \times 10^{14}$	$3.10 \times 10^{14}$
	$R_{on}$	$136m\Omega \cdot cm^2$	$73.7m\Omega \cdot cm^2$	$62.8m\Omega \cdot cm^2$
100[V]	$W_{epi}$	6 $\mu$	5 $\mu$	5 $\mu$
	$N_D$	$1.3 \times 10^{15}$	$3.05 \times 10^{15}$	$2.2 \times 10^{15}$
	$R_{on}$	$431m\Omega \cdot cm^2$	$3.13m\Omega \cdot cm^2$	$234m\Omega \cdot cm^2$

여기서,  $W_{epi}$  : 드레인 에피층의 두께[ $\mu$ ]  
 $N_D$  : 드레인 층의 도핑농도[atoms/ $cm^3$ ]  
 $R_{on}$  : MOSFET의 단위 면적당 온저항[ $\Omega \cdot cm^2$ ]

표2. MOSFET 구조와 게이트 피치에 따른 온저항 비교

게이트 피치[ $\mu$ ]	게이트 저항 [ $m\Omega \cdot \mu^2$ ]		
	VMOS	DMOS	UMOS
10	5.16		
12			3.36
14	6.98	4.31	3.90
17		5.24	4.74
20		6.13	

MOSFET의 구조에 대한 수치적 비교에 관한 연구는 Antoine A. Tamer 등에 의해서 수행되었으며, 그 결과는 표1과 2로 정리할 수 있다<sup>[3]</sup>.

표1과 2를 참고로, Antoine A. Tamer의 연구 결과에 의하면, VMOS에 비하여 DMOS와 UMOS가 월등한 특성을 보이고 있으며, 온(on)저항 특성은 UMOS가 가장 우수한 것으로 나타났다.

따라서 현재 대부분의 전력용 MOSFET 연구는 DMOS와 UMOS를 바탕으로 이루어지고 있는 실정이다.

### 2.2 1990년대부터 현재 기술동향

1990년대부터 현재까지 전력용 MOSFET의 기술은 크게 구조적인 연구와 재료적인 연구로 구분할 수 있으며, 아래와 같이 나타낼 수 있다.

#### 구조적 연구

- 손가락형 게이트(Finger Gate) (2.2.1절)
- 트렌치 배열(Trench Array) (2.2.2절)
- 초접합 구조(Super Junction Structure) (2.2.3절)

#### 재료적 연구

- 탄화규소 트랜지스터(SiC Transistor) (2.2.4절)

각각의 기술내용에 대해서 전력용 반도체의 주요 생산업체의 특허문헌을 중심으로 기술동향을 분석하였다.

#### 2.2.1 손가락형 게이트(Finger Gate)

손가락형 게이트 구조에 대한 기술은 1990년대 후반에 RF(Radio Frequency)분야의 트랜지스터에서 이미 제시된 기술로서 일본의 내셔널(National)사, 도시바(Toshiba)사와 미국의 International Business Machines사의 특허에서 이미 제안된 기술이다<sup>[4-7]</sup>.

기술의 끝자는 게이트의 구조를 손가락형으로 구성함을 통하여 MOSFET의 스위칭 속도를 향상시키는 것을 목적으로 하며, 주로 GHz의 주파수로 구동하는 RF 분야에서 먼저 개발되어 전력용 MOSFET에 응용되고 있는 것으로 분석된다.

손가락형 게이트는 그림 2와 같이 (a)손가락 끝이 갈라진 형태와 (b)손가락 끝이 붙어있는 형태의 두 가지 구조로 구분할 수 있다<sup>[7]</sup>.

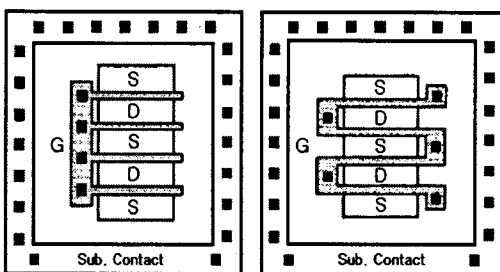


그림 2. 손가락형 게이트 MOSFET

특히 일본 내셔널(National)사의 미국의 등록특허<sup>[4]</sup>에서는 기존의 Miller 효과에 의한 차단(한계) 주파수를 바탕으로 식(1)과 같은 MOSFET의 최대 주파수를 정의하였다.

$$f_{max} = \frac{f_{cutoff}}{2} \cdot \sqrt{2\pi f_{cutoff} C_{gd} + g_o (R_g + R_s)} \quad (1)$$

여기서,  $g_o$  : MOSFET의 출력 컨덕턴스 [ $\Omega^{-1}$ ]  
 $R_g$  : MOSFET의 총 게이트 저항 [ $\Omega$ ]  
 $R_s$  : MOSFET의 총 소오스 저항 [ $\Omega$ ]

따라서 MOSFET의 스위칭 속도를 향상시키기 위하여 게이트 저항( $R_g$ )을 저감하기 위해서 제시된 기법이라 할 수 있다<sup>[4]</sup>.

그림 3은 일본의 신덴겐(Shindengen)사의 손가락형 게이트 기술을 게이트와 소오스 부분에 동시에 적용한 전력용 DMOSFET를 나타낸다. 이 특허에서 게이트 및 소오스 저항이 낮아지고, 고속 스위칭 특성이 우수한 효과가 있음을 언급하였다<sup>[8]</sup>.

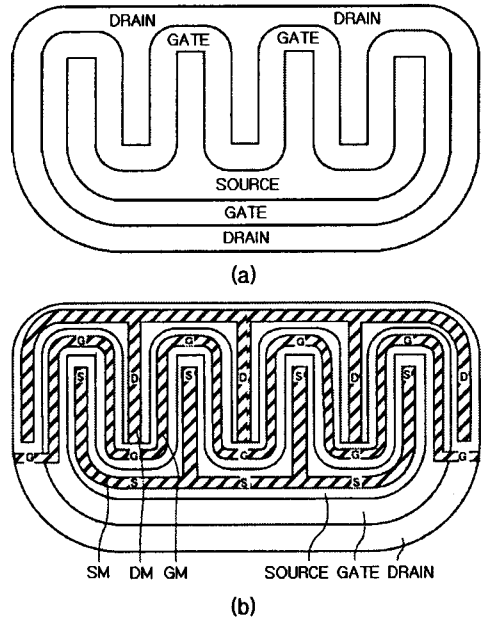


그림 3. 손가락형 게이트 전력용 MOSFET

여기서,

- 도면부호 SM : 소오스 전극 저항 저감용 금속층
- DM : 드레인 전극 저항 저감용 금속층
- GM : 게이트 전극 저항 저감용 금속층

#### 2.2.2 트렌치 배열(Trench Array)

트렌치 배열에 관한 기술은 1990년대에 일본의 히타치(Hitachi)사 및 덴소(Denso)사가 제시한 기술로서, 트렌치 셀의 배열과 형상의 변경을 통하여 낮은 온(on)저항을 달성하는 것을 목적으로 한다<sup>[9-14]</sup>.

그림 4와 그림 5는 일본의 덴소(Denso)사의 정사각형 및 정삼각형 트렌치 배열에 관한 UMOS 트랜지스터를 나타낸다. 이 특허에서 트렌치 배열에 대한 식(2)를 제안하였고, 온(on)저항이 저감되고 신뢰성이 향상된 MOSFET를 제안하였다<sup>[10]</sup>.

$$\begin{aligned} a &= b + 2\alpha \\ b &= c + 2\beta \\ c &= d + 2\gamma \\ d &= e + 2\delta \end{aligned} \quad (2)$$

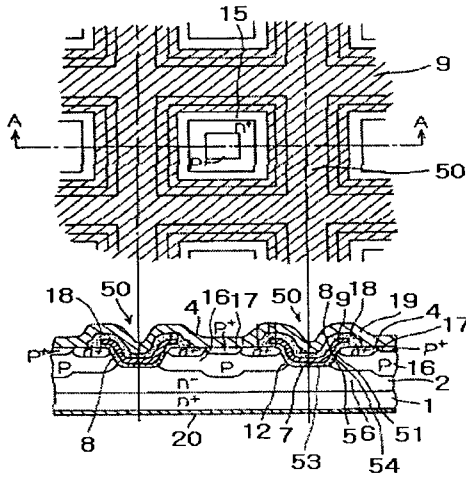
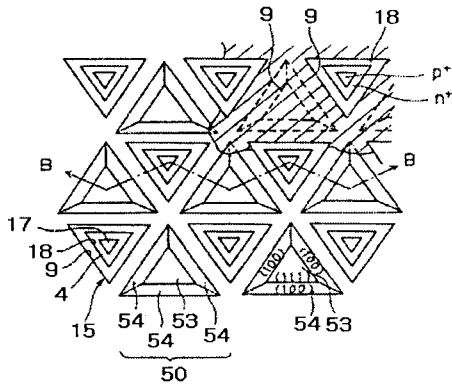
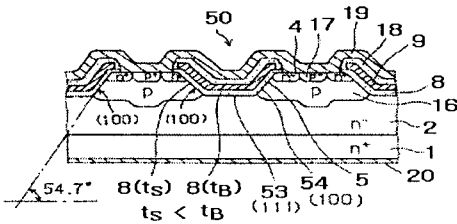


그림 4. 정사각형 트랜치로 배열된 전력용 MOSFET



(a) 평면도



(b) 단면도

그림 5. 정삼각형 트랜치로 배열된 전력용 MOSFET

여기서,

- 도면부호 1 : n+ 반도체 기판
- 2 : n- 에피택셜(epitaxial) 층
- 4 : n+ 소오스 영역
- 5 : 채널
- 6 : n- 드레인 영역
- 7 : JFET 영역
- 8 : 게이트 산화 층
- 9 : 게이트 전극
- 12 : 에지 영역
- 15 : 단위 셀(unit cell)
- 16 : p 베이스 영역
- 17 : p 베이스 접촉 영역
- 18 : 내부 절연 필름
- 19 : 소오스 전극
- 20 : 드레인 전극
- 50 : U자 홈
- 51 : 측벽(sidewall) 영역
- 53 : 아래면(bottom face)
- 54 : 측면(side face)

그림 6은 일본의 덴소(Denso)사의 육각형 트랜치 배열에 관한 UMOS 트랜지스터를 나타내고, 그림 7은 각( $\theta$ )에 따른 계면전위밀도[ $\text{cm}^{-2}/\text{eV}$ ](interstate density)의 변화를 나타낸다. 이 특허에서 각( $\theta$ )에 따른 계면전위밀도의 변화를 분석하였고, 각( $\theta$ )이  $60^\circ$ 의 배수에서 계면전위밀도[ $\text{cm}^{-2}/\text{eV}$ ]가 증가함을 언급하였다<sup>[14]</sup>.

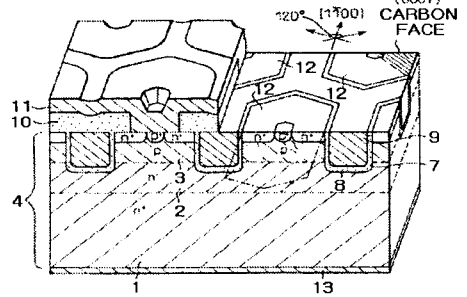


그림 6. 육각형 트랜치로 배열된 전력용 MOSFET

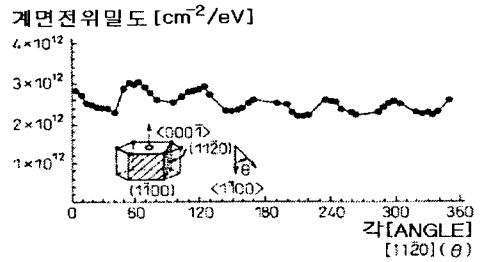


그림 7. 각( $\theta$ )에 따른 계면전위밀도

여기서,

- 도면부호 1 : n+ 탄화 규소(silicon carbide) 기판
- 2 : n- 탄화 규소(silicon carbide) 층
- 3 : p 탄화 규소(silicon carbide) 층
- 5 : n+ 소오스 영역
- 6 : p+ 탄화 규소(silicon carbide) 영역
- 7 : 트랜치
- 8 : 절연 필름
- 9 : 게이트 전극
- 10 : 절연 필름
- 11 : 소오스 전극
- 13 : 드레인 전극

### 2.2.3 초접합 구조(Super Junction Structure)

초접합 구조에 관한 기술은 1990년대 후반에 일본의 도시바(Toshiba)사, 미쓰비시(Mitsubishi) 및 한국의 페어차일드(Fairchild)사 독일의 지멘스(Siemens)사에서 제시한 기술로서, 전력용 MOSFET의 각 치수의 비율을 최적화하여 내압이 높으면서, 온(on)저항이 낮은 가장 이상적인 설계비용과 구조(일명 초접합 구조)를 달성하는 것을 목적으로 한다<sup>[15-18]</sup>.

그림 8은 일본 도시바(Toshiba)사의 초접합 구조를 통하여 온(on)저항이 저감된 전력용 MOSFET를 나타낸다<sup>[16]</sup>. 일반적으로 종래의 전력용 MOSFET에서는 n-드리프트층의 크기를 조절하여 내압을 유지하는 방법을 취하는데 반하여 이 특허에서는 n기둥층의 두께 d와 n-드리프트층의 두께 t의 층두께비 A를 식(3)과 같이 고려하였다.

$$A = t / (d + t) \quad (3)$$

여기서, d : n기둥층의 두께  
t : n-드리프트층의 두께

종래의 전력용 MOSFET의 n-드리프트층의 두께 t는 식(4)로 알려졌다.

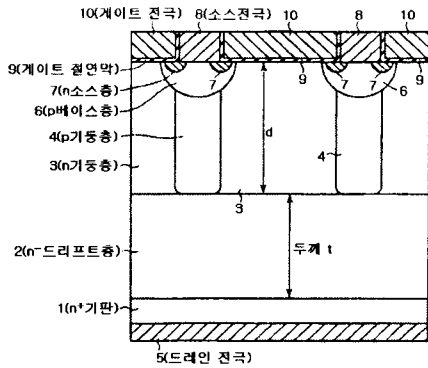


그림 8. 층두께비를 고려한 전력용 MOSFET

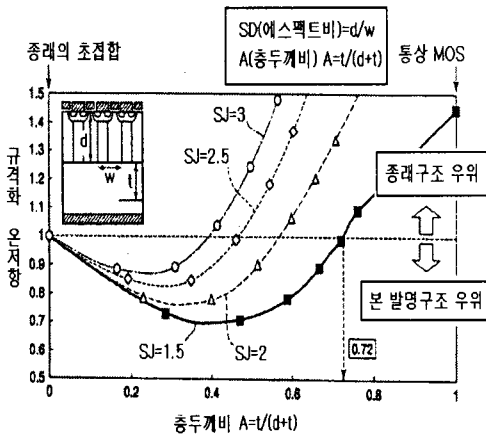


그림 9. 층두께비(A)와 에스펙트비(SJ)에 따른 전력용 MOSFET의 온(on)저항 변화

$$t = C_t \times V_B^{7/6} \text{ [cm]} \quad (4)$$

여기서,  $C_t$  : n<sup>-</sup>드립트층의 두께 계수  
 $V_B$  : 내압

그러나 도시바(Toshiba)사의 특허는 층두께비 A를 바탕으로 전력용 MOSFET의 n<sup>-</sup>드립트층의 두께 t를 식(5)와 같이 제안하였다<sup>[16]</sup>.

$$t = C_t \times (A \times V_B)^{7/6} \text{ [cm]} \quad (5)$$

또한, 종래의 전력용 MOSFET의 n<sup>-</sup>드립트층의 농도  $N_d$ 는 식(6)으로 알려졌다.

$$N_d = D_n \times V_B^{-4/3} \text{ [cm}^{-3}\text{]} \quad (6)$$

여기서,  $D_n$  : n<sup>-</sup>드립트층의 농도 상수

그러나 도시바(Toshiba)사의 특허는 층두께비 A를 바탕으로 전력용 MOSFET의 n<sup>-</sup>드립트층의 농도  $N_d$ 를 식(7)과 같이 제안하였다<sup>[16]</sup>.

$$N_d = D_n \times (A \times V_B)^{-4/3} \text{ [cm}^{-3}\text{]} \quad (7)$$

도시바(Toshiba)사는 이 특허에서 n기동층의 두께 d와 p기동층(일명 트랜치) 사이의 간격 w의 비율을 에스펙트비 SJ로 정의하였고, 에스펙트비 SJ와 층두께비 A에 따라서 온(on)저항의 크기를 그림 9와 같이 제시하였다<sup>[16]</sup>.

도시바(Toshiba)사 에스펙트비 SJ가 1.5일때 가장 낮은 온(on)저항을 가짐을 제안하였다. 즉 n기동층의

두께 d가 p기동층(일명 트랜치) 사이의 간격 w에 1.5배가 되었을때 가장 낮은 온저항을 가지며, 이때 층 두께비가 0.72이하 라면, 종래의 초집합 구조보다 더욱 낮은 온(on)저항을 가지는 전력용 MOSFET가 된다는 구조적 특성을 제시하였다.

따라서 최적의 에스펙트비인 SJ=1.5와 층두께비 A=0.4에서는 종래의 초집합 구조의 MOSFET보다 온(on)저항이 30% 저감되며, 통상의 MOSFET보다 온(on)저항이 약50% 저감하는 전력용 MOSFET를 제시하였다<sup>[16]</sup>.

미쓰비시(Mitsubishi)사는 그림 10의 UMOS 트랜지스터의 구조에서 반도체 기판의 산소농도에 따른 게이트 전압을 그림 11과 같이 분석하였다<sup>[17]</sup>.

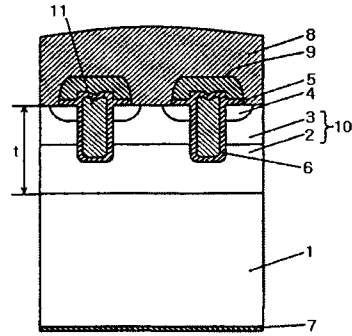


그림 10. UMOS 트랜지스터

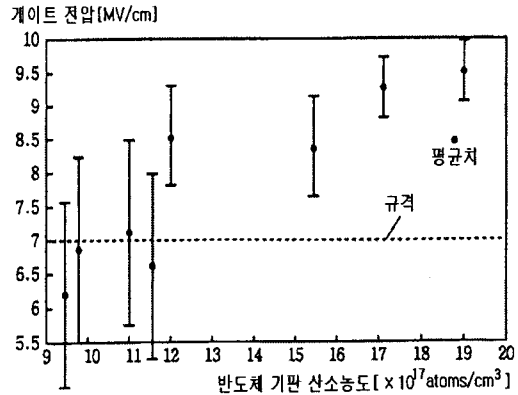


그림 11. 반도체 기판의 산소농도에 따른 게이트 전압 여기서,

- 도면부호 1 : n-형 반도체 기판
- 2 : n형 제1 에피택셜(epitaxial) 성장층
- 3 : p형 확산층
- 4 : n형 소스층
- 5 : 게이트 산화막
- 6 : 트랜치
- 7 : 드레인 전극
- 8 : 소스 전극
- 9 : 층간막
- 10 : 에피택셜(epitaxial) 성장층
- 11 : 트랜치 메립층
- t : 에피택셜(epitaxial) 성장층의 두께

미쓰비시(Mitsubishi)사는 그림 11을 바탕으로 게이트 전압이 일정 규격인 7[MV/cm] 이상이 되기 위하여 반도체 기판의 산소농도가  $12 \times 10^{17}$  [atoms/cm<sup>3</sup>]이상이 설정되는 것을 제안하였고, 트랜치 게이트형의 MOSFET가 평면 게이트형의 MOSFET에 비하여 온(on)저항과 항복전압 특성이 우수한 것을 그림 12와 같이 나타내었다<sup>[17]</sup>.

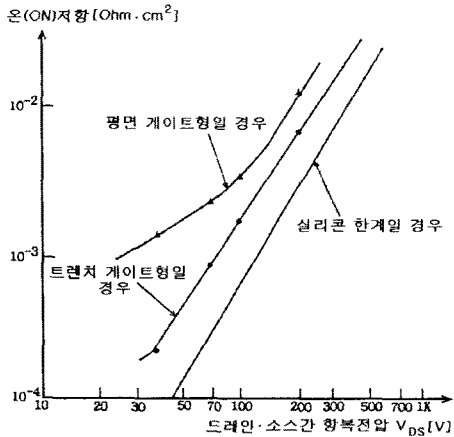


그림 12. 게이트 구조에 따른 항복전압과 온저항

### 2.2.4 탄화규소 트랜지스터(SiC Transistor)

1990년대 이후에 전력용 MOSFET의 재료적인 연구로는 탄화규소(SiC, 일명 실리콘 카바이드)를 MOSFET의 반도체층에 적용하는 시도를 통하여 보다 강인하고 고내압의 MOSFET에 대한 연구가 지속되고 있다.

탄화규소(SiC)는 다음과 같은 장점을 가지고 있다.

- 1) 밴드갭(Band Gap)이 넓다
- 2) 높은 항복 전계를 갖는다.
- 3) 높은 열전도성을 갖는다.
- 4) 높은 포화 전자 드리프트 속도를 갖는다.
- 5) 물리적으로 매우 강한 물질이다.

이러한 물리적 특성으로 인하여 전력용 반도체 분야에서 최신 재료로 많은 각광을 받고 있지만 다음과 같은 단점을 동시에 지니고 있다.

- 1) 강한 물리적 특성으로 인하여 제도가 어렵다.
- 2) 단결정으로 크게 성장시키는 것이 어렵다.
- 3) 불순물 도핑이 상대적으로 어렵다.
- 4) 박막(특히 에피택셜) 성장이 어렵다.
- 5) 탄화규소(SiC) 웨이퍼의 가공 및 연마가 어렵다.

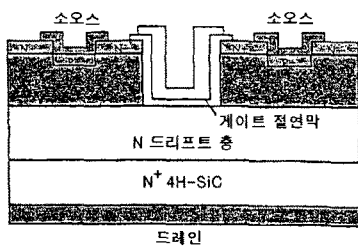


그림 13. 트렌치형 구조의 탄화규소 MOSFET

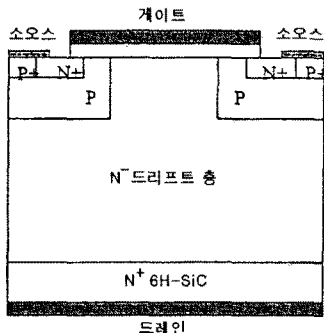


그림 15. 중형 이중주입 구조의 탄화규소 MOSFET

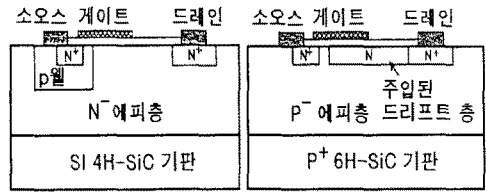


그림 16. 횡형 확산 구조의 탄화규소 MOSFET

탄화규소(SiC)의 유용성에 대해서는 1987년의 K. Shibahara 등의 논문<sup>[19]</sup>과 J.W.Palmour 등의 논문<sup>[23]</sup>을 바탕으로 보고되었으며, 1994년에 J.W. Palmour의 논문<sup>[21]</sup>을 시작으로 전력용 MOSFET 분야에 본격적으로 적용되고 최근까지 수많은 연구가 진행되고 있다<sup>[22]</sup>.

미국의 크리(Cree)사 일본의 미쓰비시(Mitsubishi), 히타치(Hitachi)사 및 덴소(Denso)사 등에서 탄화규소(SiC) 전력용 MOSFET에 대하여 중점적으로 연구하고 있다<sup>[14,23-30]</sup>.

탄화규소(SiC) MOSFET는 다음과 같이 크게 3가지 구조의 MOSFET에 적용되고 있으며, 특히 기판 부분에 탄화규소(SiC)층을 구현하고 있다.

- 1) 트렌치형(Trench) 또는 UMOs 구조
- 2) 중형 이중주입(Length Double Implanted) 구조
- 3) 횡형 확산(Lateral Diffused) 구조

그림 13에서 15는 트렌치형/ 중형 이중주입/ 횡형 확산 구조의 탄화규소(SiC) MOSFET를 나타낸다<sup>[23-30]</sup>.

### 3. 결 론

본 연구에서는 전력용 MOSFET의 기술동향에 대하여 논문 및 특허문헌을 중심으로 분석하였다. 반도체의 크기(선폭)은 급격하게 저감되고, 동작 주파수는 초고주파화 되는 가운데, 반도체 공급전압은 이미 1[V]미만이 요구가 늘어나고 있다. 낮은 온(on)저항, 고전압, 고주파 특성이 우수한 MOSFET는 이미 전원공급장치 및 전력전자분야에서 가장 각광받고 있다.

본 논문에서는 B.J.Baliga와 Antoine A. Timer 등이 연구를 바탕으로 1970년대부터 1990년대 초반까지 전력용 MOSFET를 고찰하였고, 1990년대부터 현재까지는 전력용 MOSFET 기술을 선도하는 기업의 특허문헌을 중심으로 기술동향을 분석하였다.

특히 1990년대부터 현재까지 전력용 MOSFET의 기술적 특징은 다음과 같이 크게 4가지로 분류할 수 있었다.

- 1) 고속 주파수 구동을 위한 손가락형 게이트(Finger Gate) 기술<sup>[8]</sup>
- 2) 낮은 온(on)저항을 달성하기 위한 트렌치 배열(Trench Array) 기술<sup>[9-14]</sup>
- 3) 전력용 MOSFET의 각치수의 비율을 최적화하여 내압이 높으면서, 온(on)저항이 낮은 초접합 구조(Super Junction Structure) 기술<sup>[15-18]</sup>
- 4) 전력용 MOSFET의 내압과 강인성을 증가시키기 위한 탄화규소(SiC) 재료의 적용 기술<sup>[14,23-30]</sup>

### [참 고 문 헌]

- [1]B. Joyant Baliga, "Power Semiconductor Devices," PWS Publishing, New York, 1996.
- [2]B. Joyant Baliga, "Trends in Power Semiconductor Devices," IEEE Transaction on Electron Devices, Vol. 43, No. 10, pp. 1717-1731, Oct. 1996.
- [3]Antoine A. Tamer, Ken Rauch, and John L. Moll, "Numerical Comparison of DMOS, VMOS, and UMOs Power Transistor," IEEE Transaction on Electron

Devices, Vol. 30, pp. 73-76, Jan. 1983.

[4]미국 등록특허공보 US5828102호, 공고일 1998.10.27  
(일본 내셔널(National Semiconductor)사 특허)

[5]미국 등록특허공보 US5990504호, 공고일 1999.11.23  
(일본 도시바(Toshiba)사 특허)

[6]미국 등록특허공보 US 5874764호, 공고일 1999.02.23  
(미국 International Business Machines사 특허)

[7]Cheon Soo Kim, Jung Woo Park, Hyun Kyu Yu, and Han Jin Cho, "Gate Layout and Bonding Pad Structure of a RF n-MOSFET for Low Noise Performance," IEEE Electron Device Letters, Vol. 21 pp. 607-609, Dec. 2000.

[8]미국 등록특허공보 US7173308호, 공고일 2007.02.06  
(일본 신덴젠(Shindengen)사 특허)

[9]일본 공개특허공보 JP02-086136호, 공개일 1990.03.27  
(일본 히타치(Hitachi)사 특허)

[10]미국 등록특허공보 US5460985호, 공고일 1995.10.24  
(일본 덴소(Denso)사 특허)

[11]미국 등록특허공보 US5470770호, 공고일 1995.11.28  
(일본 덴소(Denso)사 특허)

[12]미국 등록특허공보 US5698880호, 공고일 1997.12.16  
(일본 덴소(Denso)사 특허)

[13]미국 등록특허공보 US5744826호, 공고일 1998.04.28  
(일본 덴소(Denso)사 특허)

[14]미국 등록특허공보 US6133587호, 공고일 2000.10.17  
(일본 덴소(Denso)사 특허)

[15]국제출원공보 WO99/04437호, 공고일 1999.01.28 (독일 지멘스(Siemens)사 특허)

[16]일본 공개특허공보 JP2004-214511호, 공개일 2004.07.27 (일본 도시바(Toshiba)사 특허)

[17]미국 등록특허공보 US5929482호, 공고일 1999.07.27  
(일본 미쓰비시(Mitsubishi)사 특허)

[18]한국 공개특허공보 KR10-2008-0044127호, 공개일 2008.05.20 (한국 페어차일드(Fairchild)사 특허)

[19]K.Shibahara, T.Takachi, T.Saitoh, S.Nishino, and H.Matsunami, Proc. Materials Research Society Symp., T.Aselage, D.Emin, and C.Wood, Eds., Vol. 97, pp. 247, 1987.

[20]J.W.Palmour, H.S.Kong, and R.F.Davis, "High-temperature depletion-mode metal-oxide semiconductor field-effect transistors in beta-SiC thin films," Appl. Phys. Lett. Vol. 51, pp. 2029, 1987.

[21]J.W.Palmour, J.A.Edmond, H.S.Kong, and C.H.Carter, Jr., "Vertical power devices in silicon carbide," in Proc. Silicon Carbide and Related Materials, pp.499, 1994.

[22]James A. Cooper, Jr., Michael R. Melloch, Ranbir Singh, Anant Agarwal, and John W Palmour, "Status and Prospects for SiC Power MOSFETs," IEEE Transactions on Electron Devices, Vol. 49, No. 4, Apr. 2002.

[23]미국 등록특허공보 US6956238호, 공고일 2005.10.18  
(미국 크리(Cree)사 특허)

[24]미국 등록특허공보 US7427326호, 공고일 2008.09.23  
(미국 크리(Cree)사 특허)

[25]미국 등록특허공보 US5976936호, 공고일 1999.11.02  
(미국 크리(Cree)사 특허)

[26]미국 등록특허공보 US6020600호, 공고일 2000.02.01  
(미국 크리(Cree)사 특허)

[27]미국 등록특허공보 US6610366호, 공고일 2003.08.26  
(미국 크리(Cree)사 특허)

[28]미국 등록특허공보 US6767843호, 공고일 2004.07.27  
(미국 크리(Cree)사 특허)

[29]일본 공개특허공보 JP2006-303272호, 공개일 2006.11.02 (일본 미쓰비시(Mitsubishi)사 특허)

[30]일본 공개특허공보 JP10-327059호, 공개일 1998.12.08 (일본 히타치(Hitachi)사 특허)