

플라즈마 디스플레이에서 서스테인 전압 스트레스가 방전 안정성에 미치는 영향

김종열, 전원재, 이석현
인하대학교 전기공학과

Effect of the Sustain Voltage Stress on the Discharge Stability in an AC PDP

Jong-Yol Kim, Won-Jae Jeon, Seok-Hyun Lee
Department of Electrical Engineering, Inha University

Abstract - As a driving method of AC PDP, address display separated (ADS) scheme has been widely used. In ADS method, a picture of one frame is divided into eight subfields. In this paper, the effect of sustain voltage stress have been studied with several parameters. The experimental results show that sustain pulses in the previous subfield work as the stress to address discharge in the current subfield. It is also shown that as the voltage of the sustain period in the previous subfield increases, the address time lag in the current subfield decrease slightly.

1. 서 론

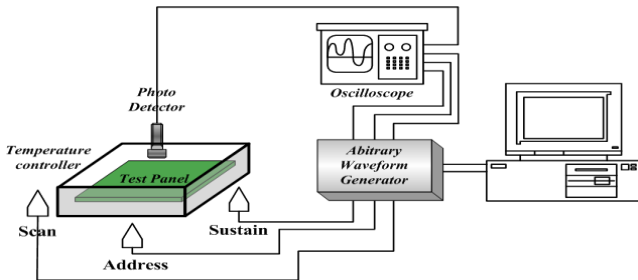
AC-PDP는 고계조를 표현하기 위해 한 개의 TV 필드를 8개의 서브 필드로 나누는 ADS(Address and Display Separated) 방식을 적용하여 구동한다. [1], [2] ADS 방식에서는 어드레싱 시간이 짧을수록 실제로 이미지를 구현하는 서스테인을 위한 시간이 길어지고 이에 따라 휘도의 향상 및 더 높은 해상도를 가지는 패널을 구동할 수 있게 된다. [3], [4] 논문에서는 이전 서브필드에서의 서스테인 펄스가 다음 서브필드에서의 어드레스 방전에 미치는 영향을 온도, 패널의 해상도 그리고 Xe 가스의 함량을 변화시켜가며 실험적으로 관찰하고 그 원인을 고찰하였다.

2. 본 론

2.1 실험 장치 및 방법

2.1.1 실험 장치

<그림 1>은 본 실험에 사용된 장치의 개략도이다. 실험에는 7.5인치 HD, FHD급의 테스트 패널을 사용하였고, 패널의 사양은 <표 1>에 나타내었다. Temperature controller(AceTech)를 이용하여 패널 전체의 온도를 조절하였고, VDS로 제어되는 AWG(FTLab, HVA800)를 사용하여 구동파형을 설계하여 패널을 구동하였다. 또한 구동 파형과 방전 현상을 관찰하기 위해 디지털 오실로스코프(Tektronix, TDS3054)와 광측정기(Hamamatsu, C6386-01)를 사용하였다.



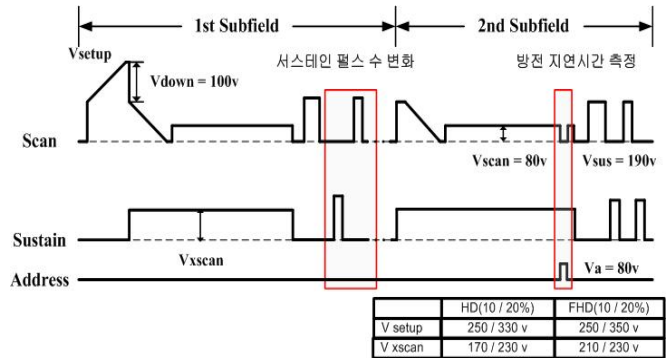
<그림 1> 실험 장치의 개략도

	HD	FHD
Working gas	Ne - Xe 10, 20%	
Gas pressure	400 torr	
Cell pitch	810 × 270 μm	576 × 192 μm
ITO width	290 μm	183 μm
ITO gap	80 μm	70 μm
Dielectric layer	24 μm	

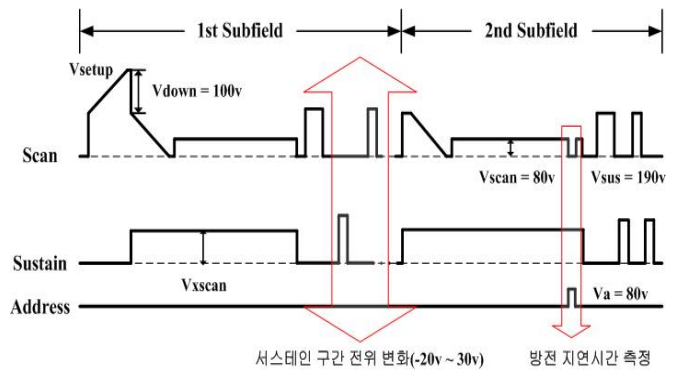
<표 1> 테스트 패널의 사양

2.1.2 실험 방법

본 실험에서는 ADS 방식을 적용한 파형을 사용하여 7.5인치 테스트 패널의 1개의 녹색 셀을 방전시켰다. 첫 번째 서브필드에서의 서스테인 펄스가 두 번째 서브필드에서의 어드레스 방전에 미치는 영향을 알아보기 위해 첫 번째 서브 필드에서의 서스테인 펄스의 수를 변화시키는 <그림 2>의 파형을 사용하였고, 서스테인 구간의 전위를 -20 ~ 30v 까지 변화시키는 <그림 3>의 파형을 사용하여 어드레스 방전 환경의 변화에 따라 나타나는 방전광을 photo detector로 측정하여 두 번째 서브 필드의 어드레스 방전 지연시간을 분석하였다.



<그림 2> 서스테인 스트레스 측정을 위한 구동 파형

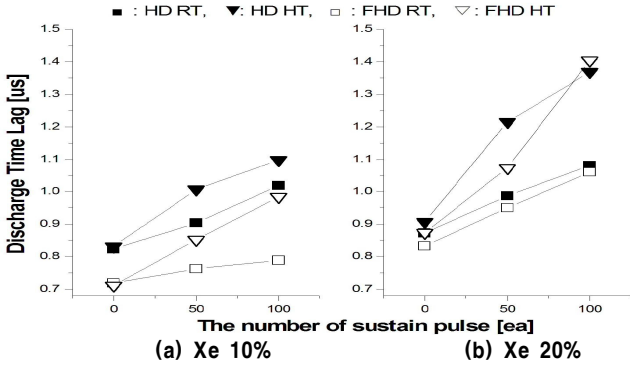


<그림 3> 전위 변화에 따른 방전 지연시간 측정을 위한 구동 파형

2.2 실험 결과 및 고찰

2.2.1 서스테인 펄스 수의 변화에 따른 결과

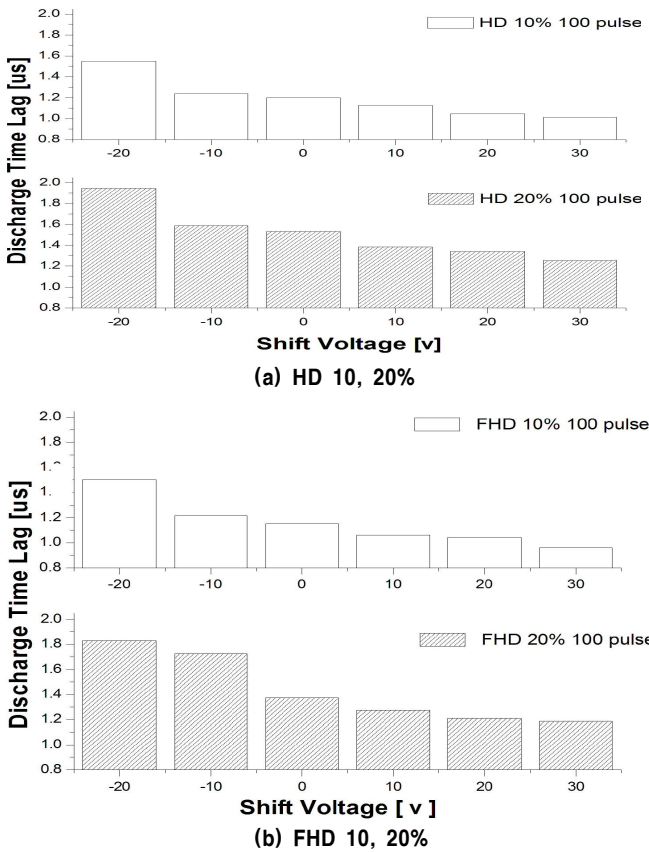
<그림 4>는 첫 번째 서브필드에서 서스테인 펄스의 수를 변화시킬 때 실온(25℃)과 고온(65℃)에서 두 번째 서브필드에서의 어드레스 방전의 평균 방전 지연시간을 측정하여 나타낸 것이다. 패널의 해상도, Xe 가스의 함량 및 구동 온도의 변화에 상관없이 첫 번째 서브필드의 서스테인 펄스의 수가 증가함에 따라 두 번째 서브필드에서 방전 지연시간이 증가함을 확인할 수 있다. 이는 첫 번째 서브필드에서의 서스테인 펄스가 두 번째 서브필드에서 어드레스 방전을 하는데 있어서 스트레스로 작용한다고 생각할 수 있다.[5], [6]



<그림 4> 서스테인 펄스 수에 따른 방전 지연시간의 변화

2.2.2 서스테인 구간의 전위 변화에 따른 결과

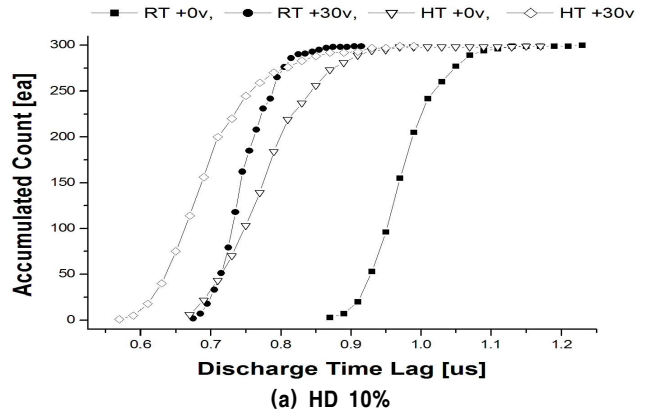
<그림 4>는 첫 번째 서브필드에서 서스테인 펄스의 수를 100개로 고정하고 서스테인 구간의 전위를 변화 시킬 경우 두 번째 서브필드에서의 방전 지연시간을 측정 한 것이다. 서스테인 구간의 전위를 감소시킬수록 이와 비례하여 방전 지연시간이 급격하게 증가하고, 증가 시킬 경우에는 방전 지연시간이 감소하는 것을 확인할 수 있다.



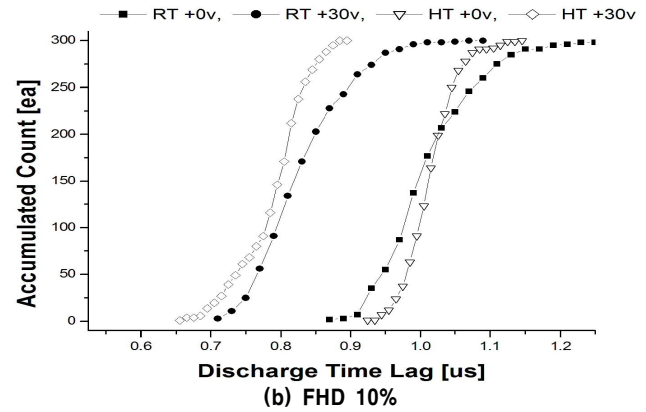
<그림 5> 서스테인 구간의 전위 변화에 따른 방전 지연시간의 변화

2.2.3 패널의 구동 온도 변화에 따른 결과

<그림 5>는 첫 번째 서브필드에서 서스테인 펄스의 수를 100개로 고정하고 패널 구동 온도를 상온과 고온 두 가지 경우로 변화 시켜가며 어드레스 방전 지연시간의 분포를 나타낸 것이다. 고온에서의 방전 지연시간이 실온에서의 방전 지연시간보다 전체적으로 더 짧아진 것을 확인할 수 있다.



(a) HD 10%



(b) FHD 10%

<그림 6> 패널 구동 온도 변화에 따른 방전 지연시간 분포

3. 결 론

본 연구에서는 서스테인 구간 동안 인가되는 펄스가 뒤따르는 서브필드의 어드레스 방전에 미치는 영향에 대해 알아보았다. 이전 서브필드의 서스테인 구간 동안 인가되는 펄스 수가 증가할수록 다음 서브필드에서의 어드레스 방전 지연시간이 증가하였고, 이전 서브필드의 서스테인 구간에서 서스테인 펄스의 기준 전위를 상승시킬 경우 다음 서브필드의 어드레스 방전 지연시간이 감소하는 것을 확인하였다. 각각의 서브필드에서 서스테인 구간의 전위를 전체적으로 상승시킬 경우 고계조 표현시 일어날 수 있는 방전지연 시간 증가로 인한 어드레싱 실패와 오방전을 줄일 수 있다.

[참 고 문 헌]

- [1] T. Shinoda et al., "High level gray scale for AC plasma display panels using address-display period-separated sub-field method," Trans. IEICE, vol. C-2, no. 3, pp. 349 - 355, 1998.
- [2] S. Yoshikawa et al., "Full-color AC plasma display with 256 gray scale," Jpn. Display, pp. 605 - 608, 1992.
- [3] R. Yoshida, Plasma Display. Tokyo, Japan: Kyoritsu, 1983, pp. 63 - 70.
- [4] C. H. Park et al., "A new method to reduce addressing time in a large plasma display panel," IEEE Trans. Electron Devices, vol. 48, pp.1082 - 1086, June 2001.
- [5] D. H. Kim et al., "Study on the Discharge Characteristics in AC PDP at High Temperature," IDW'07 Digest, pp.851-854, 2007.
- [6] Soo-Kwan Jang et al., "Observation on Wall Charge Leakage During Address Period Under Variable Panel Temperature," IDW'07 Digest, pp.2097-2100, 2007