

히스테리시스 전류제어의 스위칭 손실 저감을 위한 스위칭 시뮬레이션

박래호*, 이덕형*, 홍선기*
서보기기 및 제어연구실* 호서대학교*

The switching simulation for the switching loss reduction of hysteresis current control

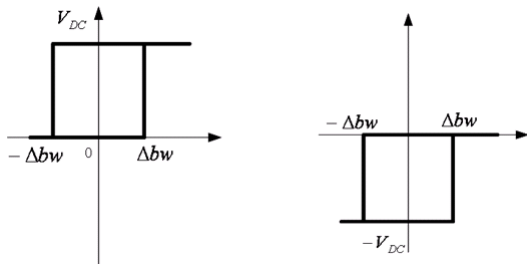
Rae-Ho Park*, Duck-Hyoung Lee* Sun-KI Hong*
SMCL* Hoseo University*

Abstract - 본 논문은 DC전원을 AC전원으로 변환시키는 인버터 중 기존의 히스테리시스 전류제어방식과 제시된 히스테리시스 전류제어방식에서 기준 전류가 증가 할 경우의 히스테리시스 오퍼레이터와 기준 전류가 감소 할 경우의 히스테리시스 오퍼레이터 두 개의 히스테리시스 오퍼레이터를 가지는 히스테리시스 전류제어 방식을 제안하고 그것들의 시뮬레이션을 해보고, 이 두 가지 방식의 스위칭 손실 감소의 차이를 비교 분석을 한 것이 논문의 주제이다.

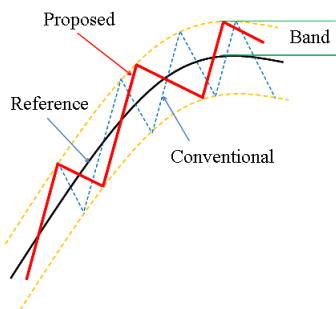
1. 서 론

기존의 히스테리시스 오퍼레이터를 <그림 1>과 같은 기준 전류가 상승 할 때와 하강 할 때로 나누어 구동을 하는 히스테리시스 오퍼레이터를 갖는 방법을 제안하고, <그림 2>에서 보여 주는 바와 같이 부하에 인가되는 전압을 V_{dc} 와 $-V_{dc}$ 뿐 아니라 스위치를 오프 시키는 0 모드를 추가 하고 기준 전류의 기울기가 증가하고 전류가 상위 밴드에 도달 했을 때 $-V_{dc}$ 를 인가하지 않고 0 모드를 만들어 서서히 감소하게 하고, 또한 기준 전류의 기울기가 감소하고 전류가 하위 밴드에 도달 했을 때 V_{dc} 를 인가하지 않고 0 모드를 만들어 전류의 급격한 증가를 막는다.

본 논문에서는 기존방식의 제어기와 제안된 제어기를 Pspice를 이용한 시뮬레이션을 통하여 스위칭의 감소를 확인하고자 한다.



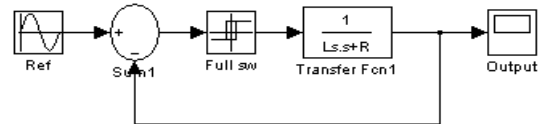
(a) 상위 오퍼레이터 (b) 하위 오퍼레이터
 <그림 1> 제안된 방식의 히스테리시스 오퍼레이터



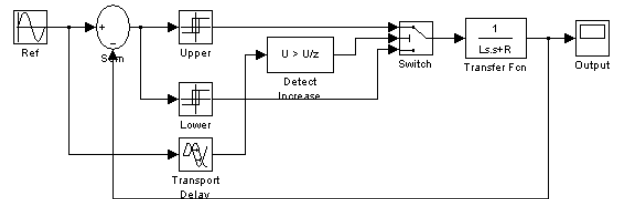
<그림 2> 기존의 방식과 제안된 방식의 출력 파형 비교

2. 본 론

2.1 Simulink를 이용한 시뮬레이션

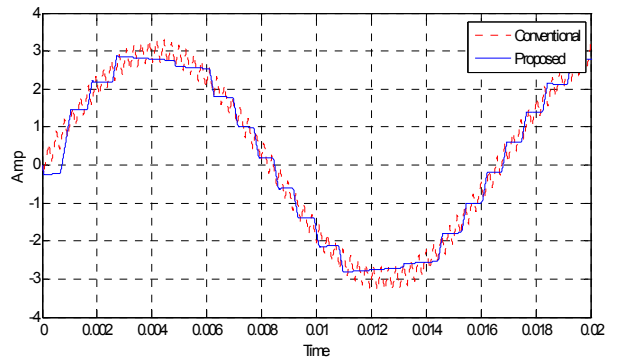


<그림 3> 기존의 히스테리시스 오퍼레이터를 갖는 제어기

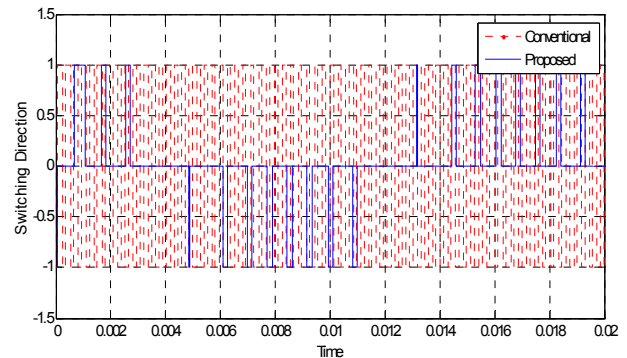


<그림 4> 제안된 히스테리시스 오퍼레이터를 갖는 제어기

<그림 5>와 <그림 6>은 <그림 3>과 <그림 4>의 제어기를 각 각 시뮬레이션을 한 결과 파형이다. 동일한 레퍼런스와 동일한 밴드 폭을 갖게 만들었다. 아래의 그림들은 제안된 방식의 것의 스위칭 주파수가 기존의 것에 비해 스위칭 주파수에 비하여 감소 된 것을 보여준다.

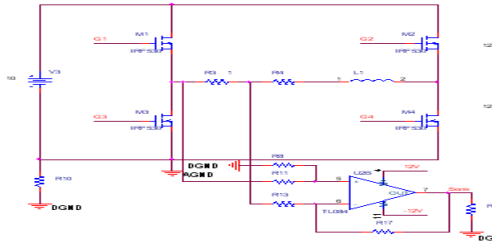


<그림 5> 기존 방식과 제안된 방식의 출력 파형 비교

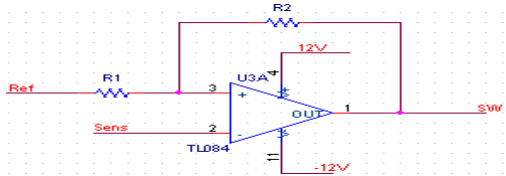


<그림 6> 기존 방식과 제안된 방식의 스위칭 파형 비교

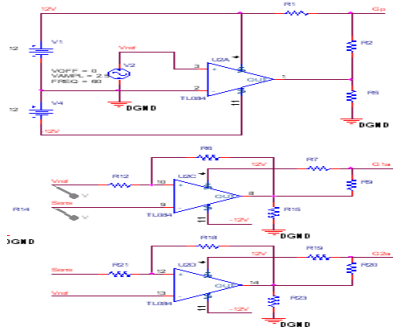
2.2 Pspice를 이용한 시뮬레이션



〈그림 7〉 인버터 부 회로도



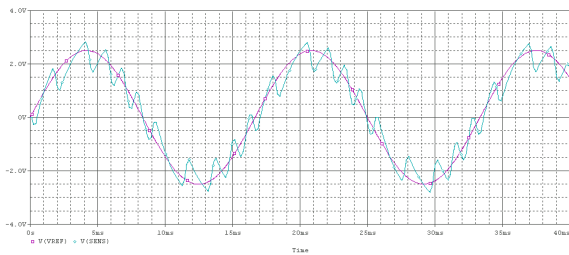
〈그림 8〉 기존 방식의 히스테리시스 전류 제어기 회로도



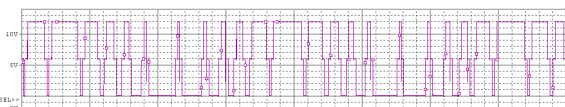
〈그림 9〉 제안된 방식의 히스테리시스 전류 제어기 회로도

〈그림 7〉에 하단에 있는 Opamp단은 전류를 측정하기 위해 존재한다.

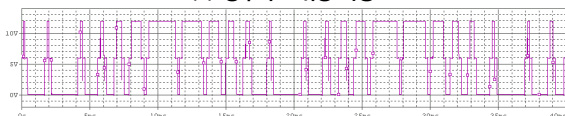
히스테리시스 band의 크기는 $\frac{R_1}{R_1 + R_2} V_{cc}$ 와 $\frac{R_1}{R_1 + R_2} V_{ss}$ 이다.



〈그림 10〉 기존 방식의 히스테리시스 제어기의 출력 파형

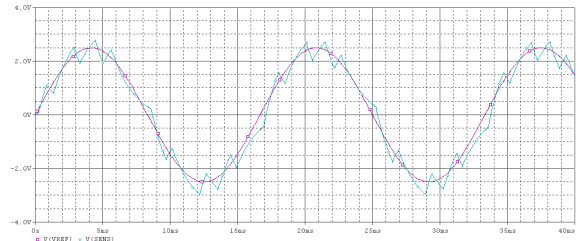


(a) 상부의 스위칭 파형

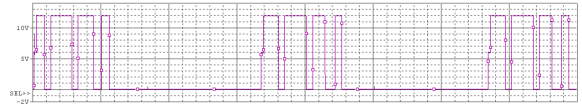


(b) 하부의 스위칭 파형

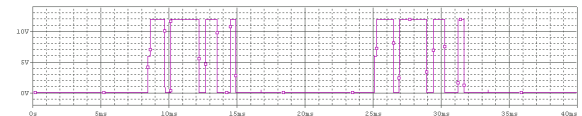
〈그림 11〉 기존 방식의 히스테리시스 제어기의 스위칭 파형



〈그림 12〉 제안된 방식의 히스테리시스 제어기의 출력 파형



(a) 상부의 스위칭 파형



(b) 하부의 스위칭 파형

〈그림 13〉 제안된 방식의 히스테리시스 제어기의 스위칭 파형

Simulink로 시뮬레이션을 한 것을 히스테리시스 전류 제어기 회로를 〈그림 7〉, 〈그림 8〉, 〈그림 9〉와 같이 구성 하고, Pspice로 시뮬레이션 결과를 보았다. 출력 파형인 〈그림 10〉과 〈그림 12〉 스위칭 파형인 〈그림 11〉과 〈그림 13〉에서 보여 지는 것과 같이 기존 파형의 한 주기 동안 스위칭 횟수는 기존 방식의 스위칭 횟수가 상단 하단 각각 11회씩의 스위칭을 하였고, 제안된 방식은 각각 4회씩의 스위칭 횟수를 보여준다. 이를 통하여 제안된 방식의 스위칭 주파수가 기존의 방식의 스위칭 주파수 보다 적다는 것을 확인 할 수 있었다.

3. 결 론

기존의 히스테리시스 전류 제어 방식은 운전 조건에 따라 스위칭 주파수가 급격하게 증가하여 많은 열을 발생 할 수 있는 등의 단점이 있었다. 이에 본 논문에서 제안된 기준 전류가 상승 할 때와 하강 할 때로 나누어 구동을 하는 히스테리시스 오퍼레이터를 갖는 방법을 통하여 스위칭 주파수가 감소시킬 수 있었다. 또한 방법이 간단하여 다른 방법들에 비하여 하드웨어적이나 소프트웨어적으로 간단하게 구현을 할 수 있고, 시뮬레이션을 통하여 타당성을 보였으므로 히스테리시스 전류제어의 방법으로 널리 사용됨이 기대 된다.

[참 고 문 헌]

- [1] 홍선기, "스위칭 손실 저감을 위한 기준전류 기율기를 이용한 단상 히스테리시스 전류 제어에 관한 연구", 한국조명전기설비학회, pp.150-155, Vol. 23, No. 1, Jan 2009
- [2] C. Pan and T. Chang, "An Improved Hysteresis Current Controller for Reducing Switching Frequency", IEEE Trans. on Power Electronics, pp.97-104, Vol. 9, No. 1, Jan 1994
- [3] P. Loh, G. Bode, D. Homes and T Lipo, "A Time-Based Double-Band Hysteresis Current Regulation Strategy for Single-Phase Multilevel Inverters", IEEE Trans. on IA, Vol. 39, No. 3, pp.883-892, May/June 2003