

## Electrochemical etching을 이용한 P형 실리콘에서의 nano pillar arrays 형성

류한희\*, 공성호\*, 김재현\*\*

경북대학교 전자전기컴퓨터학부\*,  
대구경북과학기술원 나노바이오연구부 나노응용에너지소재연구실\*\*

### The formation of nano pillar arrays with p-type silicon using electrochemical etching

Han Hee Ryu\*, Seong Ho Kong\*, Jae Hyun Kim\*\*

School of Electrical Engineering and Computer Science, Kyungpook National University\*  
Nano Applied Energy Device Laboratory, Daegu-Gyeongbuk Institute of Science and Technology(DGIST)\*\*

**Abstract** - The process conditions for fabricating p-type silicon pillars were optimized by controlling current density, bath temperature. To get best process flexibility for pillar arrays formation, three factors affecting pillar formation were changed. First, the solution bath was designed to keep constant temperature during the experiment irrespective of external temperature. Second, the counter Pt electrode was changed from rod type to mesh to obtain uniform distribution of current density. Third, Cr-Cu alloy electrode instead of Cu was used to increase electrode current density.

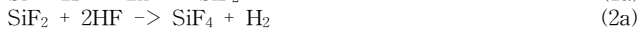
## 2. 본 론

### 2.1 실험과정

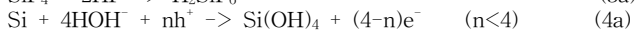
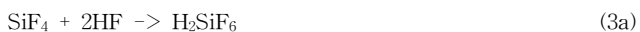
<그림1> 에 electrochemical etching 실험공정을 나타내었다. Boron이 도핑된 10<sup>15</sup> Ω-cm의 저항률을 가지는 단결정 p-type Si 웨이퍼를 BOE (Buffered Oxide Etchant)로 표면에 있는 자연산화막을 제거하고 Si<sub>3</sub>N<sub>4</sub>박막을 마스크로 사용하여 1.5 μm 크기의 격자무늬를 포토리소그래피를 통해 패터닝 하였다.

## 1. 서 론

Nano pillar array 는 HF를 함유한 용액에서 electrochemical etching을 이용하여 형성할 수 있다. 이러한 nano pillar array는 상대적으로 넓은 표면적과 상부의 미세한 폭을 가지는 구조적 특성으로 인하여 solar cell, MEMS, micro fluidic channel, photonic crystal 등의 분야에서 다양하게 응용될 수 있다. Electrochemical etching 기술은 저렴한 비용, 신속한 에칭공정과 반도체 공정과의 적합성과 같은 장점을 가지고 있다. 용액과 Si과의 정확한 화학적 반응 메카니즘은 아직 확실히 밝혀지지 않았으나 Lehmann [1] 의 이론이 일반적으로 받아들여지고 있다. 아래에 그 반응 화학식을 나타내었다.



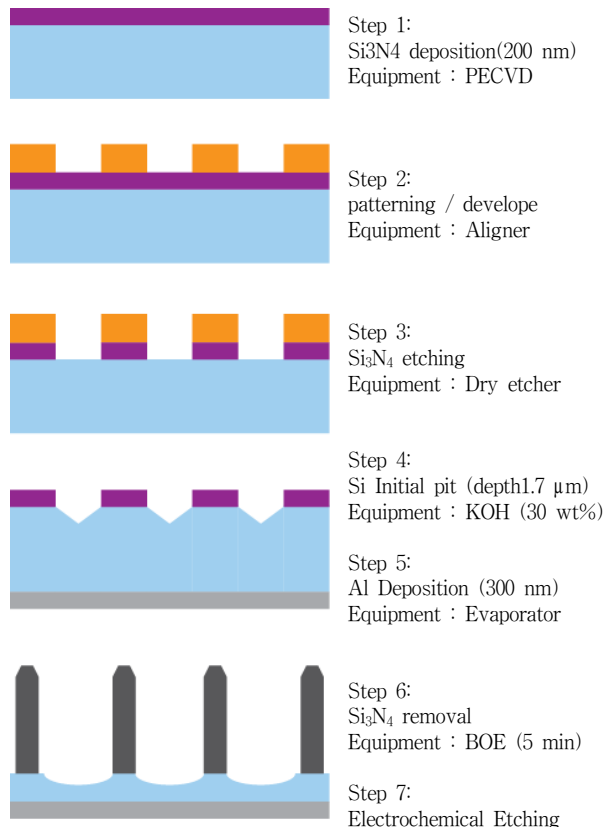
용액내의 불소 이온이 정공을 취하고 Si-H 결합을 Si-F로 치환한다[2].



Si-F의 유도된 분극에 의해 Si-Si 결합의 전자 밀도가 낮아져 결합력이 약해지고 HF와 반응하여 SiF<sub>6</sub><sup>2-</sup>가 형성되어 수용액으로 용해된다. 이는 반복적으로 전자와 정공이 교환되면서 수소화물과 불화물로 상태가 변하게 된다.

Electrochemical etching을 이용하여 pillar를 형성할 때 n형 Si 및 p형 Si 기판을 모두 사용할 수 있다. n-Si의 경우 UV lamp를 실리콘 표면에 조사하여 소수캐리어인 정공을 집중시키는 것이 상대적으로 쉬워 활발히 연구가 되었다. 하지만 n-Si는 reverse bias 상태가 되어 전류밀도를 조절하더라도 Si 기판의 도핑농도에 따른 고정된 SCR (Space Charge Region) 값을 가지므로 pillar의 굵기를 줄이기 힘들다는 단점이 있다 [3].

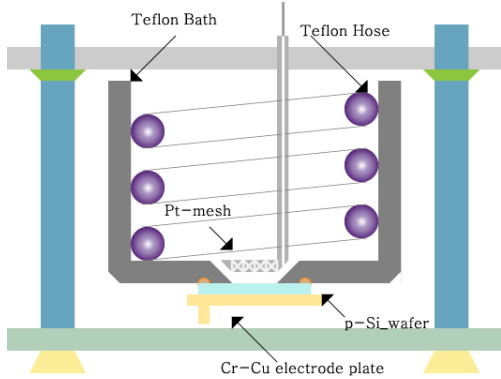
p-Si의 경우 UV lamp를 사용하지 않고도 용액과 전류밀도만으로 etching을 할 수 있다. n형과는 달리 전류밀도에 변화를 주면 pillar의 굵기를 줄일 수 있는 점이 장점이 있지만 pillar 형성이 훨씬 더 어려운데, 이는 다수 캐리어인 정공을 pore tip으로의 confinement가 어려워 Si의 이방성 에칭을 어렵게 하며 forward bias 상태이기에 pillar의 passivation이 적용되지 않기 때문이다[4]. 본 연구에서는 새로운 bath의 설계, working electrode의 소재변경, 그리고 counter electrode인 Pt의 형상을 rod타입에서 mesh타입으로 변경하여 1.5 μm 크기의 패터에서 pillar 형성에 미치는 영향에 관하여 연구를 수행하였다.



<그림 1> Process flow diagram

P-Si의 경우 electrochemical etching시 pore의 방향성을 주기 위해서 Potassium Hydroxide (KOH)와 탈이온수(DI water)를 교반하여 70℃에서 2~3분 동안 이방성 에칭을 하면 1.7 μm정도의 깊이를 가지는 역 피라미드 형태의 pit이 형성된다. Ohmic contact을 위해 p-Si 뒷면에 300 nm 두께의 Al를 evaporator로

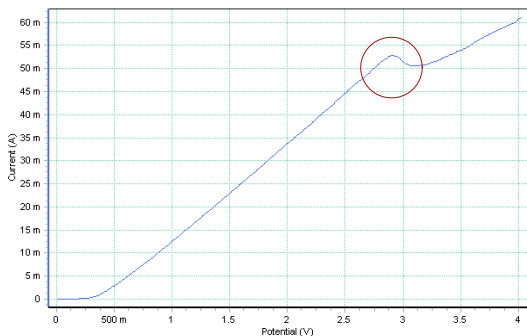
증착한다. Electrochemical etching을 하기 전에 HF:DMSO:DI 를 교반하여 용액을 만든다. Bath내부 용액의 온도를 제어하기 위해 서클레이터를 이용하여 30 °C의 온도로 설정하고 Cr-Cu소재의 전극판에 웨이퍼 뒷면의 Al을 접촉시켰다. Pt mesh 를 counter electrode로 하여 I-V 특성을 통해 Ips를 측정하고 galvanostatic 조건하에서 실험을 수행하였다. <그림 2>에 본 연구에서 제안한 개선된 electrochemical etching을 위한 bath를 보였다.



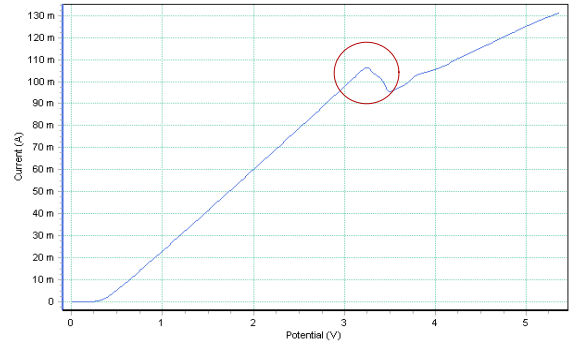
<그림 2> Electrochemical etching을 위한 개선된 bath구조

2.2 실험결과 및 토의

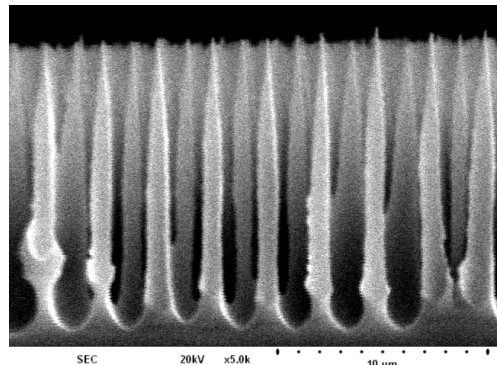
P-Si 의 경우 전류를 공급하면 forward bias 상태가 되어 전류밀도를 조절하여 SCR의 폭에 변화를 줌으로써 pillar의 굵기를 조절 할 수 있다[4]. 1.5 μm 크기의 패턴을 기준으로 더욱 얇은 pillar arrays를 형성하여 표면적을 늘릴 경우, forward bias 상태에서 전류 밀도가 증가하게 되면 SCR이 감소하게 되고 이로 인해 pillar의 굵기를 줄일 수 있다. 황동 전극판을 사용한 경우 및 크롬동 전극판을 사용한 경우에 대한 I-V 특성을 <그림 3>과 <그림 4>에 나타내었다. 두 경우 모두에서 Ips를 기준으로 electrochemical etching이 되는 영역과 electropolishing이 되는 영역으로 나뉜다. 황동 전극판을 사용한 기존의 bath에서는 Ips의 값이 53 mA 지점에 있기에 1.5 μm 크기의 패턴에서 pillar의 굵기를 줄이려면 전류밀도를 더욱 높아야 되지만 electrochemical etching 영역이 작기 때문에 전류밀도를 높이는 데 한계가 있다. 이를 개선하기 위해서 전극판의 저항을 줄이고 전도도를 높일 수 있는 크롬동을 전극소재로 사용하였다. 기존의 황동 소재의 전극판의 경우 <그림 3>에서 보이는 바와 같이 53 mA 에서 Ips 경계점이 측정되었지만 전극판을 크롬동으로 변경하였을 경우 <그림 4>에서 보인 바와 같이 105 mA 에서 Ips 경계점이 측정되었다. 이 결과로 pillar의 굵기를 줄일 수 있는 electrochemical etching region이 커지게 되었으며 전류 밀도의 선택가능성 폭이 증대하였다. 또한 bath 내부의 테프론 소재의 호스에 서클레이터를 사용하여 DI water를 공급하도록 설계하여 용액의 온도를 조절할 수 있으며 외부 온도에 상관없이 용액의 온도가 일정하게 지속 가능하게 되었다. 용액의 온도에 따라 etch rate이 변화하므로 재현성 확보에 중요한 역할을 할 수 있게 되었다. 또한 Pt mesh를 사용하여 bath 내부의 용액에 노출된 wafer의 표면 전체에 균일한 전류를 공급할 수 있게 되어 균일한 pillar 형성이 가능하였다. <그림 2>에 개선된 식각 bath를 이용하여 p-Si 기판을 1.5 μm의 패턴에서 36 mA의 전류밀도로 20분간 electrochemical etching 하였을 경우 <그림 5>와 같이 pillar arrays가 형성된 결과를 SEM 사진으로 보였다.



<그림 3> 황동 전극판을 사용하였을 경우 I-V 특성



<그림 4> 크롬동 전극판을 사용하였을 경우 I-V 특성



<그림 5> 1.5 mm에서 36 mA의 전류밀도로 20분간 electrochemical etching시 SEM 사진

3. 결 론

본 연구에서는 전류밀도를 보다 높게 공급하여 pillar의 굵기를 줄이기 위해서 크롬동을 전극판 소재로 사용하였다. Etch rate에 많은 영향을 주는 용액 온도의 제어를 위하여 서클레이터의 호스에 DI-water를 공급하여 용액 내부에서 온도의 균일성과 정확성을 확보하였다. 또한 Pt전극의 형태를 rod 타입에서 mesh 타입으로 변경하여 bath 내부에 노출된 wafer 표면에 균일한 전류밀도 공급을 확보하였다.

이를 통해 보다 미세한 pillar arrays를 형성하여 단위 면적당 실리콘의 표면적을 넓힘으로써 다양한 응용소자에 적용할 수 있는 기반을 마련하였다.

[참 고 문 헌]

[1] V. Lehmann, "The physics of macroporous silicon formation", Thin Solid Films, 255, 1-4, (1995)  
 [2] Do Hyun Kim, "Pore Structure in Porous Silicon Layer Prepared by Electrochemical Etching", Korean Institute of Chemical Engineers, Vol33, 535, (1995)  
 [3] V. Lehmann and S. Rönnebeck, "The Physics of Macropore Formation in Low-Doped p-type Silicon", J. Electrochem. Soc., 146, 2968, (1999)  
 [4] Kan-pil Kim, "Formation of macropore and nanorod in a p-type silicon", Korean MEMS conference, 제11회, 13, (2009)