

드레인 전압 바이어스에 대한 미세결정 실리콘 박막 트랜지스터의 전기적 안정성 분석

지선범, 김선재, 박현상, 한민구  
서울대학교

Effect of drain bias stress on the stability of nanocrystalline silicon TFT

Seon-Beom Ji, Sun-Jae Kim, Hyun-Sang Park and Min-Koo Han  
Seoul National University

**Abstract** - ICP-CVD를 이용하여 inverted staggered 구조를 갖는 미세결정 실리콘 (Nanocrystalline Silicon, nc-Si) 박막 트랜지스터(Thin Film Transistor, TFT)를 제작하였다. 또한, 소자의 특성과 전기적 안정성을 평가하였다. 실험 결과는 짧은 채널 길이를 갖는 nc-Si TFT가 긴 채널 길이의 소자보다 같은 드레인 전압 바이어스 하에서 덜 열화됨을 알 수 있었다. 이는 드레인 전압 바이어스 하에서의 낮은 채널 캐리어 농도는 적은 defect state를 만들기 때문에 짧은 채널 길이의 TFT가 긴 채널 길이의 TFT보다  $V_{TH}$  열화가 적었다. 이러한 결과는 짧은 채널 길이의 nc-Si TFT가 디스플레이 분야에 있어 다양하게 응용될 것으로 기대된다.

1. 서 론

최근 미세결정 실리콘 박막 트랜지스터 (nc-Si TFT)는 상당한 관심을 끌고 있다 [1]. 이는 다결정 실리콘 (poly-Si) TFT와 비교 하였을 때 추가적인 재결정화 공정이 필요하지 않아 다소 간편한 공정으로 제작할 수 있는 이점과 재결정화 공정에 의해 야기되는 심각한 불균일성이 나타는 poly-Si TFT에 비해 더 좋은 균일성을 보이기 때문이다 [2-3]. 또한 nc-Si TFT는 수소화된 비정질 실리콘 (a-Si:H) TFT에 비해 좋은 전기적 안정성을 지닌 이점이 있다 [4].

nc-Si TFT의 안정성에 대한 몇몇의 연구들이 보고되고 있다 [5-7]. 그러나 대부분 게이트 바이어스 스트레스 하에서의 안정성에 중점을 두고 있다. TFT의 경우 active matrix organic light-emitting diode (AMOLED) 픽셀 배열의 전류원으로 이용이 되기 때문에 게이트만이 아닌 드레인 바이어스 단자를 가지고 있어, 우리는 TFT의 드레인 전압 바이어스에 중점을 두었고, 드레인 전압 바이어스에 의한 nc-Si TFT의 열화 정도를 채널 길이에 따라 살펴보았다.

2. 소자 제작 및 실험

우리는 inverted staggered 구조의 nc-Si TFT를 제작하였다. 게이트 금속으로는 molybdenum을 사용하였고 유리 기판위에 2000 Å의 두께로 스퍼터를 사용하여 증착하였다. 4000 Å의  $SiN_x$ 를 증착한 후 2000 Å의 nc-Si 박막을 증착하였다.

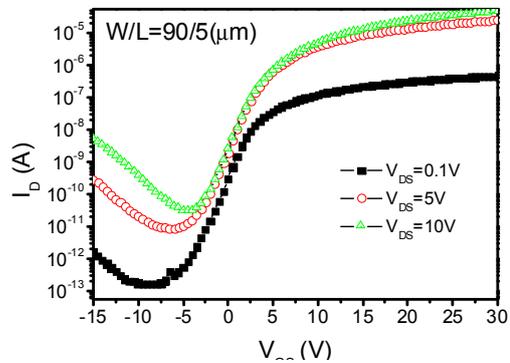
nc-Si 박막의 증착은 inductively coupled plasma chemical vapor deposition (ICP-CVD)를 이용하였다. ICP-CVD는 특히 높은 증착률과 향상된 nc-Si 박막 결정성을 제공하는 이점이 있고 높은 품질의 nc-Si TFT를 제작하는데 사용될 수 있다. ICP-CVD는 원거리 플라즈마를 이용하여 이온에 의한 손상 문제들을 줄여준다 [8]. 또한, ICP-CVD가 기존의 plasma enhanced chemical vapor deposition (PECVD)에 비해 높은 플라즈마 농도를 발생시킨다는 점도 중요하다.

증착 공정의 온도는 350 °C로 설정하였고, 헬륨 기체는 반응 기체를 희석시키기 위하여 사용되었다. 헬륨과  $SiH_4$ 의 유량비는 40:3 [sccm]을 사용하였다. 500 Å 두께의 n+ 층을 증착하였고 액티브 영역을 형성하였다. 소스/드레인 금속으로는 2000 Å 두께의 molybdenum이 스퍼터로 증착되었다. 다음으로 채널 영역 위의 n+ 층을 식각하였다. Etch-back 공정 후의 채널 영역 두께는 약 700 Å 였다.

위와 같이 제작된 소자는 Agilent 사의 4156 semiconductor parameter analyzer를 이용하여 측정하였으며, 90 μm의 폭을 갖고 다양한 채널 길이를 갖는 TFT가 사용되었다.

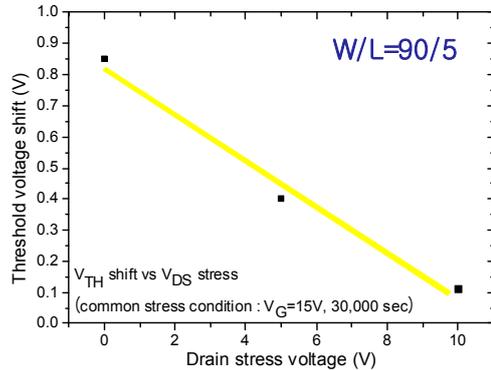
3. 결과 및 고찰

그림 1은 제작한 폭 90 μm, 채널 길이 5 μm인 nc-Si TFT의 전달 특성을 나타낸다.  $V_{DS} = 0.1 V$ 에서의 field effect mobility ( $\mu_{FE}$ )는  $0.77 cm^2/V\cdot sec$ , 문턱전압 ( $V_{TH}$ )은 3.69 V, subthreshold slope 은 1.66 V/dec, 그리고 on/off ratio는  $1 \times 10^6$  이상의 값이 측정되었다.



<그림 1> 제작된 nc-Si TFT (W/L=90/5)의 전달 특성 곡선

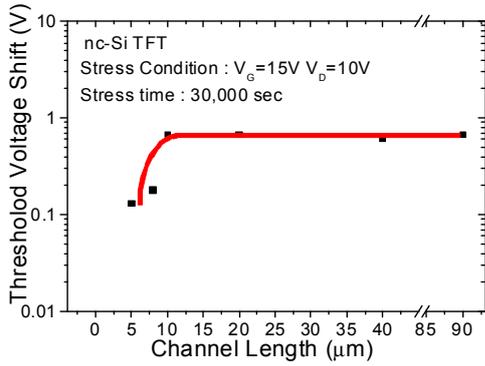
그림 2는 nc-Si TFT (W/L=90/5)의 드레인 전압 바이어스 영향으로 인한  $V_{TH}$  이동을 보여준다. TFT의 게이트 전압은 15 V로 고정된 채, 드레인 전압 바이어스를 0 V에서 10 V로 증가시킴에 따라 nc-Si TFT의  $V_{TH}$  이동이 현저하게 감소함을 알 수 있다.



<그림 2> 다양한 드레인 전압의 스트레스(30,000 sec)에 따른 nc-Si TFT (W/L=90/5)의  $V_{TH}$  이동

또한, 그림 3에서 보는 바와 같이 길이에 따른  $V_{TH}$  이동을 비교해 보았을 때, 같은 드레인 전압 바이어스 하에서 ( $V_G = 15 V, V_D = 10 V$ ),  $V_{TH}$  이동은 채널 길이가 짧아짐에 따라 감소하였다. 10 μm의 채널 길이를 갖는 nc-Si TFT의  $V_{TH}$  이동이 0.67 V인데 반해 5 μm 길이의 소

자는  $V_{TH}$  이동이 0.13 V로 더 적은  $V_{TH}$  이동이 나타났다. 반면, TFT 소자의 채널 길이가 10  $\mu\text{m}$  이상일 경우  $V_{TH}$  이동이 일정해짐을 알 수 있다.



**<그림 3> 다양한 채널 길이에 따른  $V_{TH}$  이동 (스트레스 조건:  $V_G=15\text{ V}$  and  $V_D=10\text{ V}$ )**

이러한 10  $\mu\text{m}$  이하에서 채널 길이가 짧아짐에 따라  $V_{TH}$  이동이 작아지는 현상은 드레인 전압 바이어스의 변화에 따른 채널 전하 농도로 설명할 수 있다. 드레인 전압 바이어스가 증가함에 따라 채널 내의 캐리어 농도는 감소하게 된다. 이는 채널 길이가 짧아짐에 따라 채널 내의 전체 전하 중에 공핍 층의 전하 비중이 커지게 되어 짧은 길이의 TFT는 긴 길이의 TFT 보다 상대적으로 낮은 캐리어 농도를 갖게 되기 때문이다. 게이트 전압 바이어스 스트레스 시간에 따른 defect state 생성에 의한  $V_{TH}$  이동은 아래와 같은 식으로 표현할 수 있다 [8].

$$\Delta V_{TH}(t) = A(V_{ST} - V_{Ti})t^\beta \quad (1)$$

여기서 A와  $\beta$ 는 온도에 의존하는 parameter이며,  $V_{ST}$ 는 게이트 전압의 스트레스 전압,  $V_{Ti}$ 는 스트레스 전의 TFT의  $V_{TH}$ , t는 바이어스 스트레스 시간을 의미한다.

일정한 게이트 전압이 유지된 채, 드레인 단자에 전압이 걸리게 되면, 채널 내의 캐리어 농도가 낮아지게 되고 결과적으로 적은 defect state가 생성되게 되어  $V_{TH}$ 이동이 감소하게 된다. 결국, 위의 식 (1)은 아래와 같이 수정될 수 있다.

$$\Delta V_{TH}(t) = \left( \frac{Q_G}{Q_{G0}} \right) A(V_{ST} - V_{Ti})t^\beta \quad (2)$$

여기서  $Q_{G0}$ 는 최대 채널 전하,  $Q_G$ 는 게이트와 드레인 전압에 의존하는 채널 전하, 그리고  $Q_G/Q_{G0}$ 는 표준화된 채널 전하를 의미한다.

결과적으로, 같은 드레인 전압 바이어스 조건에서의 짧은 채널 TFT에서의  $V_{TH}$  열화는 긴 채널 TFT에 비해 작다고 할 수 있다.

#### 4. 결 론

Bottom 게이트 구조를 갖는 nc-Si TFT를 성공적으로 제작하였고 소자의 특성과 전기적 안정성을 평가하였다. 실험 결과는 짧은 채널 길이를 갖는 nc-Si TFT가 긴 채널 길이의 소자보다 같은 드레인 전압 바이어스 하에서 덜 열화 됨을 보여주었다. 드레인 전압 바이어스 하에서의 낮은 캐리어 농도는 적은 defect state를 만들기 때문에 짧은 채널 길이의 TFT가 긴 채널 길이의 TFT보다  $V_{TH}$  열화가 적게 된다. 이러한 결과는 짧은 채널길이의 nc-Si TFT가 AMOLED 디스플레이 소자로서 신뢰할 수 있는 소자로 기대된다.

#### [Acknowledgements]

본 논문은 2007 년도 정부(과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행된 연구임(No. R0A-2007-000-20117-0)

#### [참 고 문 헌]

- [1] J. H. Lan and J. Kanichi, Tech. Digest of Int. Display Res. Conf. 1997, pp. L58-L61, (1997)
- [2] J. S. Im and H. J. Kim, Appt. Phys. Lett. Vol. 63 (14), pp. 1969-1971, (1993)
- [3] M. Itoh, Y. Yamamoto, T. Morita, H. Yoneda, Y. Yamane, S. Tsuchimoto, F. Funada and K. Awane, Tech. Digest of SID 1996, pp17~20, (1996)
- [4] K. Ichikawa, S. Suzuki, H. Maino, T. Aoki, T. Higuchi and Y. Oana, Tech. Digest of SID 1999, pp. 226-229, (1989)
- [5] R. M. Esmaili-Rad, A. Sazonov and A. Nathan, IEDM '06, pp1-4, Washington D.C.,USA, (2006)
- [6] M. Oudwan, Y. Djeridane, A. Abramov, B. Aventurier, P.R.I. Cabarrocas and F. Templier, Thin Solid Films, 515, pp 7662-7666, (2007)
- [7] A. Orpella, C. Voz, J. Puigdollers, D. Dosev, M. Fonrodona, D. Soler, J. Bertomeu, J. M Asensi, J. Andreu and R. Alcubilla, Thin Solid Films, Vol.395, pp335-338 (2001)
- [8] C.-S. Chiang, J. Kanicki, K. Takechi, Jpn. J. Appl. Phys. 37 (1998)