

H₂ 플라즈마를 이용한 SPC-Si TFT의 전기적 특성 향상

김용진, 박상근, 김선재, 이정수, 김창연, 한민구
서울대학교

Improvement of electrical characteristics on SPC-Si TFT employing H₂ plasma treatment

Yong-Jin Kim, Sang-Geun Park, Sun-Jae Kim, Jeong-Soo Lee, Chang-Yeon Kim and Min-Koo Han
Seoul National University

Abstract - 본 논문에서는 ELA poly-Si TFT보다 뛰어난 균일도를 갖고, a-Si:H TFT보다 전기적 안정도가 우수한 PMOS SPC-Si TFT의 특성을 연구하였다. SPC-Si의 계면 특성을 향상시키기 위해 SiO₂ 게이트 절연막을 증착하기 전에 Solid Phase Crystalline 실리콘(SPC-Si) 채널 영역에 다양한 H₂ 플라즈마 처리를 해주었다. PECVD를 이용하여 100W에서 H₂ 플라즈마 처리를 5분 해주었을 때 SPC-Si TFT의 전기적 특성이 향상되는 것을 볼 수 있는데, V_{TH}가 약 -3.91V, field effect mobility가 22.68cm²/Vs, 그리고 Subthreshold swing이 0.64 정도를 보였다. 또한 소자에 Hot carrier stress(V_{GS}=14.91V, V_{DS}=-15V, for 2,000sec)를 주었을 때도 전기적 특성이 변하지 않았으며, 일정한 bias stress(V_{GS}=-15V, V_{DS}=-10V, for 2,000sec)를 가하였을 때도 V_{TH}가 증가하지 않았다. 이러한 결과를 통해 SPC-Si가 poly-Si TFT보다 더욱 안정함을 알 수 있었다.

1. 서 론

수소화된 비정질 실리콘은 대면적에서도 균일한 소자로 제작할 수 있기 때문에 AMOLED에서의 픽셀 소자로서 각광받고 있다. 하지만 a-Si:H은 전기적인 바이어스 스트레스에 의해 문턱전압이 쉽게 증가되는 단점이 있다[1]. ELA에 의한 Poly-Si TFT의 경우에는 높은 이동도와 좋은 안정성을 갖지만 excimer laser의 조사에너지가 불균일하여 소자의 균일도가 떨어지는 문제점이 있다. 최근 이러한 a-Si:H보다 안정적이고 ELA poly-Si보다 균일도에서 우수한 특성을 지닌 유리 기판 위에 제작된 SPC-Si TFT가 AMOLED의 필셀 소자로서 관심이 커지고 있다. 하지만 SPC-Si TFT는 높은 문턱전압을 갖고 채널영역에 있는 전자-홀 재결합 센터로 작용하는 많은 grain boundary들이 많기 때문에 누설 전류가 크다는 문제점을 갖고 있다. 본 논문에서는 H₂ 플라즈마를 이용하여 이러한 전기적 특성들을 향상시키는 것을 연구하였다. 본 실험에서는 a-Si:H 층을 결정화한 후 H₂ 플라즈마 처리를 하는 과정을 통하여 SPC-Si TFT의 문턱전압을 낮추고 이동도를 증가시켰다.

2. 본 론

2.1 SPC-Si TFT 제작

PMOS SPC-Si TFT는 coplanar 구조로 유리기판 위에서 제작되었다. 비정질 실리콘 층은 50nm 두께로 증착되었고, 증착된 후 AMFC(alternating magnetic field crystallization)를 이용하여 700°C에서 15분 동안 결정화 되었다. AMFC를 사용하면 결정화 시간을 상당히 단축시킬 수 있고, 결정화가 되는 동안 유리기판이 받는 손상이 거의 없다. 결정화된 실리콘의 grain 크기는 약 300Å 정도가 된다. 채널 영역이 형성된 다음 420°C에서 H₂ 플라즈마 처리를 해주었다. 플라즈마 처리 후 게이트 절연막으로 SiO₂를 59nm 정도 증착시켜 주었다. 그 후 게이트 전극 패터를 형성하고 이온 주입을 통해 소스, 드레인을 완성하였다.(self-aligned구조)제작된 SPC-Si TFT의 채널 폭은 10µm, 채널 길이는 6µm이다. 그림1에 위와 같은 방법으로 제작된 SPC-Si TFT의 단면과 현미경으로 관찰한 사진이 나타나 있다.

2.2 H₂ 플라즈마 처리 후 SPC-Si TFT의 전달 특성

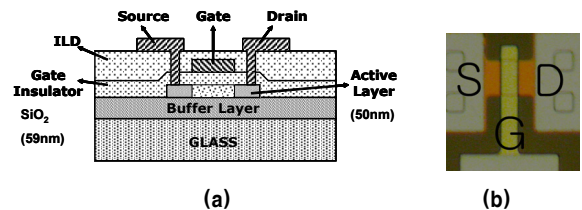
SPC-Si TFT의 전기적 특성을 향상시키기 위하여 게이트 절연막을 증착하기 전에 solid phase crystallized 실리콘에 몇 가지 H₂ 플라즈마 처리를 해주었다. H₂ 플라즈마 처리를 해줄 때 PECVD의 파워를 80W와 100W로 그리고 각각의 파워에 대해 H₂ 플라즈마 처리 시간을 1, 3, 5분 이렇게 변화를 주어 처리하였다. PECVD의 파워가 샘플 No.1~No.3은 80W, 샘플 No.4~No.6은 100W이고, 처리 시간은 샘플 No.1, No.4가 1분, 샘플 No.2, No.5가 3분, 샘플 No.3, No.6가 5분이다. 이러한 처리를 해준 후의 SPC-Si TFT의 전달 특성을 보여주는 그래프가 그림2에 나타나 있다. 그리고 field effect mobility, 문턱 전압, subthreshold swing 값들은 표1에 나타나 있다.

샘플 No.6을 제외하고 H₂ 플라즈마 처리시 PECVD의 파워가 증가할수록 SPC-Si TFT의 문턱전압이 감소하였다. 샘플 No.6의 문턱전압은 -5.3V로 샘플 No.3의 문턱전압(-3.31V)보다 높게 나왔다. 그리고 Field effect mobility는 PECVD의 파워가 증가할수록 증가하였다.

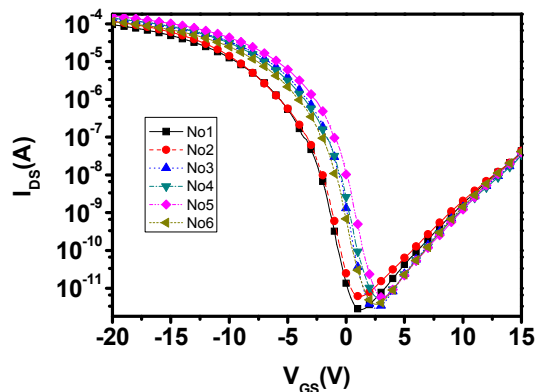
H₂ 플라즈마 처리 시간에 따른 변화를 살펴보면 동일한 파워에서 처리 시간이 증가하면 문턱전압이 감소하는 것을 볼 수 있다.

Solid phase crystallization이 되는 동안 a-Si는 열에너지에 의하여 nucleation seed가 없이 불규칙하게 결정화가 이루어진다. 그렇기 때문에 SPC-Si의 채널 층은 ELA poly-Si의 채널 층보다 더욱 많은 grain boundary가 존재하게 된다. 이러한 많은 grain boundary 때문에 dangling bond 또한 많이 존재하게 된다. 여기에 H₂ 플라즈마 처리를 해주면 수소 원자가 SPC-Si의 dangling bond와 결합을 하게 된다. 이러한 현상이 SPC-Si의 채널 영역과 계면 영역에 있는 trap state와 defect state를 감소시킨다. 이러한 H₂ 플라즈마 처리의 영향에 의해 결과적으로 SPC-Si TFT의 문턱전압이 감소하고 field effect mobility가 증가하게 된다.[2]

그런데 H₂ 플라즈마 처리를 100W에서 5분 동안 해주었을 때 다른 경우와 비교하였을 때 문턱전압이 증가하고 field effect mobility가 감소하는 현상을 나타내었다. 그 이유는 H₂ 플라즈마 처리를 다소 높은 100W에서 5분 동안 해주었을 경우, 실리콘의 crystal phase가 깨지면서 결정화된 실리콘에 손상이 생기게 되는데, 이러한 손상으로 인해 수소 원자에 의해 감소되는 defect state보다 더 많은 defect state가 생성되기 때문이다.[3]



<그림 1> (a) SPC-Si TFT 소자의 단면 구조. (b) SPC-Si TFT 소자의 현미경 사진



<그림 2> 각각의 H₂ 플라즈마 처리 (No1 to No6) 후 SPC-Si TFT (W/L=10/6)의 전달 특성 곡선

〈표 1〉 여러 H₂ 플라즈마 처리 후 SPC-Si TFT의 전기적 특성들

Sample No.	Power (W)	Period (minutes)	V _{TH} (V)	Mobility (cm ² /Vs)	S.S. (V/dec)
1	80	1	-6.70	16.42	0.73
2	80	3	-5.74	21.58	0.62
3	80	5	-3.31	13.76	0.59
4	100	1	-4.88	21.11	0.71
5	100	3	-3.92	22.68	0.64
6	100	5	-5.30	19.39	0.70

3. 결 론

본 논문에서는 ELA poly-Si 보다 균일도가 뛰어나고, a-Si:H TFT 보다 안정적인 PMOS SPC-Si TFT의 특성을 연구하였다. SPC-Si TFT는 유리기판위에 제작 되었으며 magnetic field crystalzation 방식을 사용하여 결정화 하였다. 그리고 게이트 절연막을 증착하기 전에 SPC-Si의 계면 특성 향상을 위해 H₂ 플라즈마 처리를 해주었다. PECVD의 파워를 100W로 3분 동안 처리를 해주었을 때 SPC-Si TFT의 문턱전압은 3.92V, field effect mobility는 22.68cm²/Vs, 그리고 subthreshold swing이 0.64로 가장 좋은 전기적 특성을 나타내었다. 또한 hot carrier stress를 2,000초 동안 가하였을 때도 on 전류와 문턱전압의 변화가 없었으며 바이어스 스트레스를 가한 경우에도 문턱전압의 변화는 없었다.

H₂ 플라즈마 처리를 100W의 PECVD 파워로 3분 동안 해주면 SPC-Si TFT는 고성능의 AMOLED에 사용되기 충분할 것이다.

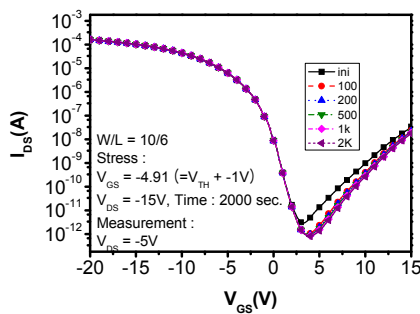
2.3 Stress 후의 SPC-Si TFT의 전기적 특성

2.3.1 Hot carrier stress 후 SPC-Si TFT의 특성

Hot carrier stress 후 SPC-Si TFT의 전기적 특성의 변화를 알아보기 위해 샘플 No.5에 hot carrier stress (V_{GS}=-4.91V (=V_{TH}-1V), V_{DS}=-15V for 2,000sec)를 가하였다. ELA poly Si의 경우에는 게이트에 문턱전압보다 살짝 높은 전압을 걸어주고 높은 드레인 전압을 걸어주면 드레인 접합쪽의 채널 영역이 hot carrier들에 의해 손상되어 subthreshold 위 쪽의 전류가 급격히 감소하는 현상을 보인다.[4] 하지만 그림3에서 볼 수 있듯이 SPC-Si TFT에 hot carrier stress를 가했을 경우 on 전류의 특성이 변하지 않았다. 문턱전압 역시 증가하지 않았다. SPC-Si TFT의 field effect mobility가 ELA poly-Si보다 작기 때문에 [5] 전하들이 드레인 접합쪽에 손상을 입힐 정도로 큰 에너지를 얻지 못하기 때문이다. 이러한 것을 볼 때 H₂ 플라즈마 처리가 된 SPC-Si TFT가 ELA poly-Si보다 안정성에서 더욱 뛰어난 것을 알 수 있다.

[참 고 문 헌]

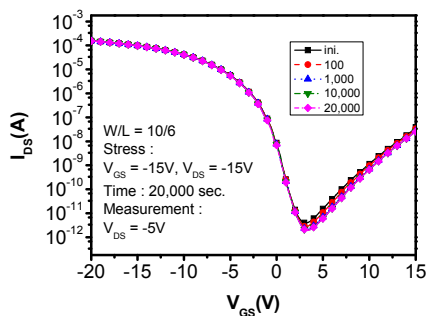
[1] M.J.Powell, "Charge trapping instabilities in amorphous silicon-silicon nitride thin-film transistors", *Appl. Phys. Lett.* 43(6), pp.597-599, 1983.
 [2] I-WEI WU et al., "Effects of trap-state density reduction by plasma hydrogenation in low-temperature polysilicon TFT", *IEEEEDL* 10(3). pp 123~125, 1989.
 [3] Jun-Wei Tsai et al., "Reducing threshold voltage shifts in amorphous silicon thin film transistors by hydrogenating the gate nitride prior to amorphous silicon deposition" *Appl. Phys. Lett.* 71(9), pp. 1237~1239, 1997.
 [4] Kook-Chul Moon et al., "The Study of Hot-Carrier Stress on Poly-Si TFT Employing C-V Measurement", *IEEE TRANSACTION ON ELECTRON DEVICES* 52(4), pp.512~517, 2005.
 [5] In-Hyuk Song et al., "Low Temperature poly-Si TFTs for display application", *Current Applied Physics*, ELSEVIER, 3(4), pp.363-366, 2003
 [6] W.B. Jackson et al. "Creation of near interface defects in hydrogenated amorphous silicon-silicon nitride hetero junctions : The role of hydrogen", *Phys.Rev.B, Condens. mater.*, 36, pp. 6217~6221, 1987



〈그림 3〉 Hot carrier stress 후 SPC-Si TFT 전달 특성 곡선

2.3.2 일정한 바이어스 stress 후 SPC-Si TFT의 특성

샘플 No.5에 일정한 바이어스 stress (V_{GS}=-15V, V_{DS}=-10V for 20,000sec)를 걸어주었다. 바이어스 stress 시간에 따른 SPC-Si TFT의 전달 특성 곡선이 그림4에 나타나 있다. 그림4에서 볼 수 있듯이 일정한 바이어스 스트레스에도 특성이 변하지 않았다. 같은 stress 조건으로 a-Si에 걸었을 경우에는 charge trapping과 defect state 생성에 의해 문턱전압이 1V 정도 증가하였다.[1][6] 이로써 SPC-Si TFT의 채널영역이 a-Si TFT의 채널 영역보다 더욱 안정적임을 알 수 있다.



〈그림 4〉 일정한 bias stress 후 SPC-Si TFT 전달 특성 곡선