

# BCM PFC 플라이백 컨버터 회로의 모델링 및 설계

정영진, 박규민, 한상규, 홍성수, 노정욱, 이상훈\*, 이광일\*\*

국민대학교 전력전자연구소, \*삼성전기(주) P&M사업부 \*\*페어차일드 코리아 반도체(주)

## Modeling and Design of Boundary Condition Mode 플라이백 Power-Factor-Correction Circuit

Young-Jin Jung, Kyu-Min Park, Sang-kyoo Han, Sung-soo Hong, Sang-Hun Lee\*, Kwang-Il Lee\*\*, Chung-wook Roh

Kookmin Univ. Power Electronics Cener, \*Samsung Electro-Mechanics Co, LTD, \*\*Farichild Korea Semiconductor Co, LTD

### ABSTRACT

본 논문은 전류경계영역(Boundary Conduction Mode:BCM) 역률개선(Power Factor Correction:PFC) 플라이백 Converter의 전류 대신호 모델을 제시하였다. 역률개선 플라이백 Converter의 Small Signal Model을 확립하였으며, 60W급 전원회로의 구현을 통해 제안된 모델링의 유용성을 검증하였다.

### 서론

IEC등 국제기구에서는 전기, 전자, 통신기기의 전력 공급 장치의 입력 전압의 왜곡을 발생시키거나 전도성 전자파 장애를 일으키는 문제를 해결하기 위해서 IEC 61000-3-2등과 같은 규격을 제정하여 고조파 전류를 규제하고 있다. 이런 문제를 해결하기 위한 역률개선방식은 크게 2단 역률개선 방식과 1단 역률개선 방식으로 나눌 수 있다. 2단 역률개선 방식은 역률보상과 출력 전압 제어가 각각 독립적이라는 장점을 가지고 있으나 소자 수가 많아지며 부피가 증가하는 단점이 있어 이를 보완하기위해서 1단 전력변환 장치에 관한 많은 연구들이 활발히 진행되고 있다<sup>[2]</sup>.

1단 PFC 플라이백 converter는 하나의 스위치로 PFC와 DC/DC 컨버터를 구성할 수 있어 소자수의 저감 및 저 가격의 강점을 가지고 있어 상대적으로 저효율의 단점이 있지만 소용량 전원회로에서 연구되고 있다<sup>[3][4]</sup>.

PFC 플라이백 Converter의 여러 제어방식 중 전류 불연속 모드(DCM) 및 전류 연속모드(CCM)는 여러 논문을 통해서 정상상태 및 소신호 등가 모델링에 관한 연구 및 분석이 이루어져왔다<sup>[1],[3]</sup>. 하지만 DCM모드에 비해서 Peak전류가 작으며 CCM모드에 비해서 소프트 스위칭에 유리한 전류 경계모드(BCM) PFC 플라이백 Converter는 소신호 등가 모델링에 관한 적절한 연구가 이루어지지 않아 전원회로의 제어단 설계시 Cut-and-Try반복하는 큰 어려움이 있었다. 본 논문에서는 널리 사용되는 BCM PFC 플라이백 컨버터의 소신호 모델링 및 설계 방법을 제시하였다.

### 본론

#### 1. BCM PFC 플라이백 Converter

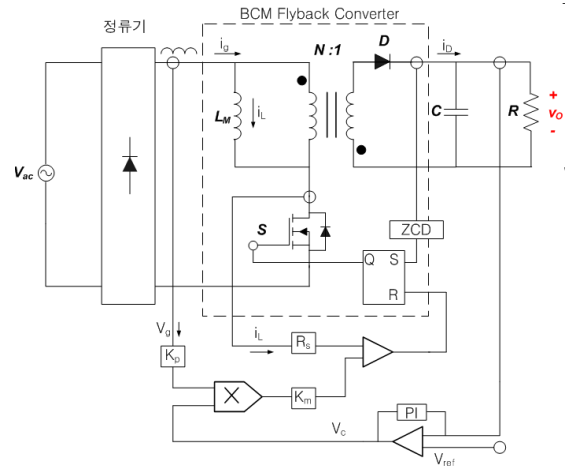
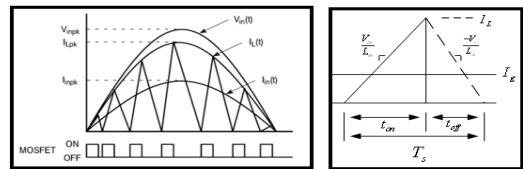


그림 1 BCM PFC 플라이백 Converter



(a) (b)  
그림 2 BCM PFC 플라이백의 주요파형

그림 1.1은 일반적인 BCM PFC 플라이백 Converter를 나타내었다. 그림 1.2은 BCM PFC 플라이백 Converter의 스위치 Gate 전압 및  $L_m$ 전류파형을 나타내었다. 일반적인 DC/DC 플라이백 Converter는 달리 PFC를 위해서 제어기의 Control전압  $V_c$ 와 입력전압을 검출한  $i_g \cdot K_p$  전압을 Multiplier 통해서 곱해진 Feed Forward Gain을 이용하여 1차측 전류를 입력전압에 추종 하게하여 정현파상으로 제어하게 된다. 일반적으로 Peak Current Mode로 동작하게 되며 입력전압과 출력 부하에 따라서 스위칭 주파수가 변하게 된다<sup>[1][4]</sup>.

#### 1.2 Average Large Signal Model

정상상태 해석 및 Small Signal Model을 위해서 다음과 같이 가정한다.

1. 트랜스포머는 이상적이라고 생각한다.

2. 트랜스포머의 누설인덕턴스 및 병렬 커패시턴스는 무시한다.
3. 스위칭 주파수는 입력라인(50Hz/60Hz) 메인 주파수에 비해 매우 높으므로 정류된 입력전압은 스위칭 시간동안 일정하고 가정한다.
4. BCM PFC 플라이백 Converter의 역률(PF)은 1로 가정한다.

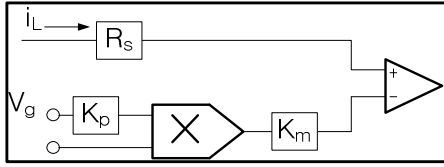


그림 3. BCM PFC 플라이백의 Control단

이와같이 가정을 하였을 때 그림 2.(b)에서 스위치가 On이 되면 자화인덕턴스의  $I_L(t)$  전류는 선형적으로 증가한다. 스위칭 주기  $T(s)$  동안 입력전류의 평균은 식①과 같이 나타낼 수 있다.

$$i_g(t)T_s = \frac{1}{2}i_L(t)t_{on} \quad \text{..... ①}$$

$$v_g(t)t_{on} = V_r t_{off} \quad \text{..... ②}$$

$$T_s = t_{on} + t_{off} \quad \text{..... ③}$$

여기서  $I_L(t)$ 는 입력단의 스위치 전류이며,  $I_g(t)$ 는 입력전류의 평균치이고,  $V_g(t)$ 는 정류된 입력전압이다.  $V_r$ 은 Reflect된 출력전압이다. 식 ①②③을 이용하여 정리하면 식④와 같다.

$$i_L(t) = 2i_g(t)\left(1 + \frac{v_g(t)}{V_r}\right) \quad \text{..... ④}$$

그림 3.은 BCM PFC Control단을 나타내었다. 검출된 입력전압과 제어기의 Control전압의 Multiplier의 출력과 1차측 전류가 같아야 하므로 식⑤와 같이 정의할 수 있다. 식④, 식⑤를 이용하며 정리하면 식⑥과 같이 나타낼 수 있다.

$$i_L(t)R_s = Kv_g(t)v_c(t) \quad \text{..... ⑤}$$

$$2R_s i_g(t)\left(1 + \frac{v_g(t)}{V_r}\right) = Kv_g(t)v_c(t) \quad \text{..... ⑥}$$

$R_s$ 는 전류 검출저항이며,  $K=K_m K_p$ ( $K_m$ 은 Multiplier gain,  $K_p$ 는 입력전압의 division 비율)이다.

### 1.3 Small Signal Model

Small Signal Model을 위해서는 저 주파수 소신호 정류기 모델을 이용한다<sup>[1]</sup>. 이는 평균 교류 입력 전력과 직류 부하 전력 사이에 균형을 유지하기 위한 Power Balance를 구하면 식 ⑦과 같이 나타낼 수 있다.

$$\langle v(t) \rangle \langle i_D(t) \rangle = \eta v_{grms}(t) i_{grms}(t) \quad \text{..... ⑦}$$

여기서  $\eta$ 는 컨버터의 전력변환 효율이다. 이를 식⑥에 대입하여 ⑧과 같이 정리한 후 ⑨를 이용하여 선형화하면 식⑩와 같이 나타낼 수 있다.

$$\langle v(t) \rangle = V + \hat{v}, \quad \langle i_D(t) \rangle = I_D + \hat{i}_D, \quad v_{grms} = V_g + \hat{v}_g,$$

$$i_{grms} = I_g + \hat{i}_g, \quad v_c = V_c + \hat{v}_c \quad \text{..... ⑧}$$

$$v_{grms}(t) i_{grms}(t) = \frac{v_r}{2R_s} (Kv_{grms}(t)v_c(t) - 2R_s i_s(t)) \quad \text{..... ⑨}$$

$$\hat{i}_D = \eta \left( \frac{V_r K V_g}{2R_s V} \hat{v}_c - \frac{V_r}{V} \hat{i}_g + \frac{K V_c V_r}{2R_s V} \hat{v}_g \right) - \frac{I_D}{V} \hat{v} \quad \text{..... ⑩}$$

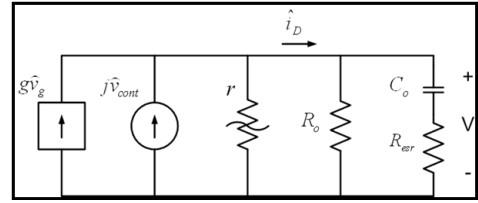


그림 4. BCM PFC 플라이백의 Control단

g	j	r
$\frac{K V_g V_r}{2 R_s V} \frac{V_g}{V_r + V_g}$	$\frac{K V_c V_r}{2 R_s V}$	$\frac{I_D}{V}$

표 1. 60W 전원회로의 스펙

$\hat{v}_c$ 와  $\hat{i}_g$ 의 관계 및  $\hat{i}_D$ 와  $\hat{v}_c$ 의 관계를 알기위해서 식⑩을 선형화하면 식⑩와 식⑪ 같이 나타낼 수 있다.

$$\therefore \frac{\hat{i}_g}{\hat{v}_c} \Big|_{v_g=0} = \frac{K V_g V_r}{2 R_s (V_r + V_g)} \quad \text{..... ⑩}$$

$$\therefore \frac{\hat{i}_D}{\hat{v}_c} \Big|_{v_g=0, \hat{v}=0} = \eta \left( \frac{K V_g V_r}{2 R_s V} \frac{V_g}{V_r + V_g} \right) \quad \text{..... ⑪}$$

식⑩을 식⑨대입하여  $\hat{i}_D$ 관해서 정리하면 식⑫와 같다.

$$\hat{i}_D = \eta \left( \frac{K V_g V_r}{2 R_s V} \frac{V_g}{V_r + V_g} \hat{v}_c + \frac{K V_c V_r}{2 R_s V} \hat{v}_g \right) - \frac{I_D}{V} \hat{v} \quad \text{..... ⑫}$$

BCM PFC 플라이백 컨버터의 소신호 등가 모델을 식⑫와 같이 나타내었다. 그림 4.는 소신호 모델의 블록도로서 각 파라미터 g, j, r를 정리하면 표 1.과 같다.

식⑩과 식⑪이용하여 control to output 전달함수  $G(S)$ 를 구하면 식⑬와 같다.

$$\therefore G(s) = \frac{\hat{v}}{v_c} = \frac{\hat{i}_D}{v_c} \frac{\hat{v}}{i_D} = \eta \left( \frac{K V_g V_r}{2 R_s V} \frac{V_g}{V_r + V_g} \frac{R_o (1 + S C_o R_{err})}{1 + S C_o (R_o + R_{err})} \right) \quad \text{..... ⑬}$$

### 1.4 Small Signal Model의 검증

BCM PFC 플라이백 Converter의 제어단은 그림 6.와 같이 구성된다. Close loop Gain은 다음과 같이 구성할 수 있다.

$$T(S) = G(S)E(S)H(S) \quad \text{..... ⑭}$$

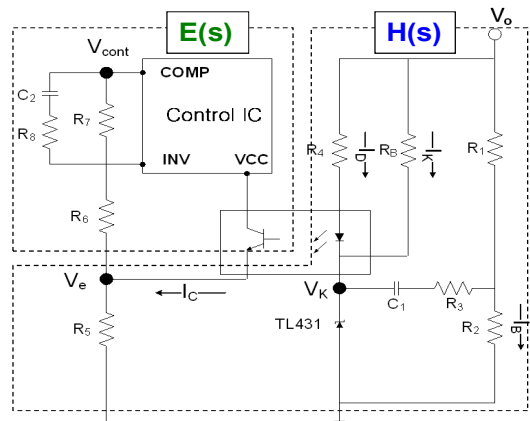


그림 5. BCM PFC 플라이백의 Controller

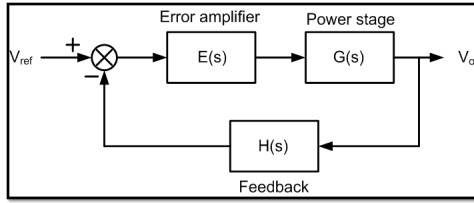


그림 6. BCM PFC 플라이백의 Close loop Block

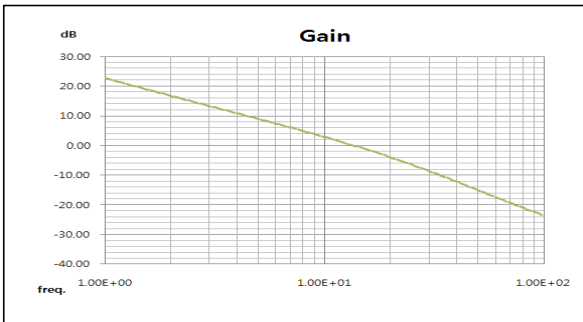
이를 간단히 블록화 시키면 그림 6.과 같이 나타낼 수 있다. 여기서  $H(S)$ 는 일반적인 TL431과 Opto Coupler를 이용한 전압 피드백 Gain이며  $E(S)$ 는 제어IC의 Control Gain이다. 이를 정리하면 식(15)와 식(16)과 같이 나타 낼 수 있다.

$$H(s) = \frac{\hat{v}_e}{\hat{v}_o} = \frac{1}{R_4} \cdot \frac{R_5 R_6}{R_5 + R_6} CTR \frac{1 + sR_3 C_1}{sR_1 C_1} \dots\dots\dots (15)$$

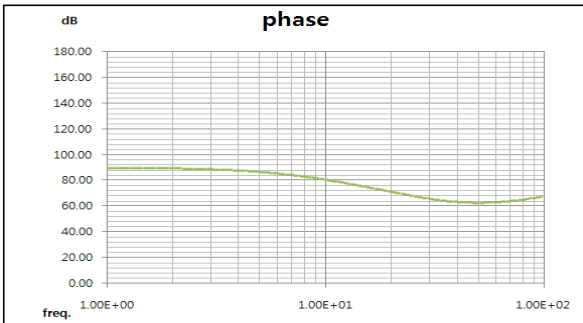
$$E(s) = \frac{\hat{v}_{cont}}{\hat{v}_e} = -\frac{R_7}{R_6} \cdot \frac{1 + sC_2 R_8}{1 + sC_2 (R_7 + R_8)} \dots\dots\dots (16)$$

제안된 모델의 타당성을 검증하기위해서 입력전압  $V_g = 108 \sim 305V_{ac}$ , 출력전압  $V_o = 25V$ , 출력전류  $I_o = 1.7A$ , 출력 커패시턴스  $C_o = 2040\mu F$ , Reflect된 출력전압  $V_r = 93V$ , 60W급 전원 회로를 구성하였다.

그림 7.은 시뮬레이션을 통하여 제안된 모델을 이용한 BCM PFC 플라이백 Converter의 Loop Gain T(S)의 Magnitude와 Phase를 나타낸 그림이다.



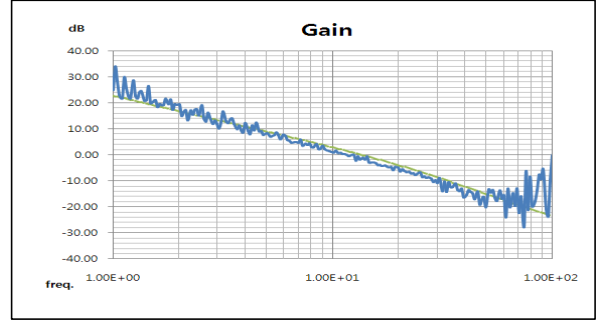
(a)



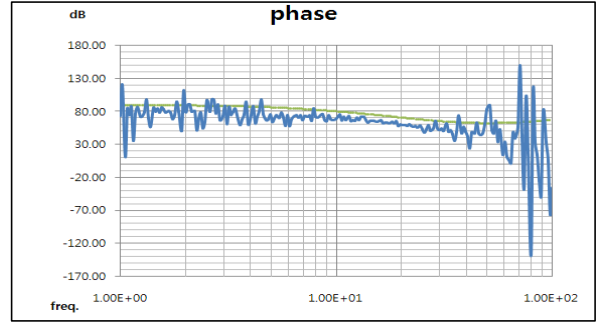
(b)

그림 7. 60W 전원의 시뮬레이션 loop Gain(a)과 Phase(b)

그림 8.은 1Hz~100Hz까지 제작된 BCM PFC 플라이백 컨버터의 Loop Gain T(S)의 Magnitude와 Phase를 PSM1700 Frequency Analyzer를 이용한 실측치와 제안된 모델을 이용한 시뮬레이션 값과 비교한 그림이다. Magnitude와 Phase의 측정치와 제안된 모델을 이용한 시뮬레이션 이론치가 일치함을 알 수 있다.



(a)



(b)

그림 8. 60W 전원의 시뮬레이션 과 실측 loop Gain(a)과 Phase(b)

## 결론

BCM PFC 플라이백 Converter는 많은 전원회로에서 사용되었지만 정확한 소신호 모델이 없어서 제어단 설계에 많은 어려움이 있었다. 본 논문에서 제안된 모델을 통해서 Converter의 Loop Gain과 시스템의 안정도를 간단하게 예상 할 수 있으며, 제어단 설계를 보다 쉽고 간단하게 할 수 있다. 제안된 모델을 시뮬레이션과 실험을 비교함으로써 신뢰성 및 우수성을 증명하였다.

이 논문은 삼성전기(주)의 연구비 지원에 의하여 연구되었습니다.

## 참고 문헌

- [1] J. Chen and C. Chang, "Analysis and Design of SEPIC Converter in Boundary Conduction Mode for Universal-Line Power Factor Correction Applications," IEEE Power Electronics Specialists Conference, 2001 Record.
- [2] R. W. Erickson and D. Maksimovic, Fundamentals of Power Electronics, Second Edition, Kluwer Academic Publishers, 2000.
- [3] J. Lempinen and T. Suntio, "Small-signal modeling for design of robust variable-frequency Flyback battery chargers for portable device applications", IEEE Applied Power Electronics Conf. (APEC) Proc., pp.548-554, March 2001.
- [4] J. Chen, R Erickson and D Maksimovic, "Averaged Switch Modeling of Boundary Conduction Mode Dc-to-Dc Converters" IECON'01 27th Annual Conference of the IEEE Industrial Electronics Society.
- [5] C. Adragna, "Design Equations of High-Power-Factor Flyback Converters Based on the L6561," Application Note AN1059, ST.