

SVC를 이용한 하드웨어 설계

*이정식, 길대남, 정차근
호서대학교 정보 제어 공학과

e-mail : *gtonizka@nate.com, fatuel@nate.com, cheong@hoseo.edu*

Hardware Design Using the SVC

*Jung-Sik Lee, Dea-Nam Gil, Cha-Keon Cheong
School of Information and Control Engineering
HOSEO University

Abstract

The Scalable Video Coding(SVC) extension of H.264/AVC standard. SVC based temporal, spatial, and quality scalability of video bit streams. In this paper, we will develop C-model program and hardware circuits for the chip design of the SVC decoder. In order to acquire the flexibility of the circuit design and reliability of the hardware system development. In these development, we utilize the results of the C-model program to achieve the independencies of each sub-blocks and check the efficiencies of the circuit design results.

I. 서론

최근, 급속한 기술 발전을 이룩하고 있는 멀티미디어 정보 통신시대의 전개와 함께, 정보통신기기의 이동성 및 개인화가 빠르게 진전되고 있다. 이와 함께, 디지털 통신기술의 획기적인 발전에 힘입어 무선 통신기기 관련 시장이 급속히 확대되고 있다. 특히, PCS와 같은 무선 이동통신 단말기기 뿐만 아니라, Notebook PC나 PDA, DMB, PMP와 같은 개인 휴대정보 단말기 보급의 확대로 유선망의 채널상태에 구애되지 않고, 광범위에 걸쳐 다양한 정보를 무선으로 송수신하고 공유하

는 것을 필요로 하고 있다[4].

H.264 / MPEG4 AVC-10 Video Codec은 2003년 12월에 Final Committee Draft (FCD)가 이루어져 국제 표준화된 규격으로 기존의 MPEG4나 H.263과 비교해서 뛰어난 압축성과 동영상의 품질을 보인다[5].

H.264/AVC의 확장 규격인 Scalable Video Coding(SVC)은 가변적인 네트워크 비디오 단말에 적응적으로 비디오 스트림을 제공하기 위하여 시간, 공간 및 화질 계층성을 제공하고 있다. 이를 위해 SVC는 하나의 기본 계층(Base Layer)과 하나 이상의 향상계층(Enhancement Layer)으로 부호화 되는 계층적 구조를 가지고 있다[1][6].

SVC가 다양한 단말기에 핵심 기술로 사용되기 위해 수신 동영상의 높은 화질을 확보하고 단말기 제작비용을 저렴하게 하기 위해 SoC화에 의한 칩 개발은 필수이다.

본 논문은 SVC의 회로구현의 유연성과 신뢰성을 확보하고, 다양한 응용에 적합한 SVC Decoder 회로를 구성할 수 있도록 하드웨어에 적합한 SVC Decoder의 재구성을 제안한다.

II. 표준 SVC의 구성

SVC표준에서 기본계층은 H.264/AVC와 호환성을 가지게 구성되어 있다[1]. 향상계층은 부호화 효율을 높이기 위해 계층간 화면내 예측(Inter-Layer Intra Prediction), 화면내 예측

(Intra Prediction), 화면간 예측(Inter Prediction) 등 다양한 기법을 사용한다[2][3]. 그림 1 은 2계층 SVC구조의 Decoder를 도시한 것이다.

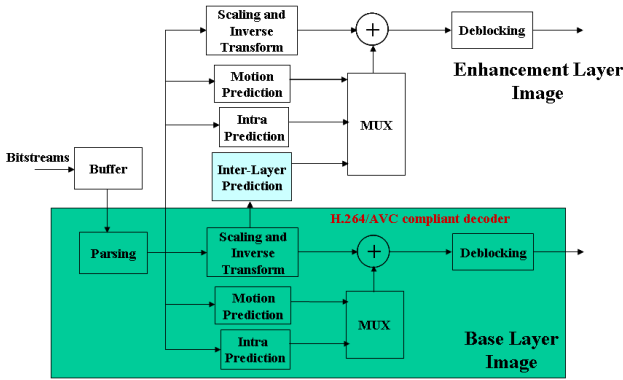


그림 1. 2-Layer SVC Decoder Structure

III. 하드웨어에 적합한 SVC의 재구성

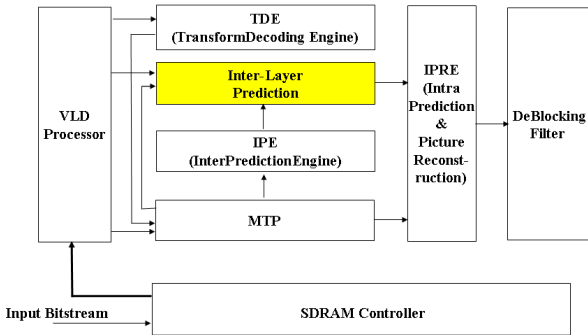


그림 2 The Proposed Hardware Architecture of the SVC Decoder

그림 2는 그림 1의 SVC Decoder의 구성을 H/W 구현에 최적적인 형태로 재구성한 것이다. 회로 구현의 유연성을 확보함과 동시에, H/W의 개발을 촉진시키고 회로의 신뢰성을 보장할 수 있도록 하기위해 그림 2의 구성에 따라 C-Model을 제안한다.

- ① Variable Length Decoding(VLD) processor로부터 Transform Decoding Engine(TDE)로 입출력되는 제어신호 및 Video 신호의 발생.
- ② VLD processor로부터 MTP로 입출력되는 제어 신호 및 Video 신호의 발생.
- ③ TDE로부터 MTP로 입출력되는 제어 신호 및 Video 신호의 발생
- ④ MTP로부터 Inter로 입출력되는 제어 신호 및 Video 신호의 발생

- ⑤ MTP로부터 Inter_Layer 로 입출력되는 제어 신호 및 Video 신호의 발생
- ⑥ MTP로부터 IPRE(Intra+Picture Reconstruction)로 입출력 되는 신호 및 Video발생

H/W 구현을 위해 SVC Decoder를 각 블록별로 나누어 개발함으로써 개발 시간의 단축의 효율을 얻을 수 있다. 이를 위해서 C-Model 작업은 반드시 선행되어야 한다.

제안된 Architecture를 사용하면 H.264/AVC와 SVC에서 공통으로 사용되는 VLD, Inter, Intra 블록등을 통합 할 수 있어 H/W 구현시 회로의 간소화를 이룰 수 있고 H/W 구현 비용의 절감도 얻을 수 있다.

IV. 고찰

SVC Decoder를 다양한 분야에서 활용하기 위해 하드웨어 설계에 적합한 구조를 제안 하였다. 제안한 Architecture를 이용하여 SVC Decoder를 재구성 하고 생성된 C-Model에 의한 입출력 데이터는 실제 SoC작업시 각 블록별 독립적 구현과 FPGA를 이용한 성능검증에 사용할 수 있다.

참고문헌

- [1] T. Wiegand, G. Sullivan, J. Reichel, H. Schwarz and M. Wien, "Scalable Video Coding Amd.3", ISO/IEC JTC1/SG29/WG11 and ITU-T SG16 Q.6 Doc. JVT-X201, Jul. 2007
- [2] Heiko Schwarz, Detlev Marpe, "Overview of the Scalable Video Coding Extension of the H.264/AVC Standard", IEEE, VOL. 17, NO. 9, pp 1103-1120 , 2007
- [3] C. Andrew Segall, "Spatial Scalability Within the H.264/AVC Scalable Video Coding Extension", IEEE, VOL. 17,NO. 9, pp 1121-1135, 2007
- [4] Thomas Schierl, Thomas Stockhammer, Thomas Wiegand, "Mobile Video Transmission Using Scalable Video Coding", IEEE, VOL. 17, NO. 9, pp 1204-1217, 2007
- [5] 박기현 , "코덱의 세계로의 초대", 홍릉과학, 2007
- [6] 호요성, 김승환 공저 , "Scalable 비디오 압축 표준 방식의 이해", 두양사, 2007