

# 110dB, 3-mW 4차 단일비트 시그마 델타 모듈레이터

\*김태윤, 박원기, 민경원, 최종찬, 이성철  
전자부품연구원  
e-mail : ipsys@keti.re.kr

## A 110dB, 3-mW Fourth-order $\Sigma$ - $\Delta$ Modulator for high accuracy measure systems

\*Tae-Yoon Kim, Won-Ki Park, Kyong-Won Min,  
Jong-Chan Choi, Sung-Chul Lee  
SoC Research Center  
Korea Electronics Technology Institute

### Abstract

In this paper, a 110 dB, 1.024 MHz fourth-order single-loop Delta-Sigma sigma modulator has been presented with an over-sampling ratio of 128 and an overload factor of -6 dB for a bandwidth of 4 kHz. In particular, this  $\Sigma$ - $\Delta$  modulator is well suited for high accuracy measure systems. The whole modulator consumes only 3-mW from a single 3.3V supply in a 0.35- $\mu$ m CMOS technology.

### I. 서론

시그마 델타 모듈레이터는 입력 신호에 비해 노이즈를 줄이는 방법으로 필요한 해상도를 얻는다. 고차 시그마 델타 모듈레이터는 저주파수, 고해상도에 적합하며 선형성을 보장할 수 있다. 그러므로 시그마 델타 모듈레이터는 신호 폭이 좁고 고해상도가 요구되는 응용분야에 적합하다. MASH(Multi stage noise SHaping)와 DEM(Dynamic Element Matching)을 가진 multi-loop 또는 multi-bit 구조는 16비트 이상의 해상도를 얻을 수 있지만[1-2] 매우 큰 전력과 면적을 차지한다.

본 논문에서 샘플링 주파수는 1.024MHz, 신호 대역 폭은 4kHz이고 4차 단일비트 모듈레이터로 설계되었다.

### II. 본론

고해상도를 갖는 시그마 델타 모듈레이터의 성능은 DR의 값으로 판단할 수 있다. 첫 번째 적분기의 KT/C 노이즈에 의해 제한된 해상도를 갖는 시그마 델타 모듈레이터의 DR는 아래 식(1)과 같이 계산된다.

$$DR = \frac{P_{i_{max}}}{P_{KT/C}} = \frac{V_{i_{max}}^2 \cdot OSR \cdot C_s}{2kT} \quad (1)$$

$V_{i_{max}}$ 는 모듈레이터 입력의 최대값이며  $C_s$ 는 샘플링 커패시턴스를 의미한다. 최대 입력 크기는 OTA의 출력 폭에 의해서 정의되며 그림 1에서처럼 Reference 전압의 비로써 정해지게 된다. 루프의 계수값은 [0.2 0.2 0.5 0.5]으로 정해졌다.[4] 그림 2에서 보는 바와 같이 첫 번째와 두 번째 계수는 매우 중요하며 이것은 NTF (Noise Transfer Function)을 결정한다. 그림 3와 같이 첫 번째부터 네 번째까지 double reference 전압을 갖는 적분기로 구현되었으며, +Vref와 -Vref 값을 가지고 있다.

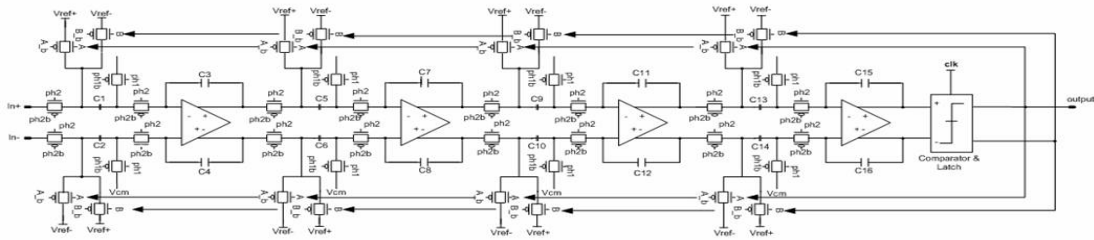


그림 3. 단일 비트 4차 시그마 델타 모듈레이터

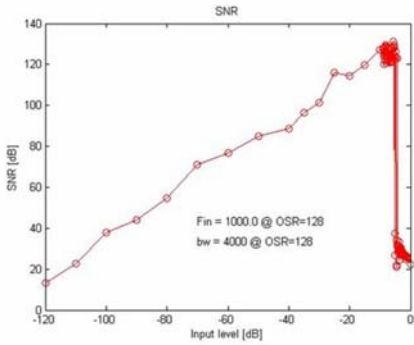


그림 1. 입력 크기와 reference 전압의 비와 SNR

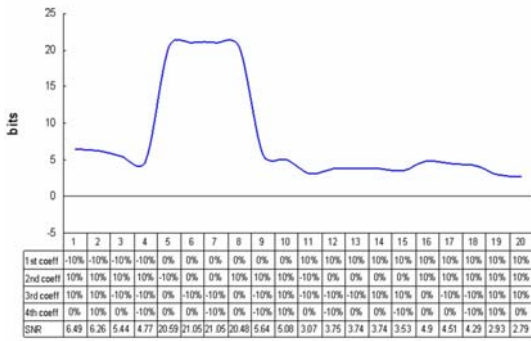


그림 2. 적분기의 커패시턴스 mismatch와 SNR

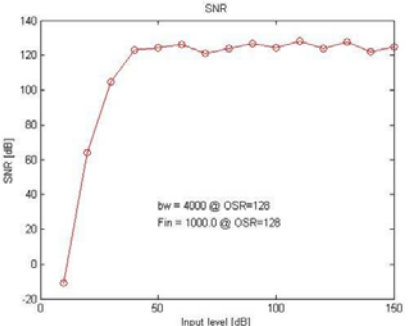


그림 4. OTA의 gain과 SNR

모듈레이터는 4가지의 클럭에 의해 동작하게 되는데, 'd'는 지연된 클럭을 의미하며 지연된 클럭을 사용하는 이유는 스위치로 발생되는 전하 주입 영향을 최소화하기 위해서이다. 그림 4는 SNR 대 OTA gain를 나타낸 것이다. 120 dB이상의 SNR을 얻기 위해서는 OTA의 gain은 최소한 50 dB이상이 되어야 한다.

#### IV. 결론

고해상도 시그마 델타 모듈레이터는 0.35-um CMOS 공정에서 설계되었다. 그림 5에 모듈레이터 잡음 파워 스펙트럼 밀도가 헤밍 윈도우를 가진 4096 샘플값들로 나와 있다. 신호 대역폭에서 최대 SNR은 110.9 dB, 18.14bits로 고해상도 아날로그 디지털 변환기로 적합하다. 시그마 델타 모듈레이터는 3.3V 전압에서 3mW의 전력을 소비한다. 이 회로의 가장 중요한 특성은 표 1에 요약되어 있다.

표 1. 단일비트 시그마 델타 모듈레이터의 특성

Parameter	value
Technology	0.35 um CMOS
모듈레이터의 차수 (L)	4
공급전압	3.3 V
전력소모	3 mW
입력전압 범위 (peak to peak)	1.04 V
샘플링 주파수 (fs)	1.024 MHz
신호 대역폭 (B)	4 kHz
오버샘플링 비 (M)	128
신호 잡음비 (SNR)	110.9 dB
해상도	18.14 bits

감사의 글

본 논문은 시스템 IC2010 사업의 지원으로 연구 및 제작 되었습니다.

참고문헌

- [1] D. A. Kerth, D. B. Kasha, T. G. Mellissinos, D. S. Piasecki, and E. J. Swanson, "A 120dB linear switched-capacitor delta-sigma modulator," in ISSCC Dig. Tech. Papers, San Francisco, CA, 1994, pp. 196-197.
- [2] O. Nys and R. Henderson, "A monolithic 19-bit 800 Hz low power multi-bit-sigma-delta CMOS ADC using data weighted average," in Proc. ESSCIRC, Neuchâtel, Switzerland, Sept. 1996, pp. 252-255.
- [3] A. Marques, V. Peluso, M. Steyaert, and W. Sansen, "Optimal parameters for Delta-Sigma modulator topologies," IEEE Trans. Circuits Syst., vol. 45, pp. 1232-1241, Sept. 1998.