



2.2 조도 제어 IP

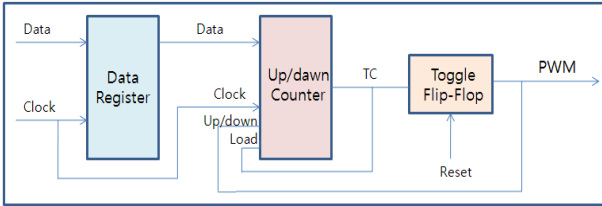


그림 2 조도 제어 IP Internal Block Diagram

8bit RISC 프로세서의 내부 SFR어드레스를 이용하여 조도 제어 IP에 접근한다. 각각 레지스터 설정은 SFR 어드레스 map을 통해 pwm0~pwm4를 할당하고 사용한다.

Data Register는 카운터를 위한 값을 저장하기 위해 사용되고, 데이터 값은 펄스폭을 결정한다. Up/Down Counter는 data Register로부터 새로운 값을 로드시킨다. 그리고 Toggle Flip-Flop은 PWM 파형을 출력한다.

III. 구현

구현에 사용된 시스템은 LED Board부와 Xilinx Vertex II Module 과 LED 구동 드라이브와 EEPROM으로 구성되었다.

LED Board 부는 RED, GREEN, BLUE, WHIT (2line), Warm WHIT(2 line)로 구성되어있다.

8bit RISC 프로세서, 조도제어 IP, I2C IP를 FPGA칩에 설계하였다. 각각의 시뮬레이션은 ModelSim SE 6.2C를 사용하여 검증하였고, 각각 LED는 조도제어 IP를 통해 조도가 제어된다.

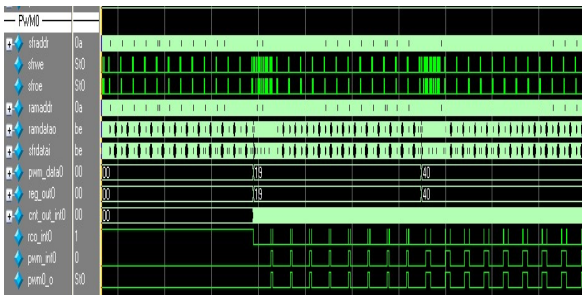


그림 3 Waveform 1: Pluse with 10%(0x19) & 25%(0x40) Duty Cycle

그림 3은 조도제어 IP의 시뮬레이션 결과를 보여주고 있다. pwm0의 리지스터에 값을 8bit 데이터 값

(0x19/0x40)을 입력했을 때 pwm0\_o을 통해 PWM파형 결과를 보여주고 있다. Pluse 폭이 0x19값일 때는 10%의 Duty Cycle을 가지게 되고, 0x40값일 때는 25%이 Duty Cycle 보여주고 있다. 다음 표 1은 8bit data값에 따른 Duty Cycle을 보여주고 있다.

pwm0s		Duty Cycle
HEX	Binary	
19	0001 1001	10%
40	0100 0000	25%
80	1000 0000	50%
C0	1100 0000	75%
E6	1110 0110	90%

표 1 Data Values for Different Duty Cycles

IV. 결론 및 향후 연구 방향

현재 LED의 개발 및 사용이 증가하면서 차세대 대체 조명으로 LED를 꼽고 있다. LED 조도를 제어하기 위해 8Bit RISC Processor와 조도제어 IP를 설계하였다.

RISC 8051의 내부 SFR어드레스를 이용하여 조도제어 IP를 접근하여 제어하였다. RED, GREEN, BLUE, WHIT (2line), Warm WHIT(2 line)로 구성되어있는 LED를 8bit 데이터 값(0x00~0xff)의 따라 Duty Cycle(%)를 변조하여 출력함으로써 LED Array의 조도를 제어할 수 있었다.

Acknowledgements

본 연구는 교육과학기술부와 한국산업기술재단의 지역 혁신인력양성사업 및 지식경제부와 한국산업기술평가원의 지역산업기술개발사업으로 수행된 연구결과임

참고문헌

- [1] 장준호, 공간 및 사용자에게 적합한 LED 조명 기구의 색온도 및 색채 연출에 관한 연구
- [2] Synthesis of Arithmetic Circuits - FPGA, ASIC and Embedded Systems, Jean-Pierre Deschamps
- [3] Reuse Methodology Manual 3/D, Michael Keating
- [4] Altera FPGA를 교육 및 디지털 회로설계, 한국소프트웨어 진흥원
- [5] Digital Design with CPLD Applications and VHDL 2D, THOMSON
- [6] Verilog HDL, Samir Palnitkar, 영한출판사