

ODC 클럭 게이팅을 이용한 저전력 Interface 회로설계

*1)양현미, 김희석

청주대학교 전자 정보통신공학부

e-mail : snsvuswl@hotmail.com, ksh8391@cju.ac.kr

Design of Low- Power Interface using Clock Gating Based on ODC Computation

Hyun- Mi Yang, Hi-Seok Kim

School of Information and Electronic Engineering

Chong Ju University

Abstract

In this paper, a sample design of I/O port of micro-processor using ODC(Output Don't Care) computation that is one of methods for Clock Gating applicable at the register transfer level(RTL). The ODC computation Method is applied at the point that estimate the value considering Don't Care Conditions from output of datapath to registers using clock in logic system. This paper also shows the results of reduce consumption power due to controlling clock that was supplied at registers. In Experimental results, ODC computation Method reduce power reductions of around 37.5%

I. 서론

최근 들어 휴대용 시스템들의 엄청난 증가와 더불어 이들 제품들의 소형화와 휴대성을 중요시함으로써 저전력 설계는 더욱 필요로 하고 있으며, 통신네트워크가 가능한 유비쿼터스(Ubiquitous) 실제로 단순한 휴대를 떠나서 모든 제품들 간의 시스템이 발전하고 있다. 이에 따른 SoC(System

On Chip)를 통한 저전력 설계방식이 널리 사용되고 있다. 대규모 시스템 설계로 인해 회로의 크기 및 복잡도가 증가하고 시스템의 전력소모 양이 증가하게 되었다. IC의 동작속도 또한 급격하게 증가하여 갈수록 전력소모는 증가되고 있다.[1][2] 본 논문에서는 시스템 소비전력의 많은 부분을 차지하는 각 블록별 입력 클럭을 돈케어(Don't care)조건을 이용한 클럭 게이팅 개념을 적용해 동작적으로 제한함으로써 소모되는 전력을 줄였다..

II. 본론

2.1 ODC 저전력 회로

시스템의 순차회로는 클럭에 의한 전력 낭비가 크며, 클럭은 스위칭 과정을 통해 많은 불필요한 게이트 활동을 초래하며 높은 부하를 갖는 경향이 있다. 그러므로 클럭을 구분하고 제어하기 위한 클럭 버퍼를 지닌 클럭 네트워크가 필요하다. 현재 디지털 구조에서 클럭 신호가 시스템 전력의 15% - 45% 전력을 사용한다고 연구되고 있다. 그러므로 입력 클럭을 효율적으로 제어하면 순차회로의 전력낭비를 줄일 수 있다. 본 논문

1) 한국 청주대학교 "본 연구는 산업자원부의 지역혁신 인력양성사업의연구결과로 수행되었음."

서는 ODC 조건을 고려해서 각 레지스터에 입력되는 클럭을 제어하는 방식으로 저전력 회로를 구현한다.

III. 구현

본 논문에서 설계한 I/O 포트들은 모두 8비트 입출력이 가능한 범용 포트로서 PORTA ~ PORTG까지 총 7개 56비트의 입출력이 가능하도록 설계하였다. 각 포트의 비트단위 입출력을 위한 회로는 그림 1과 같이 DDRx, PORTx, PINx으로 구성된 8비트 워드의 3개의 레지스터들로 핀의 상태 및 입출력을 제어하도록 설계

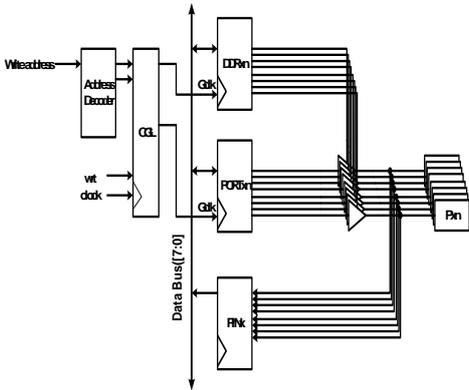


그림1. 포트 구성

하였다. 그림1의 CGL(Clock Gating Logic)은 저전력 설계를 위해 추가된 블록이다. OUT 명령에 의해 포트의 입출력 방향을 결정하는 경우 DDRxn에 해당하는 Gclk을 활성화 시키며, 포트의 출력 상태를 바꾸고자 할 때 PORTxn에 해당하는 Gclk을 활성화 시켜 불필요한 클럭 트리거를 줄여 소비 전력을 감소시킬 수 있다. 포트 D와 포트E는 외부 인터럽트(External Interrupt)를 위해 I/O 기능뿐만 아니라 외부 입력의 에지(Edge)를 검출하거나 레벨을 검출하는 기능을 지도록 설계하였다. 그림2의 CGL(Clock Gating Logic)은 저전력 설계를 위해 추가된 블록이다. OUT명령에 의해 외부 인터럽트를 제어하기 위한 마스크 비트를 활성화 또는 비활성화 하기 위해 INTn 레지스터에 새로운 데이터를 써야 하는 경우 해당 Gclk을 활성화 시키며, INFn 레지스터의 경우 외부 인터럽트 플래그가 셋 되어야 할 경우 즉, 외부 인터럽트 A, B, C, D가 활성화 될 경우 Gclk가 활성화 되며 불필요한 클럭 트리거를 줄여 소비전력을 줄일 수 있다..본 논문에서 설계한 프로세서의 면 적 및 소비 전력을 비교하기 위해 SUNW Ultra Fire V480, Solaris9 환경에서 Hynix사의 0.35um 2.7V 라이브를 이용하여 Synopsys사의 Design Compiler와 Power Compiler를 이용하여 동작 속도 40 MHz에서 컴파일 하였다.

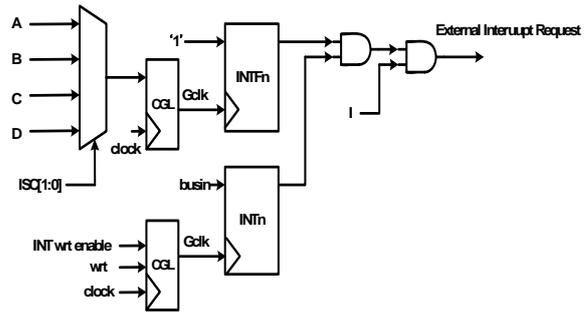


그림2. 외부 인터럽트 제어 회로

단위 : Power(mW), Area(Cell)

	Model 1	Model 2	비교(%)
Cell Internal Power	38.0796	17.1762	- 54.9 %
Net Switching Power	8.1078	11.684	+ 44.1 %
Total Dynamic Power	46.1874	28.8602	- 37.5 %
Cell Area	43588	41002	- 5.9 %

표1. 소비 전력 및 면적 비교

IV. 결론 및 향후 연구 방향

본 논문에서는 RTL설계 시 저전력 설계를 위한방법의 제안 하였다. 본 논문에서 설계한 저전력 블록은 워킹레지스터, 산술논리연산장치, 어드레스 버스 및 데이터 버스와 타이머, UART, SPI블록으로 구성하여 VHDL을 이용하여 설계 하였고 Modelsim을 이용한 시뮬레이션 검증과 Xilinx Spartan3, VertexE를 이용하여 하드웨어 검증을 하였다. 또한 저전력을 고려한 디자인의 검증을 위해 Hynix사의 0.35um 2.7V 라이브러리를 이용하여 Design Compiler와 Power Compiler를 이용하여 소비 전력 및 면적 비교를 하였다. 저전력을 고려한 경우 소비 전력은 약 9.4%, 면적은 약 3% 감소 효과를 보였다.

참고문헌

- [1] Pietro Babighian 외 2인, "A Scalable Algorithm for RTL Insertion of Gated Clocks Based on ODCs Computation", IEEE TRANS, VOL 24, NO1, 29-42쪽, JAN 2005
- [2]. Qing Wu, Massoud Pedram, Xunwei Wu, "Clock-Gating and Its Application to Low Power Design of Sequential Circuits," IEEE Custom Interated Circuits Conference, p.479-482, 1997