

# 개선된 QVGA급 LCD Driver IC의 그래픽 메모리 설계

\*차상록, 이보선, 김학윤, 최호용  
 충북대학교 반도체공학과  
 e-mail : greeny2k@cbnu.ac.kr

## Improved Design of Graphic Memory for QVGA-Scale LCD Driver IC

\*Sang-Rok Cha, Bo-Sun Lee, Hak-Yoon Kim, Ho-Yong Choi  
 Dept. of Semiconductor Engineering Chungbuk National University

### Abstract

This paper describes an improved design of graphic memory for QVGA (320x240 RGB) - scale 262k-color LCD Driver IC. A *distributor block* is adopted to reduce graphic RAM area, which is accomplished with 1/8 data lines of the previous structure. In line-read operation, the drivability of memory array cell is improved by partitioning a word line according to the row address. The proposed graphic memory circuit has been designed in transistor level using 0.18  $\mu\text{m}$  CMOS technology library and verified using Hsim.

### I. 서론

최근, 모바일 기기의 고속 성장에 힘입어 LCD Driver IC (LDI) 의 수요가 크게 증가하고 있다. 또한 LDI의 고해상도에 따라 대용량의 그래픽 메모리가 필요하게 되고, 이는 LDI 면적의 70%까지 차지하고 있다. 따라서 저면적의 고효율 그래픽 메모리의 설계가 크게 요구되고 있다[1].

중전의 그래픽 메모리는 해상도가 높아짐에 따라 증가하는 수 천개 data line의 면적 문제와, line-read 동작 시 구동력이 문제되고 있다[2]. 본 논문에서는 distributor 블록 구조를 채택하여 저면적 설계와, word line 분할동작 구조를 통해 구동력 향상을 위한 설계를 제안한다.

\* 본 논문은 지식경제부 출연금으로 ETRI, SoC산업진흥센터에서 수행한 IT SoC 핵심설계인력양성사업과 IDEC의 연구 결과입니다.

### II. 개선된 그래픽 메모리 설계

#### 2.1 그래픽 메모리 블록

본 논문에서 제안하는 그래픽 메모리는 그림 1과 같이 데이터를 저장하는 메모리부, 패널에 데이터를 전송하는 디스플레이 주변회로부로 구성된다. 메모리부는 다시 Memory array, Sense amp, Decoder, DB sense amp, Write driver, I/O buffer, Peripheral 블록으로 구성되며, 디스플레이 주변회로부는 Display switch, Distributor로 구성된다.

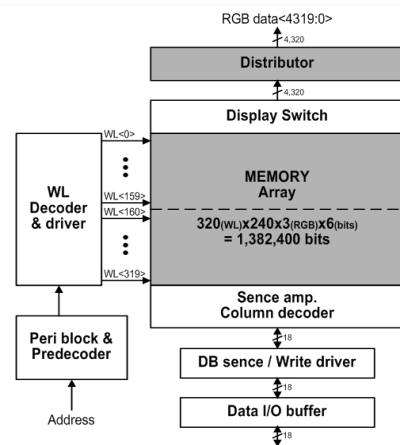


그림 1. 그래픽 메모리의 블록 다이어그램

Memory array는 각 셀이 1T RAM 으로 구성되어 있고, folded-bit line 구조로 1,382,400 bits (= 320 x 240(dots) x 3(RGB) x 6(bits)) 크기의 셀과 18-bit I/O 인터페이스를 갖는다. Sense amp는 half Vcc precharge 방식으로 설계한다. Line-read에 대한 데이터 처리는 display switch로 셀 데이터를 넘겨주고, 이

