

향상된 impedance matching을 갖는 DDR3 ZQ Calibration 설계

*최재웅, 박경수, 채명준, 김지웅, 광계달
한양대학교 정보디스플레이공학과
e-mail : koubasi@hanmsil.net

Design DDR3 ZQ Calibration having improved impedance matching

*Jae-Woong Choi, Kyung-Soo Park, Myoung-Jun Chai, Ji-Woong Kim
and Kae-Dal Kwack
Department of Information Display Engineering Hanyang University

Abstract

DRAM설계시 DDR2에서부터 고속 동작으로 인해 반송파에 의한 신호외곡으로 impedance matching의 필요성이 대두되었다. 이로 인해 제안된 방법은 외부 Termination 저항(RZQ)을 기준으로 impedance matching을 위한 Rtt 저항의 생성이다.[1]

제안된 ZQ Calibration 회로는 기존의conventional ZQ Calibration 회로에 After ZQ calibration block을 추가하여 한 번 더 교정함으로써 마지막 PMOS Array와 NMOS Array 저항 값이 Termination 저항 값에 가깝도록 설계하였다. 따라 전력효율은 그대로 유지하면서 ΔVM의 오차범위를 기존의 ±5%이내에서 skew 조건에 따라 ±1.33%까지 향상시키는 것을 볼 수 있다. (JEDEC spec. ±5%이내).

I. 서론

일반적으로 사용되는 Digital 방식의 ZQ calibration은 온도, SKEW 조건, 공정 변수에 따라 Pull-Up 저항이 RZQ 저항에 정확히 일치하지 않았을 경우에도 quantization error가 있기 때문에 일정 구간 이내로는 hold 신호를 정확히 맞추지 못한다. 이러한 차이는 그대로 Pull-Down 저항부에도 영향을 미치게 되어 결과적으로 Pull-Up, Pull-Down 저항 1쌍으로 구성되는 Array Rtt 저항이 원하는 RZQ 저항 값과 차이로 나게 된다.[2] 이에 Rtt 저항 값에 따라 영향을 받는 ΔVM 값도 오차가 발생할 수밖에 없다. 기존의 디지털 방식의 ZQ Calibration 장점은 살리면서 RZQ에 더 정확하게 저항을 맞춰주는 방법을 제안하였다.

II. 본론

제안된 ZQ Calibration 그림.2 처럼 hold 신호를 출력하는 범위를 (식. 1)을 만족하게 하여 Pull-Up 저항을 RZQ 보다 의도적으로 크게 맞춘다. 이때 한쪽방향으로만 맞춰진 저항 값은 After ZQ Calibration block을 통해 한 방향으로 상승시켜 오차를 감소시킬 수 있다.

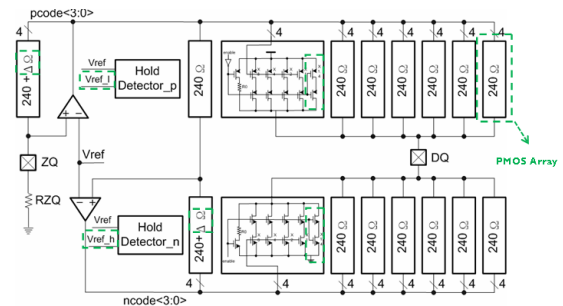


그림 1. 제안하는 ZQ calibration 전체 block도

$$\frac{VDD}{2} - 2\alpha < v_{tt} < \frac{VDD}{2} \quad (\text{식. 1})$$

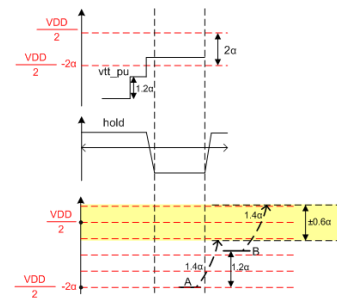


그림2. After ZQ calibration에 의한 vtt전압의 변화

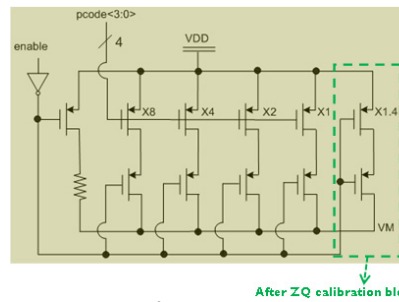


그림3. PMOS Array와 After ZQ calibration block

그림3. 은 PMOS Array에 추가로 After calibration 회로를 추가하여 vtt 전압을 강제로 1.4α 만큼 상승시키는 회로 block을 보여준다. 이 1.4α 만큼의 상승하는 값이 처음 의도적으로 크게 맞춘 Pull-up 저항 값을 교정하는 역할과 함께 더 정확한 hold 신호범위를 갖게 한다. (이때 Transistor의 size는 실제 상승 값을 예상하여 설계된 값이다.) enable 신호가 들어올 때 항상 저항 값을 형성하게 하면 그림2. 에 나타낸 것처럼 Pull-Up 저항은 RZQ 저항에 항상 ±0.6α 범위 안에 들어오게 된다. 기존 ±α 에 비해 quantization error가 줄어든 것을 볼 수 있다. 결과적으로 Pull-Up 저항이 RZQ 저항에 보다 가까운 값을 가지게 되고 ΔVM값도 줄어들게 된다.

III. Simulation 결과

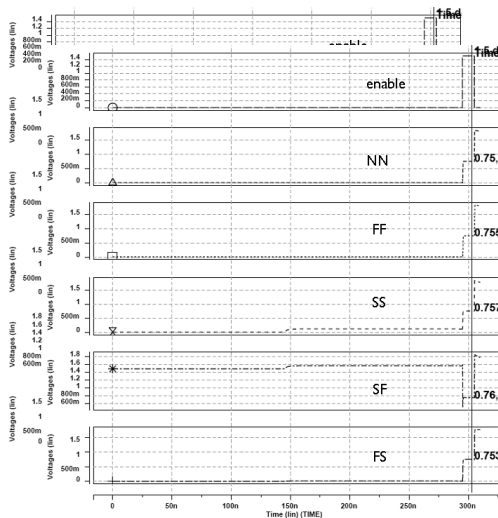


그림4. SKEW에 따른 ΔVM

실제 시뮬레이션 결과를 보면서 Pull-Up 저항과 RZQ 저항의 미스매치가 줄어들고 이에 따라 ΔVM값도 줄어든다. 지면관계상 결과는 ΔVM 값에 대한 것만 기재 하였다. SKEW 조건이 바뀌었을 때의 시뮬레이션 결과는 그림4. 와 같고, 표1. 에 이 결과를 정리하였다.

표1. SKEW조건에 따른 ΔVM값의 오차범위

SKEW	VM	ΔVM
tt	0.75V	0%
ff	0.747V	-0.4%
ss	0.748V	-0.27%
fs	0.76V	1.33%
sf	0.75V	0%

ΔVM 은 (식. 3)과 같다. 이상적인 VM 값은 VDDQ/2 값과 같다.

$$\Delta VM = \left(\frac{2 \times VM}{VDDQ} - 1 \right) \times 100 \quad (\text{식. 3})$$

IV. 결론 및 향후 연구 방향

기존의 디지털 ZQ Calibration 방식은 4Bit 구조로 간단하면서 오류가 적기 때문에 많이 이용하고 있다. 하지만 Digital 회로의 quantization error 가 필연적으로 발생한다. 이에 기존의 디지털 방식의 ZQ Calibration scheme에 교정 회로를 추가하여 RZQ 에 더 정확히 Pull-Up 저항을 맞춰주는 방법을 제안하였다. 제안된 회로가 소비하는 전력은 거의 같지만 훨씬 높은 정확도를 갖는 ZQ Calibration 방식이기에 활용도가 높다고 본다. 그림5. 는 68회 ICEC MPW설계공모전에 제출한 Layout이다. 향후 chip 수령후 더욱 정확한 physical test를 통한 자료를 바탕으로 실제 회로에 응용 가능하리라 본다.

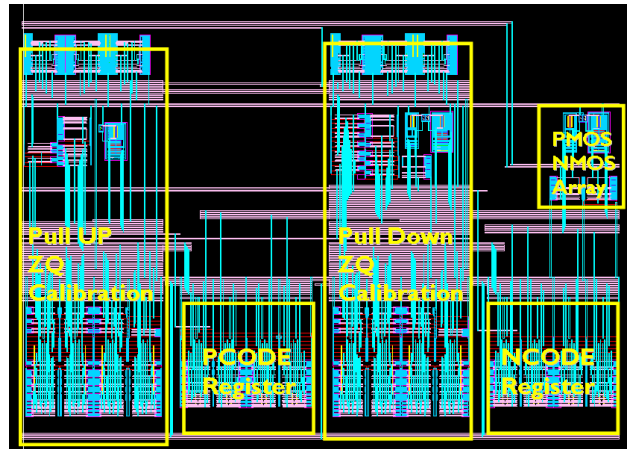


그림5. Samsung 0.18공정 Layout 설계

참고문헌

[1] Horowitz, M.; Chih-Kong Ken Yang; Sidiropoulos, S, "High-speed electrical signaling: overview and limitations," Micro, IEEE vol 18, Issue 1, pp.12-24 Jan.-Feb. 1998

[2] Nam-Seog Kim; Yong-Jin Yoon; Uk-Rae Cho; Hyun-Geun Byun, "Custom Integrated Circuits Conference, 2003. Proceedings of the IEEE 2003, pp.391-394, 21-24 Sept. 2003

[3] Harold Pilo, Darren Anand, "A 5.6ns Random Cycle 144Mb DRAM with 1.4Gb/s/pin and DDR3-SRAM Interface" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 38, NO. 11, NOVEMBER 2003

[4] Churoo Park, "A 512Mbit, 1.6Gbps/pin DDR3 SDRAM Prototype with CIO Minimization and Self-Calibration Techniques" 2005 Symposium on VLSI Circuits Digest of Technical Papers

[6] Tae-Hyoung Kim, "A High Resolution, WideRangeDigitalImpedanceControllerforHigh-speedS RAMInterface"2004 EEE Asia-Pacific Conference on Advanced System Integrated Circuits(AF'-ASIC2004)/ Aug. 4-5,2004