

CIO capacitance가 작은 analog ZQ calibration 의 설계

*박경수, 최재용, 채명준, 김지웅, 곽계달
 한양대학교 전자컴퓨터통신공학과
 e-mail : jjam09@paran.com, jjam09@hanyang.ac.kr

A design of analog ZQ calibration with small CIO capacitance

*Kyung-Soo Park, Jae-Woong Choi, Myung-Joon Chae, Ji-Woong Kim
 Kae-Dal Kwack
 Division of Electronics and Computer Engineering
 Hanyang University

Abstract

This paper proposes new analog ZQ calibration scheme. Proposed analog ZQ calibration scheme is for minimizing the reflection which degrade the signal integrity. And this scheme is for minimizing CIO capacitance. It is simulated under 1.5v supply voltage and samsung 0.18um process. Power consumption of proposed analog ZQ calibration circuit was improved by 32%. Under all skew, temperature from 30°C to 90 °C and Monte carlo simulation, quantization error of RZQ(=240Ω) is less than 1.07%.

I. 서론

DDR2 이후로 데이터 전송 속도가 빨라지고, 시스템이 집적화됨에 따라 PCB에 있던 종단 저항을 DRAM 내부회로로 생성하고 있다. ZQ calibration 은 이 종단 저항을 RZQ 저항에 가깝게 맞춰줌으로써 데이터 전송 중에 발생하는 특성임피던스 Z0와 riceiver 단의 입력 임피던스 사이의 차이로 인해 발생하는 반송파를 줄이므로해서 signal integrity를 개선 하는 역할을 한다[1]. 하지만 conventional ZQ calibration 방식은 SKEW, 온도 변화로 인해 생성된 Pull-Up 저항 과 RZQ 저항이 정확히 일치할 수 없고, 이러한 차이는 그대로 Pull-Down 저항 1쌍으로 구성되는 Rtt 저항이 원하는 저항 값과 차이가 나게된다. 또한 digital ZQ calibration 방식은 quantization error 를 가질 수밖에 없는데[2] 이를 개선하기 위해 dummy mos 저항을 추가로 달아 주어 quantization error 를 줄여주는 방식이 제안되기도 하였다[3]. 하지만 추가로 늘어난 dummy mos 저항과 그것을 control 하기 위한 논리 회로들이 추가되어 면적과 소비 전력면에서는 손해를 감수 해야했다. 또 다른 해결책으로는 analog ZQ calibration 방식이 있다 [4]. analog ZQ calibration 방식은 digital 방식에 비해 차지하는 면적은 훨씬 작고, 소비하는 전력이 적으면 서도 quantization error가 구조적으로 없기 때문에 RZQ 저항에 더 정확히 일치 시킬수 있다. 하지만 실 시간으로 만들어서 써야 하는 analog 방식은 데이터 전송 속도가 빨라짐에 따라 ZQ calibration 에 주어지는 시간이 점차 줄어들어 실제 사용할 수가 없다. 이에 본 논문에서는 analog 방식에 sample & hold 회로

를 추가하여 ,사전에 필요한 analog 전압값을 저장하였다가 필요할 때 enable 신호를 통해 불러다 쓰는 방법을 제안하였다.

II. 제안된 ZQ calibration의 원리

Conventional ZQ calibration 방식은 그림2.(a) 처럼 vtt 전압이 식 1의 범위 일 때 hold 신호를 출력하고 그때 카운터에 저장된 code 를 레지스터에 저장후 필요할 때 불러다 쓴다. 하지만 온도, SKEW 조건에 따라 Pull-Up 저항이 RZQ 저항에 일치하지 않았을 경우에도 hold 신호를 출력하는 경우가 발생한다. 그런데 이 error 값을 conventional ZQ calibration 방식으로는 교정 할 수 없다.

$$\frac{VDD}{2} - \alpha < vtt < \frac{VDD}{2} + \alpha \quad \text{식 1}$$

제안된 analog ZQ calibration 은 그림 1, 그림2.(a) 처럼 Pull-Up analog 저항을 RZQ에 우선 맞춰놓고 Pull-Down을 dummy Pull-Up 에 맞춘다. 이과정에서 찾은 analog 전압값을 sample & hold 회로에 저장하였다가, 필요할 때 enable 신호를 인가하여 불러다 쓰게된다. 이방법을 통해 앞서 언급된 analog ZQ calibration 의 문제를 해결할수 있다. 표1 에는 제안된 analog ZQ calibration 의 동작을 정리해 놓았다.

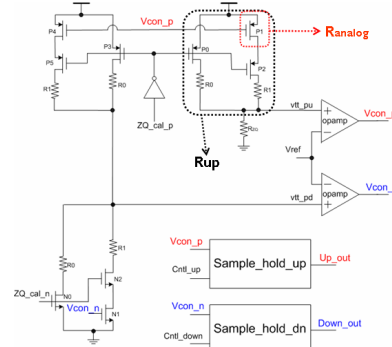


그림 1. 제안된 회로의 개념도

표 1. 제안된 analog ZQ calibration 의 동작

Rup > RZQ	vtt < vref	Vcon_p ↓	Ranalog ↓	Rup ↓
Rup < RZQ	vtt > vref	Vcon_p ↑	Ranalog ↑	Rup ↑

그림 3은 제안된 analog ZQ calibration 의 블록을

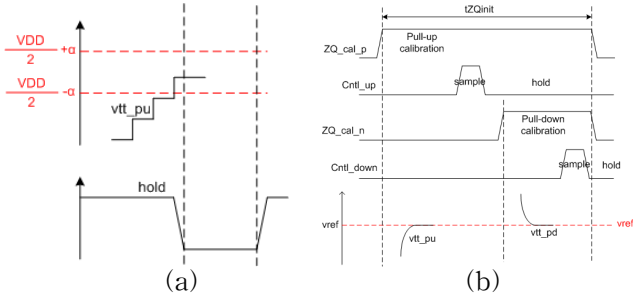


그림 2. ZQ calibration 진행 과정. (a) conventional ZQ calibration (b) 제안된 analog ZQ calibration

나타내고 있다. 표2 에는 digital 과 analog ZQ calibration을 quantization error, C10 array수, chip 면적 등을 통해서 비교해 보았다. 제안된 analog ZQ calibration을 사용하면 quantization error 와 C10 array 수를 동시에 줄일수 있다.

표 2. Digital, analog ZQ calibration 의 비교

ZQ type	quantization error	C10 array 수	Chip 면적
Digital	±α	5	-
Analog	0	2	감소(≈45%)

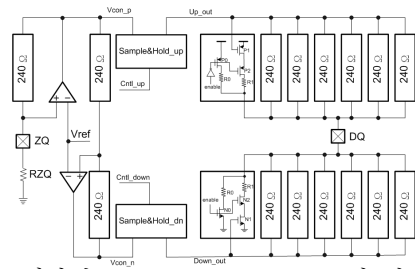


그림 3. 제안된 analog ZQ calibration의 전체 블럭도

III. 시뮬레이션 결과

제안된 analog ZQ calibration 은 삼성 0.18um 공정을 사용하여 30°C, 45°C, 60°C, 75°C, 90°C의 온도, NN SKEW에서 각각 시뮬레이션을 하였다. 식2를 통해 Rup 과 RZQ 가 정확히 일치하기 위해서는 vtt 전압이 0.5VDD 가 되어야함을 알 수 있다. 식3은 Rup 이 RZQ 에 정확도 맞춰진 정도를 나타내기 위하여 정의 하였다.

$$R_{pu} = \frac{R_{ZQ} \cdot (VDD - vtt)}{vtt} \quad \text{식 2}$$

$$dR_{tt} = \frac{|R_{pu} - R_{ZQ}|}{R_{ZQ}} \cdot 100 \quad \text{식 3}$$

그림 4,5 는 각각 conventional ZQ 와 제안된 analog ZQ calibration 의 시뮬레이션 결과이고, 표3에 결과를 정리 하였다. 제안된 analog ZQ calibration을 사용하면 1.07% 이내의 정확도를 갖는다. 이는 conventional 방법보다 약 29.4% 개선된 결과이다.

IV. 결론 및 향후 연구 방향

본 논문에서는 새로운 analog ZQ calibration 방법을 제안하였다. 삼성 0.18um 공정을 사용하여 30°C ~ 90°C 온도범위와 NN SKEW 조건에서 시뮬레이션한

결과 제안된 analog ZQ calibration 이 convention ZQ calibration 보다 29.4% 개선된 정확도를 얻었다. 하지만 제안된 analog 저항의 경우 Vcon_p 의 값에 영향을 많이 받는다. 이전업은 Sample & Hold 회로에 저장후 필요할 때 불러다 쓰기 때문에 향후 Sample & Hold 회로안의 opamp 입력단의 offset 제거회로에 대한 추가 연구가 필요하다.

Acknowledgements

본 연구는 한국소프트웨어진흥원 에서 주관하는 IT SoC 핵심 설계인력 양성 사업의 지원을 받았습니다.

참고문헌

- [1] Horowitz, M.; Chih-Kong Ken Yang;Sidiropoulos, S, "High-speed electrical signaling: overview and limitations," Micro, IEEE vol 18, Issue 1, pp.12-24 Jan.-Feb. 1998
- [2] Nam-Seog Kim; Yong-Jin Yoon; Uk-Rae Cho; Hyun-Geun Byun, "Custom Integrated Circuits Conference, 2003. Proceedings of the IEEE 2003,pp.391-394 ,21-24 Sept. 2003
- [3] Kyoung-Hoi Koo; Soo-Kyung Lee; Jin-Ho Seo; Myeong-Lyong Ko; Jae-Whui Kim, "A versatile I/O with robust impedance calibration for various memory interfaces," Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on 21-24 May 2006 Page(s):4 pp.
- [4] Yongping Fan; Smith, J.E, "On-die termination resistors with analog impedance control for standard CMOS technology," IEEE J. solid-state circuit, vol 38, Issue 2, pp.361-364, Feb. 2003

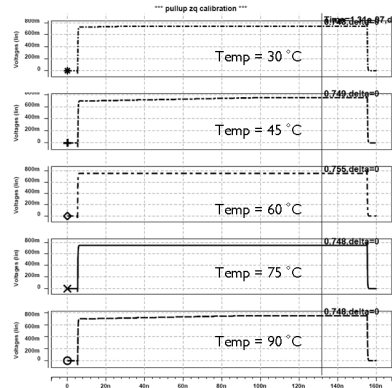


그림 4. Conventional ZQ calibration의 시뮬레이션

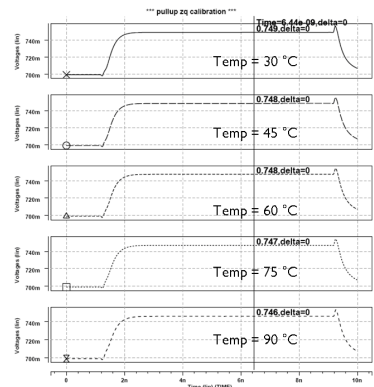


그림 5. 제안된 analog ZQ calibration의 시뮬레이션