

고속 통신용 4B 1.6GSample/s 플래시 A/D 변환기

*조순익, 김석기
 고려대학교 전자전기공학부
 e-mail : sicho@ulsi.korea.ac.kr, skkim@korea.ac.kr

A 4B 1.6GSample/s Flash A/D converter for high speed data transmission

*Soon-Ik Cho, Suki Kim
 *School of Electrical Engineering
 Korea University

Abstract

We propose a 4-bit 1.6GSample/s flash-A/D converter realized in a digital 0.18um 1-poly 4-metal CMOS technology. To achieve low power with good performance, we employ immanent C2MOS comparator scheme. The kickback noise is one of the most important issue in A/D comparator performance. To decrease the effect of kickback noise, here we introduce kickback neutralization technique. The designed A/D converter has an effective number of bits(ENOBs) of 3.93 while using 32mW operating at 1.6GHz.

I. 서론

그림 1에 전체 A/D 변환기의 블록도가 나와 있다. 받아들여진 두 차동 신호는 레퍼런스에서 나오는 15개의 비교 전압과 비교되어진 후, 비교기를 통해 high, low 값을 갖게 되고 bubble error correction을 거쳐 최종 quasi-gray encoding을 통해 4비트의 디지털 값으로 출력된다.

각 stage에서는 stage 내부의 matching 문제를 고려하여 양쪽 끝 부분에 더미를 추가해주어 여러 오차들 등에 의한 영향을 최소화해 주었다.

II. 본론

2.1 Kickback neutralization technique

그림 2에 본 A/D 변환기에 사용된 비교기가 나와 있다. 일반적인 비교기의 입력단에 사용되는 pre-amplifier는 뒷단의 latch에서 사용되는 clock에 의해 영향을 받게 된다. 이는, latch로 들어가는 clock 신호가 MOS의 기생 캐패시턴스를 타고 pre-amplifier의 입력 drive MOS의 gate 신호에 영향을 주기 때문이다. 이러한 현상을 Kickback이라 하며 본 설계에서는 이러한 영향을 줄여주기 위해 kickback neutralization이라는 기법을 사용해주었다.

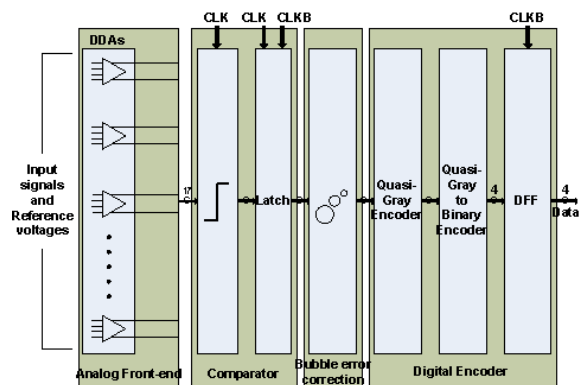


그림 1 전체 4bit A/D 변환기의 블록도

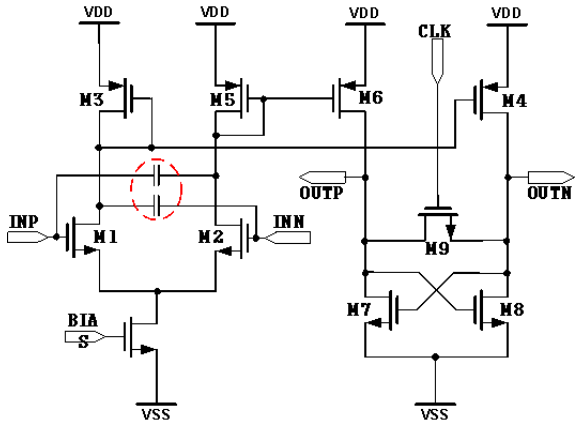


그림 2 설계된 A/D 변환기에 사용된 비교기 그림 2에 도시된 것과 같이 본 설계에 사용된 비교기의 pre-amplifier 부분에 추가적인 캐패시턴스 성분들을 추가해주어 뒷단의 latch에서 생기는 kickback에 의한 영향을 최소화해 주었다. 실제 설계에는 MOS를 이용한 캐패시턴스를 넣어주어 같은 효과를 갖도록 하였다.

2.2 Immanent C2MOS scheme

그림 3은 본 설계에 사용된 C2MOS 비교기 scheme을 설명해주고 있다. 본 비교기는 regeneration latch의 뒤에 C2MOS를 갖는 형태를 띠고 있다.

이러한 구조를 가짐으로서 여러 가지 장점들을 얻을 수 있다. 우선, C2MOS가 clock의 overlap이나 skew에 무관하기 때문에 고속에서의 clock의 edge 타이밍이 어긋나는 현상에 의한 샘플링 오차를 없애줄 수 있다. 게다가 일반적으로 regeneration latch 뒤에 SR latch나 flip-flop을 사용하는 구조보다 간단하게 구현할 수 있다는 장점을 가지며, 이로 인한 소모 전력, 면적의 감소를 얻을 수 있다. 또한, C2MOS의 두 인버터는 서로 다른 clock phase에 동작하기 때문에 latch에서 생길 수 있는 metastable condition에 의한 영향을 받지 않게된다.

III. Simulation results

표 1에 설계된 A/D 변환기의 성능이 표로 정리되어 있다. 1.6GHz의 clock을 사용한 simulation에서 780MHz의 주파수를 갖는 입력 신호를 넣어주었을 경우 설계된 A/D 변환기는 32mW를 소모하면서 25.4dB의 SNDR을 갖는다는 것을 확인할 수 있었다.

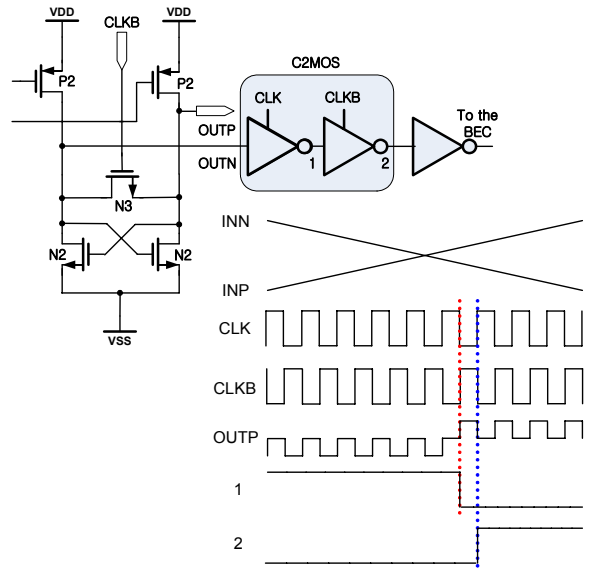


그림 3 사용된 C2MOS scheme

Resolution	4 bit
Sampling Rate	2.5GSample/s
ENOB	3.93 bit @ Fin= 780MHz
SNDR	25.4dB @ Fin= 780MHz
Power Consumption	32mW @ Fin= 780MHz
Supply Voltage	1.8V
Technology	0.18um 1 Poly 4 Metal CMOS

표 1 설계된 A/D 변환기의 성능 요약

IV. 결론

설계된 A/D 변환기는 Kickback neutralization technique과 Immanent C2MOS scheme을 사용하여 높은 clock 주파수와 Nyquist 입력 신호에서 전력을 적게 소모하면서도 뛰어난 성능을 갖는다는 것을 확인할 수 있다.

참고문헌

- [1] Soon-Ik Cho, Suki, Kim, Shin-II Lim, Kwang-Hyun Baek. "A 6-bit 2.5GSample/s Flash ADC using Immanent C2MOS Comparator in 0.18um CMOS", International Symposium on Circuits and Systems 2007, pp. 3379-3382.
- [2] Pedro M. Figueiredo and Joao C. Vital, "Low kickback noise techniques for CMOS latched comparators" International Symposium on Circuits and Systems 2004, pp. 537-540.

* 본 논문은 IT-SoC 인력양성사업 설계실습프로젝트의 지원으로 이루어졌음을 알려드립니다.