

# WLAN용 10비트 40MS/s 0.13 $\mu$ m 파이프라인 A/D 변환기

\*박현목, \*조성일, \*\*\*윤광섭  
 인하대학교 전자공학과

e-mail : hmpark@inhaian.net, sungilc79@inhaian.net, ksyoon@inha.ac.kr

10bits 40MS/s 0.13 $\mu$ m Pipelined A/D Converter for WLAN  
 \*Hyun-Mook Park, \*Sung-Il Cho, \*\*\*Kwang-Sub Yoon  
 School of Electrical Engineering  
 Inha University

## Abstract

In this paper, I proposed 10bits 40MS/s Pipelined A/D converter. The op-amps for SHA and MDAC designed folded-cascode amplifier with gain-booster. And the MOS transistors with a low threshold voltage are employed to low on-resistor and parasitic capacitance. The power dissipation is 119mW at 1.2V and 40MS/s

## I. 서론

오늘 날 무선 통신 시스템은 아날로그 전자기술을 주도해 왔으며, 저전력 소모가 최대 관심 사항이다. 특히 그에 필요한 고성능 A/D변환기의 중요성이 커지고 있다. 파이프라인 A/D 변환기는 고속의 데이터를 대량으로 처리하고 저전력 및 소면적의 조건을 최적화할 수 있는 구조이다.

본 논문에서는 10비트의 해상도를 가지면서 1.2V 전원 전압에서 동작하는 40MS/s 0.13 $\mu$ m 파이프라인 A/D 변환기를 설계하였다.

최근 발표된 파이프라인 A/D 변환기의 FOM(Figure of Merit)를 그림 1에서 비교 평가하였다.[1-3]

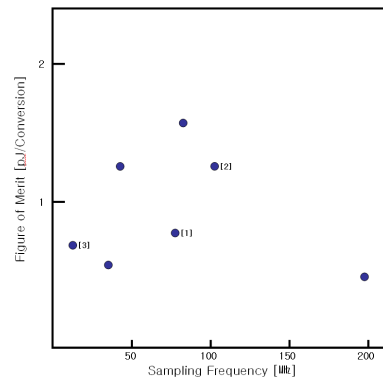


그림 1. 1.5비트/스테이지 파이프라인 A/D 변환기의 샘플링 속도 및 전력 소모 비교

## II. 파이프라인 A/D 변환기 설계

### 2.1 파이프라인 A/D 변환기 구조

파이프라인 A/D 변환기는 10비트 CMOS A/D의 전체 구조는 그림 2와 같다.

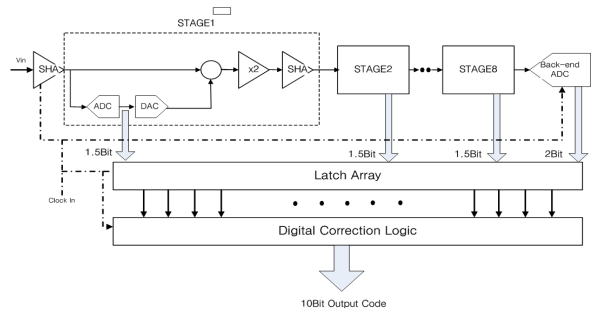


그림 2. 파이프라인 A/D 변환기의 구조

파이프라인 A/D 변환기는 크게 샘플 앤 홀드 증폭기(sample and hold amplifier)와 1.5비트의 8개의 스테이지와 2비트의 플래시 A/D 변환기, 디지털 보정회로(DCL), 비중첩 클럭으로 구성되어 있으며,[4][5] 각 스테이지는 sub-ADC와 sub-DAC, 감산기, 그리고 잔류 전압을 증폭하는 증폭기로 구성되어 있다.

### 2.2 파이프라인 A/D 변환기 구현

본 논문에서 SHA와 MDAC 회로는 폴디드 캐스코드(folded-cascode) 구조의 연산 증폭기로 구현하였다. 또한 한 1.5비트의 한 스테이지가 갖는 선형성이 줄어드는 단점을 보완하고자 이득-향상기(Gain-booster)를 추가 설계하였다. MDAC의 sub-ADC는 플래시 A/D 변환기로 구현하였다.

또한 입력 샘플링 스위치에는 낮은 문턱 전압을 갖는 NMOS와 PMOS 소자를 사용하여 온-저항과 기생 캐패시턴스 성분을 줄였다.

## III. 모의실험 결과

회로의 설계와 모의실험은 HSpice를 이용하였으며, 모의 실험결과 그림 3과 같이 입력주파수 0.5MHz에서 SFDR과 유효비트 수는 각각 74.9dBc와 9.2비트를 나타내었다. 또한 입력 주파수에 따른 유효비트 수는 그림 4와 같다.

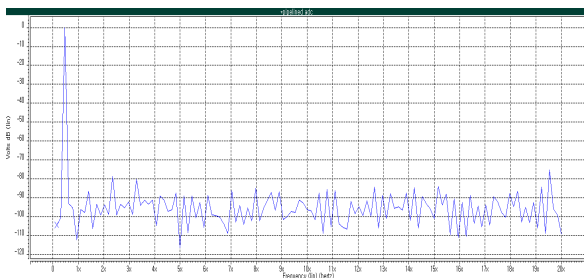


그림 3. FFT 결과 파형

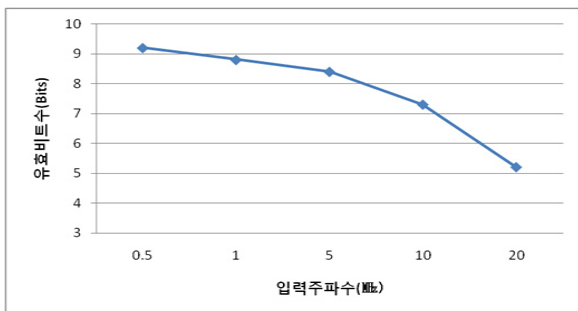


그림 4. 입력주파수에 따른 유효비트 수

## IV. 결론

본 논문에서는 무선 랜용 10비트 40MHz 파이프라인 A/D 변환기를 구현하였다.

1.2V의 전원 전압에서 40MS/s의 샘플링 속도로 동작시켰을 때 119mW의 전력을 소모하였으며 약 9.2비트의 유효비트를 나타내었다. 설계된 A/D 변환기의 성능은 표 1에 요약하였다.

표 1. 성능 요약

	Simulation result
Sampling rate	40 Mhz
Supply voltage	1.2 V
Input Range	1Vp-p
SFDR	74.9 dBc (@Fin=0.5MHz)
ENOB	9.2 bits (@Fin=0.5MHz)
Power dissipation	119mW
FOM	5.06pJ/Hz
Process	CMOS n-well 0.13μm

## 참고문헌

- [1] B. M. Min, P. Kim, D. Boisvert, and A. Aude, "A 69mW 10b 80MS/s pipelined CMOS ADC." ISSCC Dig. Tech. Papers, Feb. 2003, pp.324-325
- [2] Bogner. P, Kuttner. F, Kropf. C, Hartig. T, Burian. M, Hermann Eul, "A 14bit 100MS/s digitally self-calibrated pipelined ADC in 0.13/spl mu/m CMOS", ISSCC, Feb. 2006, pp. 832-841
- [3] D. Kurose, T. Ito, T. Ueno, T. Yamaji, and T. Itakura, "55-mW 200-MSPS 10-bit pipelined ADCs for wireless receivers," in Proc. Eur. Solid-state Circuits Conf., Sept. 2005, pp. 527-530.
- [4] Lewis, S.H. and Gray, P.R., "A pipeline 5MSps 9bits analog-to-digital converter," IEEE JSSC, vol. SC-22, pp.954-61, Dec 1987.
- [5] C. R. Grace; P. J. Hurst; Stephen H. Lewis, "A 12-bit 80-MSample/s Pipelined ADC With Bootstrapped Digital Calibration," IEEE J. Solid-State Circuits, vol. 40, no. 5, May, pp. 1038-1046, 2005