

Zero Cross Detection Power Factor Correction IC 설계

*서길수, 김형우, 김기현, 박현일, 김남균, 박주성
 한국전기연구원, 부산대학교
 e-mail : ksseo@keri.re.kr, hwkim@keri.re.kr

Design of Zero Cross Detection Power Factor Correction IC

Kil-Soo Seo, Hyung-Woo Kim, Ki-Hyun Kim, Nam-Kyun Kim, Ju-Sung Park
 Korea Electrotechnology Research Institute, Pusan University

Abstract

In this paper, we design and implement the monolithic zero crossing detection power factor correction IC using a high voltage 30V BCD process. The ZCD PFC IC is designed for power applications, such as notebook, LCD monitor, etc. It includes power factor correction function and several protection circuit, regulator, high-voltage high current output drivers. And also, the designed IC has restart timer function which the output pulse is generated if the output signal of IC is not in a 200us. The simulation results show that the designed IC acts properly as power factor correction IC with efficient protective functions.

I. 서론

최근 백색가전기 및 사무기기의 급속한 보급으로 스위칭 전원장치도 이미 널리 확대되고 있다. 그러나 스위칭 전원장치로 인한 전자환경은 더욱 열악해지고 있다. 이에 IEC1000-3-2의 규격 강화에 따라 스위칭 전원장치의 전단에는 역률개선 및 THD(Total Harmonic Distortion)를 최소화 하도록 능동형 또는 수동형 PFC 기능을 탑재하도록 하고 있다.

본 논문에서는 IEC1000-3-2에서 규정하는 역률 및 고조파규격을 만족시키기 위한 방법으로서 PFC 컨버터를 스위칭 전원장치의 전단에 부착한다. 이러한 PFC 컨버터는 제어 방법에 따라 전류 불연속모드 제어, 전류 연속모드 제어로 나누어진다. 이중 전류 연속모드 제어의 가변 주파수 방식인 ZCD(Zero Cross Detection) PFC 방식 IC 설계에 대하여 기술하였다. ZCD PFC IC 제작을 위한 공정은 30V 고내압 CMOS 0.8 μ m 공정을 이용하여 설계하였다. 설계된 ZCD PFC IC는 power MOSFET 직접 구동, 출력 피크 전류는 source 500mA, sink 1000mA, FB 단자가 개방 또는 단락 되었을 때 보호회로, UVLO(Under

Voltage Lockout), 과전압 보호회로 및 restart 타이머를 탑재하였으며, 패키지는 DIP-8 또는 SOP-8이다. 설계된 ZCD PFC IC를 이용한 PFC 컨버터의 동작특성, ZCD PFC IC의 내부 구성회로 및 이를 이용한 PFC 컨버터의 설계에 대해서 기술하였다.

II. ZCD PFC IC 설계 및 simulation

2.1 PFC 컨버터의 동작특성

본고에서 제안한 ZCD PFC IC는 boost type topology의 컨버터의 역률을 제어하는 칩으로서 제어 방법은 CCM(Critical Conduction Mode)로 동작하는데 두가지 (1) 스위칭 동작과 (2) PFC(Power Factor Correction) 동작으로 나누어 생각할 수 있다.

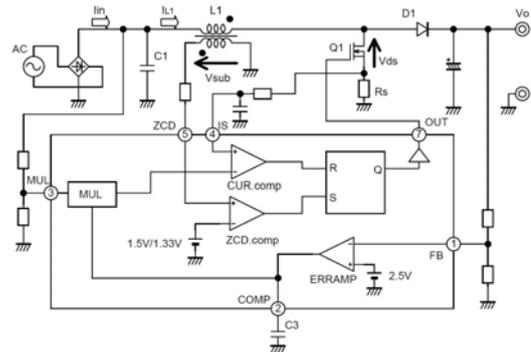


그림 1 PFC 컨버터 회로의 개략도
 Fig. 1 Outline of PFC converter circuit

실제 회로에서는 IC 내부는 MUL의 정현파로 제어하게 된다. C3에 연결된 COMP 단자전압은 오차증폭기의 출력 전압으로서 정상상태에서는 거의 변동이 없는 DC 전압으로 나타나며, 곱셈기의 입력으로 들어가게 되고, MUL 단자는 곱셈기의 다른 입력단으로 AC 라인의 정류된 전압 파형이 입력되게 된다. 결과적으로 곱셈기는 AC 라인 전압에 비례하는 두 개의 입력의 곱으로 나타나게 된다. 인덕터 전류는 피크값의 포락선(envelope)이 정현파를 추종하는 삼각파(triangular)로 나타난다.

2.2 ZCD PFC IC의 내부 구성 회로

ZCD PFC IC의 내부 구성회로는 크게 주 기능인 PFC를 담당하는 부분과 IC의 단자 또는 보호기능 및 전압을 공급하는 레귤레이터로 나눌 수 있다. 주 기능을 담당하는 기능 블록은 내부오차증폭기, 곱셈기, 전류검출 비교기, 전류 0점 검출기 및 출력 구동부가 있으며, IC의 보호기능 부분으로서 과전압 제한회로, FB단자의 개방 또는 단락시 보호회로, 경부하시 보상회로, 리스타트 타이머, UVLO(Under Voltage Lockout)등이 있다.

오차 증폭기는 PFC 컨버터 출력이 일정하게 제어하기 위해 오차 신호를 trans-conductance형 증폭기이다. 오차 증폭기의 입력단에 비반전 입력과 2.5V(typ.) 기준전압이 연결되고 나머지 반전 입력 FB 단자로 접속된다. PFC 컨버터의 출력전압은 저항으로 분압하여 FB 단자로 입력된다. 오차증폭기의 출력은 곱셈기의 입력으로 연결되고 곱셈기 동작범위에 따라 정상 동작상태의 오차 증폭기의 출력전압은 2.04~3.54V(typ.)이다.

곱셈기는 입력전류가 정현파가 되도록 제어하는 회로로서 입력의 하나는 MUL pin에 연결되어 있다. 곱셈기의 동작 범위로 정상동작할 때 MUL 단자에 인가된 피크 전압은 2.5V 이내로 제어되어야 한다.

제안하는 IC는 주파수 발진기를 내장되지 않았으며, 인덕터 전류의 0점을 검출하는 ZCD(Zero Cross Detector) 회로로 MOSFET을 on/off하는 CCM 방식으로 동작하도록 설계하였다. ZCD 핀으로 검출된 Vsub 전압이 (+)이면 MOSFET은 off 하게 된다. 인덕터 전류가 0에 도달하면 보조 권선 전압은 급속히 떨어지고 ZCD.comp는 검출해서 RS 플립플롭을 set 시켜 MOSFET을 on 시킨다. 보조 권선의 전압은 입력/출력 전압에 따라 크기 변화하고 전압 변동에 대해 IC를 보호하기 위해 upper limit 7.6V(typ.), lower limit 0.6V(typ.)인 클램프 회로를 내장하고 있다.

MOSFET이 on되면 (-) 전압이 보조권선에 발생하므로 클램프 회로에서 전류가 흘러 나오고 ZCD pin 전압은 0.6V(typ.) 클램프 된다. 반면에 MOSFET off되면 (+) 전압이 보조권선에 발생해 전류는 클램프 회로로 흘러 들어가고 ZCD pin 전압은 7.6V(typ.)로 클램프 된다.

출력회로는 push-pull 출력 스테이지로 구성되며 MOSFET을 직접 구동할 수 있다. 출력 피크 전류는 sink 1.0A(max), source 0.5A(max)이다.

PFC 출력전압이 설정된 전압의 초과를 방지하기 위해 과전압 제한회로를 내장하였다. 과전압 제한 회로는 기준전압의 1.09배인 문턱전압을 가진 비교기(OVP)로 구성된다. 정상동작시 FB단자 전압은 거의 2.5V로서 기준전압 VREF와 거의 같다. PFC 컨버터 출력전압이 정상동작 전압 이상이 되어 FB단자 전압이 OVP 비교기의 문턱전압에 도달하게 되면 OVP 비교기는 low 신호를 출력하고 출력펄스를 중단시킨다. 출력전압이 정상상태 전압으로 돌아가면 출력펄스는 다시 재개한다.

개방/단락 보호회로는 만일 FB단자가 전압 배분 저항 R2의 short circuit 사고 또는 R1의 개방으로 인하여 PFC 출력전압을 모니터 할 수 없게 되면 PFC 출력전압이 비정상적으로 상승하게 된다. 이를 방지하기 위한 FB 단자의 개방/단락 보호회로는 문턱전압 0.3V(typ.)를 갖는 비

교기(SP)로 구성된다. R2저항의 단락 또는 R1저항의 개방으로 인하여 FB전압이 0.3V(typ.)이하로 떨어지면 비교기(SP)의 출력이 low state로 바뀌며 출력 펄스를 중단시키게 하였다.

리스타트 타이머는 정상상태에서는 ZCD 회로가 MOSFET을 turn 할 수 있도록 각 스위칭 사이클마다 set 신호를 발생하지만, 경부하 조건에서 스타트 또는 안정적인 동작을 하려면 트리거 신호를 필요로 한다. 만일 출력 펄스가 200us 또는 그 이상의 시간동안 발생하지 않으면 자동적으로 트리거 신호를 발생한다.

부족전압 lockout 회로는 공급전압이 떨어지면 IC의 동작이 발생할 수 있는 데, 이를 방지하기 위해 under voltage 회로를 채택하였으며, 동작전압범위는 11.5V(typ.)에서 13V(typ.)이며, IC가 동작 후에 9V(typ.)이하로 떨어지면 동작을 멈춘다. UVLO가 동작하면 OUT단자에는 low state를 유지하며 소비전류는 20uA이하로 감소한다.

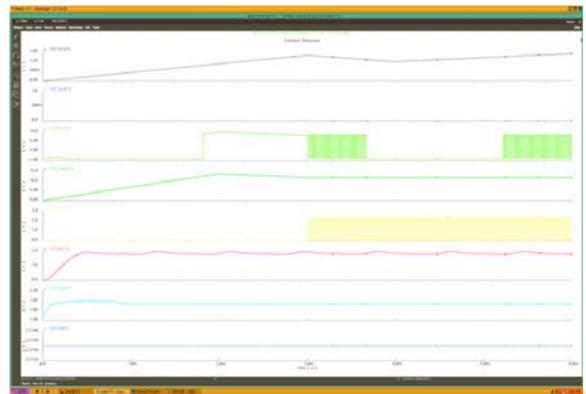


그림 2 ZCD PFC IC의 동작 파형
Fig. 2 Waveform of ZCD PFC IC

III. 결론 및 향후 연구 방향

본 논문에서는 30V 고내압 CMOS 0.8μm 공정을 이용해 전류 연속모드 제어의 가변주파수 방식인 ZCD PFC IC를 설계하였고, Cadence Spectre simulator를 이용하여 역률 보정기능, 각종 보호회로 및 restart 타이머가 잘 동작하는 것을 확인하였다.

향후 30V 고내압 CMOS 0.8μm 공정으로 제작후 IC 특성 시험 및 test bench에 탑재하여 성능을 시험할 예정이다. 패키지는 DIP-8 또는 SOP-8이다.

참고문헌

[1] Regan Zane and Dragan Maksimovic, "A Mixed-mode ASIC Power-Factor-Correction(PFC) Controller for High Frequency Switching Rectifiers", IEEE.Trans. PE., pp. 117-122, 1999.
[2] 김형우 외, "전원장치용 Power Factor Correction IC 설계", 대한전기학회 하계학술대회, pp. 1954-1956, 2005.