

고전압 발생을 위한 스택 구조의 DC - DC boost 변환기

김영재, 남현석, 안영국, 노정진
한양대학교 전자전기제어계측공학부
e-mail : clementj@hanyang.ac.kr, namstein@hanyang.ac.kr,
helloby@hanyang.ac.kr, jroh@hanyang.ac.kr

High voltage DC - DC boost converter by stacked structure

Youngjae Kim, Hyunsuk Nam, Youngkook Ahn, Jeongjin Roh
School of Electrical and Computer Engineering
Hanyang University

Abstract

In this paper, high voltage DC- DC boost converters by stacked structure of power transistors are proposed. These stacked power transistors are tolerant to output voltage higher than the process limit for individual CMOS transistors. The proposed circuits were designed in a standard 3.6V, 0.13 μ m.

I. 서론

DC -DC boost 변환기 회로의 CMOS는 boost 변환기의 출력전압을 견딜 수 있어야 한다. 그러나 요즘 CMOS 공정은 높은 집적도와 파워소모를 보다 더 적게 하기 위해서 deep sub micron (DSM) CMOS 공정을 사용하고 있으며 이러한 DSM CMOS는 낮은 전압의 공정제한을 갖게 된다. 3.6V, 0.13 μ m 공정에서는 boost 변환기의 출력전압 역시 3.6V까지밖에 올라가지 못하게 되어 굉장히 제한된 범위의 제품의 파워구동회로에 쓰이게 된다. 3.6V 이상의 출력전압을 가지는 boost 변환기를 만들려면 추가적인 고전압 CMOS 공정이 필요하게 되고, 이것은 집적도와 비용 면에서 증

가시킨다. 따라서 본 논문에서는 추가적인 고전압 CMOS 공정 없이 V_{max} (트랜지스터의 노드와 노드 사이가 최대로 견딜수 있는 공정제한 전압, 본 논문의 공정에서는 3.6V) 보다 높은 boost 변환기 출력 전압을 내기 위해 스택 구조의 boost 변환기를 설계 하였다.

II. 본론

그림1은 공정상 V_{max} 의 2배에 가까운 출력전압을 생성해낼 수 있는 파워 트랜지스터가 스택구조인 DC-DC boost 변환기를 보여주고 있다. MN2와 MP2의 게이트 전압은 똑같이 mbias 전압으로 되어 있다. MN1, MP1은 드라이버 회로에 의해 컨트롤 한다. MN1이 켜지고 MP1이 꺼질 때는 SW, V_x 를 ground에 연결시킨다. 따라서 mbias는 V_{max} 보다 작아야 한다. 반대로 MN1이 꺼지고, MP1이 켜졌을 때는 SW, V_y 를 boost 변환기 출력전압 (V_{out})에 연결시킨다. MN2, MP2는 MN1과 MP1이 각각 꺼졌을 때 V_x , V_y 전압을 제한시켜주는 역할을 하게 된다. MN2는 MN1이 꺼졌을때 V_x 를 mbias- V_{tn} 으로 제한한다. 이때 SW가 V_{out} 이기 때문에 $V_{out}-(mbias-V_{tn}) < V_{max}$ 가 되어야 한다. mbias < V_{max} 인 조건에서는 V_{out} 이 최대 $2V_{max}-V_{tn}$ 이 되어도 MN1, MN2 모두 공정제한 전

압에서 벗어나지 않게 된다. 반대로 MP2는 MP1이 꺼졌을 때 V_y 를 $m_{bias}-V_{tp}$ 으로 제한한다. 역시 $m_{bias} < V_{max}$, $V_{out} < 2V_{max}-|V_{tp}|$ 인 조건에서는 MP1, MP2 모두 공정제한 전압에서 벗어나지 않고 동작하게 된다.

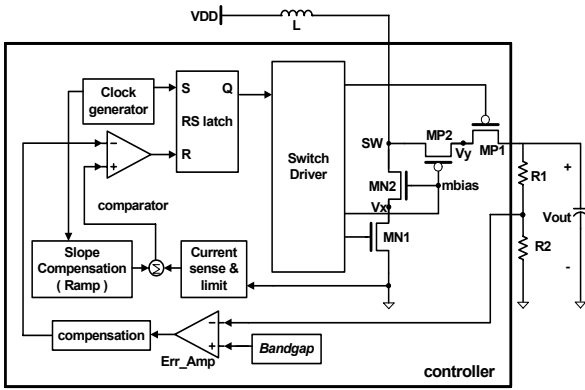


그림1. 스택구조의 DC-DC boost 변환기

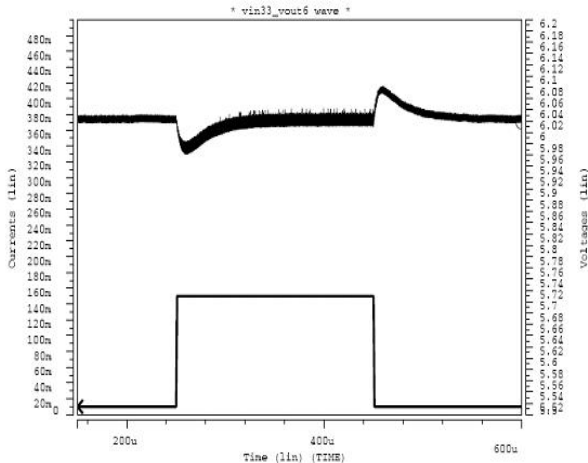


그림2. 로드전류 변화에 대한 출력전압 변화

III. 구현

MN2, MP2의 게이트 전압은 하나의 전압 (m_{bias}) 으로 하여 필요한 기준 전압을 2개에서 하나로 줄이고 $m_{bias} = 1/2 V_{out}$ 으로 간단히 하였다. MN1의 게이트 최대전압은 입력전압인 VDD로 하고, MP1의 게이트 최대전압은 V_{out} 로 하여 필요한 기준전압을 최소로 하였다. 따라서 MN1 게이트 전압레벨은 ground와 VDD 사이이고, MP1 게이트 전압레벨은 레벨 시프터를 사용하여 V_{out} 과 m_{bias} 사이에서 동작하게 하였다. $V_{tn}=|V_{tp}|=V_t$ 로 가정을 하면, V_{out} 의 최대값은 $2V_{max}-V_t$ 가 된다.

본 논문의 고전압 발생을 위한 스택 구조의 DC-DC boost 변환기는 $0.13\mu m$ standard CMOS공정으로 설계하였다.

그림 2는 로드 전류변화에 따른 출력 전압 변화를 시뮬레이션 측정된 결과이다. 테스트 조건으로 입력전압은 3.3V인가하였고 출력전압은 6V로 하였다. 이때 사용된 inductor의 크기는 4.7uH, capacitor는 $10\mu f$ 을 사용하였고 로드 전류는 10mA- \rightarrow 150mA- \rightarrow 10mA로 순간적인 변화를 주었다. 시뮬레이션 파형에서 보이듯 출력전압은 순간적인 로드 전류 변화에도 불구하고 안정된 출력전압을 유지하는 것을 확인할 수 있다.

IV. 결론 및 향후 연구 방향

본 논문에서는 standard CMOS 공정보다 더 높은 출력전압을 생성해도 공정제한전압에 벗어나지 않는 current-mode DC-DC Boost 변환기를 설계하였다. 설계된 변환기의 peak efficiency가 약 94%이고, 1~1.2MHz의 동작 주파수를 가진다.

표 1. Performance of DC-DC boost converter

Technology	0.13 μm
Switching frequency	1~1.2MHz
Efficiency	Max 94%
Input voltage range	2~3.6V
Output voltage range	~6V
Quiescent current	310 μA

감사의 글

이 논문은 2008년도 정부(교육과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행된 연구임 (No. R01-2008-000-11056-0)

참고 문헌

1. Rocha. J, Santos. M, Costa. J.M.D., Lima. F "High Voltage Tolerant Level Shifter DCVSL in Standard Low Voltage CMOS Technologies" Industrial Electronics, 2007. ISIE 2007. IEEE International Symposium on 4-7 June 2007
2. R. W. Erickson and D. Maksimovic, *Fundamentals of Power Electronics*. Norwell, MA: Kluwer, 2001.