

전류 부정합을 줄인 새로운 전하 펌프

이 재 환, 정 향 근

전북대학교 전자공학과

New Charge Pump for Reducing the Current Mismatch

Jae Hwan Lee and Hang Geun Jeong

Department of Electronic Engineering, Chonbuk National University

요 약

전하 펌프는 위상 고정 루프의 성능에 영향을 준다. 전하 펌프 설계에 있어서 전류 부정합, 전하 공유, 전하 주입, 누설 전류 등을 고려할 필요가 있다. 본 논문에서는 기존의 고속 전하 펌프의 전류 정합 특성을 개선한 새로운 전하 펌프 회로를 제안하였다. 전류 부정합을 줄이기 위해 주로 사용되는 간단한 방법으로는 캐스코드를 이용하여 전하 펌프의 출력 저항을 증가시키는 방법이 있다. 그러나 캐스코드 방법을 사용하면 전하펌프의 출력 범위에 제약을 받게 되므로 전원 전압이 낮아짐에 따라 적용하기가 힘들어진다는 단점이 있다. 따라서 본 논문에서는 캐스코드를 적용하지 않고 연산증폭기를 사용하여 전하펌프의 출력 범위 전체에서 우수한 전류 정합 특성을 갖는 회로를 제안하였다.

Abstract

The charge pump affects the performance of PLL. In designing the charge pump, we need to consider various issues such as current mismatch, charge sharing, feedthrough, charge injection, and leakage current. This paper propose the new charge pump circuit which is improved in terms of the current match over the existing high-speed charge pump. The simple method used for reducing current mismatch is the technique that uses a cascode in order to increase the output resistance of the charge pump. However the method limits the output voltage range of the charge pump. So the method is hard to apply as the supply voltage is lowered. Thus this paper proposes a new charge pump circuit using an op amp instead of the cascode. And the new charge pump circuit has an excellent current matching characteristics over a wide output range.

I. 서 론

전하 펌프는 위상 고정 루프(PLL)에 널리 이용되는 회로이다. 위상 고정 루프가 lock이 되었을 때 전하 펌프의 비이상적인 특성들에 의해 출력 신호의 특성을 저하시키게 된다. 전하 펌프의 비이상적인 특성들로는 전류 부정합, 전하 공유, 전하 주입, 누설 전류 등이 있는데^[1], 본 논문에서는 전류 부정합에 초점을 맞춰 전류 부정합을 개선하는 회로를 제안하였다. 위상 고정 루프가 lock이 되었을 때, 전하 펌프에 전류 부정합이 생기게 되면 그 양에 비례하여 위상 고정 루프의 출력에 위상 오프셋이 발생하게 되고 그것에 의해 출력 스펙트럼에

서 reference spur가 생기게 된다. 따라서 전하 펌프의 두 입력 UP, DN이 동시에 켜졌을 때, 두 전류의 양이 같도록 설계되어야 한다.

전류 부정합을 줄이기 위해 기존에는 캐스코드를 이용해 전하 펌프의 출력 저항을 키우는 방식을 주로 사용해 왔다. 그러나 캐스코드를 사용하는 방식은 전하 펌프의 출력 범위에 제약을 주게 되고 전원 전압이 낮아짐에 따라 사용하기 힘들어 진다는 단점을 갖고 있다. 본 논문에서는 캐스코드가 아닌 연산 증폭기를 이용하여 전류 정합 특성을 개선시킨 회로를 제안하였다^[2]. 회로 설계에는 CMOS 0.18um 공정을 이용하였다.

II. 본 론

2.1 기존의 전하 펌프 회로

그림 1은 고속 동작을 위해 전류 steering 방식을 이용한 전하 펌프 회로이다. DN의 경우 스위치 M1이 켜져 있다가 꺼지더라도 M3으로 흐르고 있던 전류가 M2로 계속 흐르게 해줌으로써 M1의 소스 전압을 0V가 아닌 어느 정도의 전압을 유지 시켜주게 된다. 그것에 의해 다음 신호에서 DN 스위치가 켜질 때, 더 빠르게 전류가 흐를 수 있도록 해 줌으로써 고속 동작을 가능하게 해준다. 이 회로의 경우 동작 속도는 개선되지만, 스위치 동작을 하는 M1과 M6이 triode 영역에서 동작을 하게 되는 구간이 있어 출력 저항이 일반적인 캐스코드에 비해 줄어든다는 단점이 있다.

그림 2는 그림 1 회로에서 UP_와 DN 스위치를 동시에 on시킨 후, 출력 전압을 변화 시켜가며 전류 정합 특성에 대한 시뮬레이션을 한 결과이다. DN 전류의 경우 출력 전압이 대략 1.1V 이전에서는 M1이 triode 영역에서 동작함에 따라 1.1V 이후에 비해 상대적으로 많은 전류의 변화를 갖는 것을 볼 수 있다.

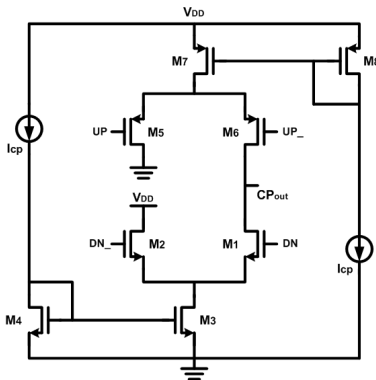


그림 1. 고속 동작을 위한 전하 펌프 회로

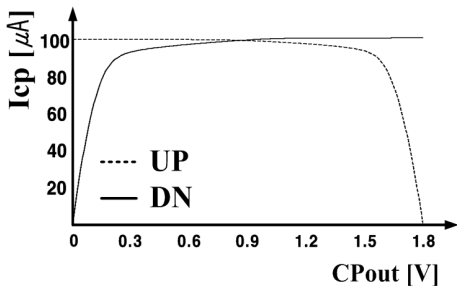


그림 2. 전류 정합 특성 시뮬레이션 결과

2.2 제안된 전하 펌프 회로

그림 3은 제안된 전하 펌프 회로를 보인 것이다. 부성 궤환 루프를 이용하여 M10의 드레인 노드가 전하 펌프의 출력 전압을 따라갈 수 있도록 하였다. 그리고 궤환 루프를 구성하기 위해 연산 증폭기가 사용되었다.

본 회로에서 전류가 정합되도록 하는 원리는 다음과 같다. 우선 M3, M4, M8이 current mirror를 구성하므로 각각에 흐르는 전류는 전류원인 I_{cp} 의 전류로 결정된다. 전하 펌프의 출력 전압과 M9의 드레인 노드의 전압은 궤환 루프에 의해 같도록 유지되므로 M8, M9에 흐르는 전류는 DN 전류와 똑같은 전류가 흐르게 되고 그 전류는 M10과 M11을 통해서도 흐르게 된다. M11의 게이트 전압이 궤환 루프에 의해 조정됨으로써 전하 펌프의 출력 전압이 변하더라도 M10과 M11에 흐르는 전류는 M8과 M9로 흐르는 전류를 따라 갈 수 있도록 해준다. 이제 UP_ 스위치가 켜졌을 때의 UP 전류는 M7과 M11이 current mirror이므로 M6과 M7에도 M10과 M11에 흐르는 전류, 즉 DN 전류와 똑같은 양의 전류가 흐르게 된다. M9와 M10은 DN 또는 UP_가 켜졌을 때, mirroring 되는 전류의 오차가 없도록 M1, M6의 dummy transistor로서 추가 하였다. 이러한 원리로 전하 펌프의 출력 전압이 변하더라도 UP 전류는 항상 DN 전류를 따라가게 된다. 그림 4는 그림 3 회로의 전류 정합 특성을 시뮬레이션 한 결과이다. 그리고 표 1은 그림 2의 결과와 그림 4의 결과에 대한 출력 범위 내에서의 부정합 전류량을 나타낸 것이다.

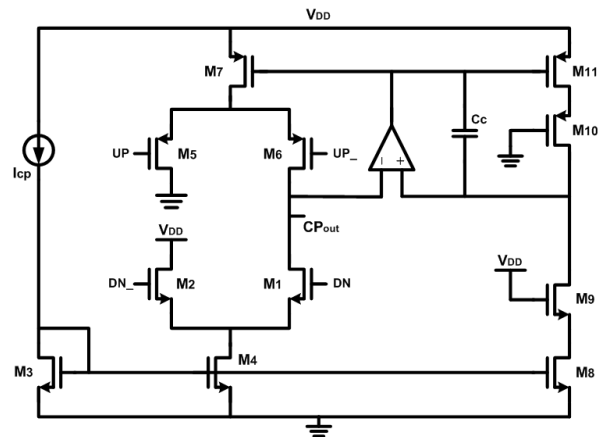


그림 3. 제안된 전하 펌프 회로

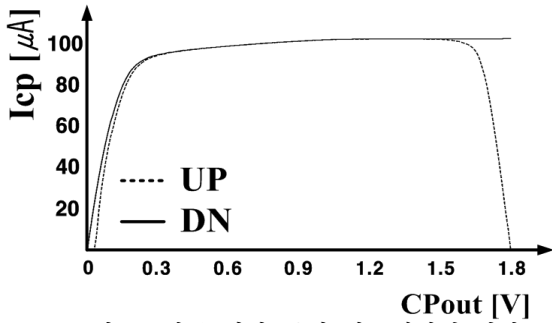


그림 4. 전류 정합 특성 시뮬레이션 결과

표 1. 두 전하 펌프의 출력 범위 내에서의 부정합 전류량

	0.3 V	1.5 V
기존의 전하 펌프	6.84 uA	7.07 uA
제안된 전하 펌프	0.31 uA	0.27 uA

2.3 부성 궤환 루프 구현

그림 3의 부성 궤환 루프에 들어가는 연산 증폭기는 루프의 안정성을 위해 그림 5와 같이 한단으로 구성된 차동증폭기를 이용하였다^[3]. 왜냐하면 그림 3의 M8~M11로 구성된 common source 한 단이 루프에 추가되기 때문에 2단 이상의 증폭기를 사용하게 되면 루프의 위상 마진을 확보하기가 힘들어지기 때문이다.

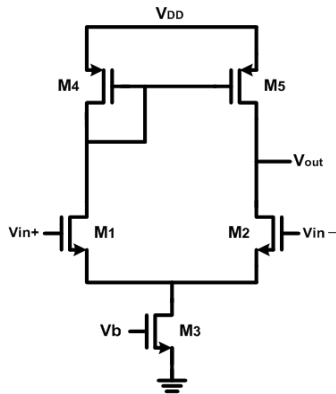


그림 5. 능동 부하 차동 증폭기

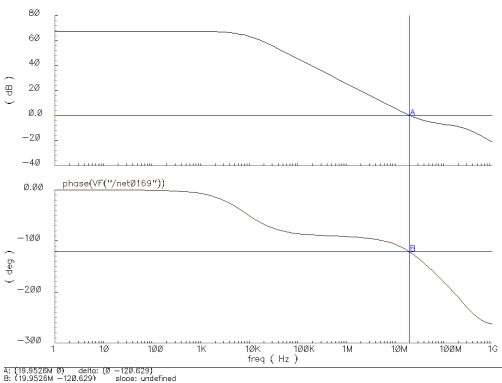


그림 6. 루프의 ac 시뮬레이션 결과

표 2. 루프의 ac 시뮬레이션 결과

	결과값
Loop gain	67.3 dB
Unity-gain frequency	20.0 MHz
Phase margin	60°

그림 3의 Cc는 주파수 보상을 위한 보상 커패시터로써 M11의 게이트에서 M10의 드레인으로서의 이득에 의한 Miller effect를 이용하기 위해 양 노드 사이에 커패시터를 추가하여 주었다. 루프의 안정성 확인을 위한 ac 시뮬레이션 방법으로 연산 증폭기의 (+) 입력의 루프를 끊고 (-)에 입력을 가하여 시뮬레이션을 하였다. 그림 6과 표 1에 ac 시뮬레이션 결과를 보여주고 있다.

III. 결론

본 논문은 위상 고정 루프에 사용되는 전하 펌프의 전류 정합 특성을 개선한 회로를 제안하였다. 기존의 출력 저항을 키워 전류 부정합을 개선한 회로와는 달리 연산 증폭기를 이용한 부성 궤환 루프를 구성하여 넓은 출력 범위에서 좋은 전류 정합 특성을 갖도록 설계되었다.

Acknowledgments

본 논문은 IDEC(IC Design Education Center)과 IT_SoC(System on a Chip)의 지원으로 수행되었습니다.

참고 문헌

- [1] Bortecene Terlemez, Georgia Institute of Technology, *Oscillation Control in CMOS Phase-Locked Loops*, Nov 2004.
- [2] Jae-Shin Lee, Min-Sun Keel, Shin-II Lim and Suki Kim, "Charge pump with perfect current matching characteristics in phase-locked loops", Nov 2000.
- [3] Behzard Razavi, *Design of Analog CMOS Integrated Circuits*. New York : McGraw-Hill, 2001.