

1 μ m BCD 650V 공정을 이용한 300W 하프-브리지 컨버터용 고전압 구동IC의 설계

송기남, 박현일, 이용안, 김형우*, 김기현*, 서길수*, 한석봉
경상대학교, *한국전기연구원
e-mail : wisdom2457@nate.com

Design of the High Voltage Gate Driver IC for 300W Half-Bridge Converter Using 1 μ m BCD 650V process

Ki-Nam Song, Hyun-Il Park, Yong-An Lee, Hyoung-Woo Kim*, Ki-Hyun Kim*, Kil-Soo Seo*, Seok-Bung Han
Gyeongsang National Univ. * Korea Electrotechnology Research Institute

Abstract

As the demands of LCD and PDP TV are increasing, the high performance HVICs(High Voltage Gate Driver ICs) technology is becoming more necessary. In this paper, we designed the HVIC that has enhanced noise immunity and high driving capability. It can operate at 500kHz switching frequency and permit 600V input voltage. High-side level shifter is designed with noise protection circuit and schmitt trigger. Therefore it has very high dv/dt immunity, the maximum being 50V/ns. The HVIC was designed using 1 μ m BCD 650V process and verified by Spectre and PSpice of Cadence inc. simulation.

I. 서론

최근 LCD 및 PDP TV의 수요가 증가함에 따라 전원 장치의 파워 소자를 구동하는 고전압 구동IC 기술 개발이 요구되고 있다. 이러한 전자 제품에 사용되는 500W 이하의 전원 장치는 공진형 하프-브리지 컨버터로 구성된다[1].

공진형 하프-브리지 컨버터는 기본적으로 두개의 파워 소자가 필요하며, 상단 파워 소자와 하단 파워 소자가 서로 반대로 턴-온, 턴-오프를 하며 부하에 전력을 전달한다. 이러한 파워 소자는 별도의 구동 IC가 필요하다. 이 구동 IC를 고전압 구동IC(High Voltage Gate Driver ICs)라고 하며, 파워 소자를 구동하기 위해 필요한 전류와 전압을 생성한다[2].

본 논문에서는 향상된 잡음 내성과 높은 전류 구동 능력을 갖는 고전압 구동IC를 설계하였다. 설계된 고전압 구동IC는 최대 500kHz의 스위칭 주파수에 동작하며, 파워 소자의 동시 도통을 방지하는 보호회로를 가진다. 그리고 슈미터 트리거와 잡음 보호회로를 이용하여 최대 50V/ns의 dv/dt 잡음 내성을 가지며, 최대 600V의 입력 전압을 허용한다. 설계된 고전압 구동IC는 1 μ m BCD 650V 공정을 이용하였다.

II. 향상된 잡음 내성과 높은 전류 구동 능력을 갖는 고전압 구동IC

2.1 설계된 고전압 구동IC의 구조 및 기능

그림 1은 설계된 고전압 구동IC의 블록 다이어그램이다. 상단 구동부의 전원을 공급하기 위해 부트스트랩 방식을 이

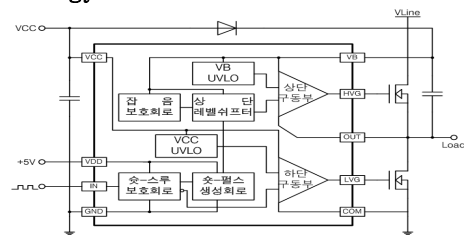


그림 1. 설계된 고전압 구동IC의 블록 다이어그램

용하였다. 하단 파워 소자가 턴-온 되면, 부트스트랩 다이오드가 턴-온 되어 VCC 전원에서 부트스트랩 커패시터에 전하가 충전된다. 이때 VCC는 하단 구동부의 공급 전원이며, 부트스트랩 커패시터의 충전 전압은 상단 구동부의 공급 전원이 된다. 그리고 상단 레벨 슈프터는 숏-펄스 생성회로의 출력 신호를 플로팅 노드(OUT) 전압까지 상승시킨다. 이 상단 레벨 슈프터는 잡음 보호회로와 슈미터 트리거의 히스테리시스를 이용하여 잡음 내성이 향상되었다. 숏-스루 보호회로는 상·하단 파워 소자가 동시에 턴-온 되는 것을 막는다. 또한 숏-펄스 생성회로는 상단 레벨 슈프터의 전력 소모를 줄이기 위해 짧은 펄스 신호를 만든다. 그리고 VCC 및 VB 전압이 하강하면, 상·하단 구동부의 출력을 차단하는 UVLO 기능이 내장되어 있어서 더욱 안정적인 동작을 한다. 설계된 고전압 구동IC는 소스, 싱크 전류가 각각 0.6A, 1.2A 로써 높은 전류 구동 능력을 가진다. 또한 구동부 출력의 상승시간과 하강시간이 각각 120ns, 80ns이며 제어 신호의 지연 시간도 18ns로써 응답 속도가 우수하다.

2.2 잡음 내성이 향상된 상단 레벨 슈프터

그림 2는 잡음 보호회로와 슈미터 트리거가 포함된 상단 레벨 슈프터를 보여준다. 상단 레벨 슈프터는 650V 내압을 가지는 LDMOS와 LDMOS의 드레인 저항, 그리고 슈미터 트리거로 구성된다. LDMOS1의 게이트에 셋 펄스가 인가되면 LDMOS1은 턴-온 되고, VB에서 GND까지 전류 I_S 가 흐른다. 전류 I_S 에 의해 드레인 저항 R_S 에 전압 강하가 발생하며, 슈미터 트리거를 거쳐 RS 래치에 셋 신호를 인가한다. RS 래치에 인가된 셋 신호에 의해 상단 파워 소자를 턴-온 한다. 한편, LDMOS2의 게이트에 리셋 펄스가 인가되면, 드레인 저항 R_R 에 전압 강하가 발생하여 RS 래치에 리셋 신호를 인가한다. RS 래치에 인가된 리셋 신호에 의해 상단 파워 소자는 턴-오프 한다. 그리고 상단 레벨 슈프터의 드레인 저항 값은 3.85k Ω 이며, 전류 펄스는 5mA이다.

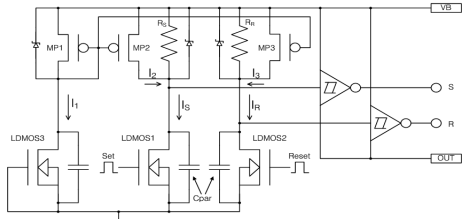


그림 2. 상단 레벨 쉬프터
Fig. 2. High-side level shifter

이와 같이 펄스에 의해 제어되는 상단 레벨 쉬프터는 시스템의 안정도에 있어서 매우 치명적인 문제를 가지고 있다. 주요 문제는 고내압 LDMOS의 기생 커패시터(Cpar)로부터 발생하는 셋 및 리셋 노드(node)들의 공통 모드 dv/dt 유도 전류이다. OUT 또는 VB는 높은 전압 레벨까지 상승하며, 그 결과 매우 작은 기생 커패시턴스에도 공통 모드 dv/dt 유도 전류가 발생할 수 있다. 공통 모드 dv/dt 유도 전류에 의해 고전압 구동IC가 오동작하게 되어 파워 소자의 쏠-스루 현상이 발생할 수 있다[3]. 이러한 공통 모드 dv/dt 유도 전류 i_{dv} 는 다음과 같다[4].

$$i_{dv} = C_{par} \times \frac{dv}{dt} \quad (1)$$

이 유도 전류 i_{dv} 에 의한 드레인 저항의 전압 강하 v_S , v_R 은 다음과 같다.

$$v_S = i_{dv} \times R_S, \quad v_R = i_{dv} \times R_R \quad (2)$$

기존 인버터 구조의 상단 레벨 쉬프터는 유도 전류에 의한 전압 강하 v_S , v_R 이 MOS의 문턱전압 이상일 경우, 원하지 않는 셋 및 리셋 신호가 RS 래치에 인가되어 오동작이 발생한다.

설계된 고전압 구동IC는 이러한 오동작을 방지하기 위해 잠음 보호회로가 포함되어 있다. 잠음 보호회로는 고내압 LDMOS3와 PMOS 전류 거울 회로(MP1, MP2, MP3)로 구성된다. 상단 레벨 쉬프터와 잠음 보호회로에 같은 양의 유도 전류 i_{dv} 가 흐를 수 있도록 동일한 고내압 LDMOS 소자를 사용해야 한다. 이 회로는 상단 레벨 쉬프터의 셋 및 리셋 노드에서 발생하는 유도 전류를 드레인 저항이 아닌 전류 거울 회로로 흐르게 한다. 즉, 드레인 저항에 흐르는 유도 전류를 줄여서 전압 강하를 최소화 하는 것이다. 그리고 단지 기생 커패시터 역할만 하는 LDMOS3에 의해 유도 전류 i_{dv} 가 발생할 때에만 회로가 동작한다. 유도 전류 i_{dv} 가 발생하면 MP1에 유도 전류가 흐르게 되고, 이 유도 전류는 전류 거울 회로를 통해 MP2와 MP3에 흐른다. 유도 전류 i_{dv} 는 잠음 보호회로에 의해서 대부분 흐르게 되고, 그 결과 드레인 저항에 흐르는 유도 전류는 0A에 가깝다. 따라서 유도 전류 i_{dv} 에 의한 드레인 저항의 전압 강하는 최소화 되고, 오동작으로 인한 파워 소자의 쏠-스루 현상을 방지 할 수 있다.

III. 응용회로를 통한 회로 검증

3.1 300W 공진형 하프-브리지 컨버터

설계된 고전압 구동IC를 300W 공진형 하프-브리지 컨버터에 적용하여 동작 특성을 검증하였다. 검증의 신뢰도를 위하여 실제 사용되고 있는 파워 소자인 'IRF840' 및 'STP9NK60ZFP'의 PSpice 모델을 이용하였다. 그림 3은 응용회로인 300W LLC 공진형 하프-브리지 컨버터를 보여준다. 트랜스포머의 비율은 $L_P : L_S$ 가 4:1이다. 직렬 공진 인덕터 L_r 은 $70\mu H$ 이고, 공진 커패시터 C_r 은 39nF이다. 또한 공진 인덕터의 비율인 L_m/L_r 은 4이다. 입력 전압은

400V이고, 출력 전압은 48V이다. 부하 저항은 8Ω이며, 최대 스위칭 주파수 f_s 는 500kHz이다.

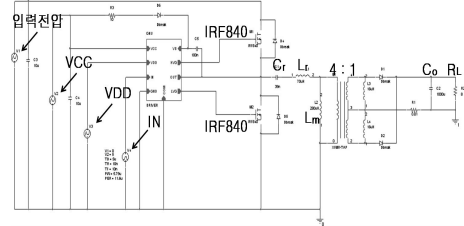


그림 3. 300W LLC 공진형 하프-브리지 컨버터

3.2 시뮬레이션 결과

그림 4는 응용회로에 대한 동작 특성을 보여준다. 출력 전류와 전압이 각각 6A, 48V인 것을 확인 할 수 있다. 또한 직렬 공진 인덕터 L_r 에 흐르는 전류가 정현파의 형태로 공진이 이루어지고 있는 것을 알 수 있다. 상·하단 구동부의 출력 전압 HVG와 LVG가 330ns의 데드타임을 가지면서 정상적으로 파워 소자를 턴-온 및 턴-오프 시키고 있다.

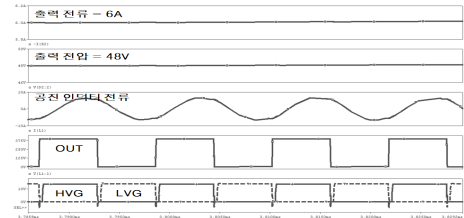


그림 4. 응용회로의 시뮬레이션 결과

IV. 결론

본 논문에서는 향상된 잠음 내성과 높은 전류 구동 능력을 갖는 고전압 구동IC를 설계하였다. 상·하단 구동부의 소스, 싱크 전류가 각각 0.6A, 1.2A로써 전류 구동 능력은 매우 크다. 따라서 입력 신호에서 출력 신호까지의 응답 속도가 우수하다. 또한 잠음 보호회로와 슈미터 트리거가 포함된 상단 레벨 쉬프터를 설계하여 잠음 내성을 향상시켰다. 그 결과, 설계된 고전압 구동IC는 50V/ns의 높은 dv/dt 잠음 내성을 가진다. 그리고 쏠-펄스 생성회로를 설계하여 상단 레벨 쉬프터의 전력 소모를 줄였다. 또한 파워 소자의 동시 도통을 방지하는 쏠-스루 보호회로와 상·하단 전원의 전압을 감지하여 구동부의 출력을 차단하는 UVLO가 포함되어 있어 시스템이 안정하게 동작하도록 하고 있다. 앞으로 이 고전압 구동IC의 전력 소모와 칩 면적의 최소화에 중점을 두고 연구할 예정이다.

감사의 글

본 연구는 IDEC의 설계 툴 지원을 받아 수행되었습니다.

참고문헌

- [1] Christophe P. Basso, "SWITCH-MODE POWER SUPPLY," Mc Graw Hill, p.94, 2008.
- [2] www.irf.com/product-info/cic/fsgatedriverics.html
- [3] Nielsen, Ole, Neis, "HALF-BRIDGE DRIVER AND POWER CONVERSION SYSTEM WITH SUCH DRIVER," WO patent, 2003.
- [4] 송기남의 6인, "잠음 내성이 큰 단일 출력 레벨 쉬프터를 이용한 500V 하프브리지 컨버터용 구동 IC 설계," 전기전자재료학회 춘계학술대회논문집 반도체 연구, 34-35쪽, 고려대, 한국, 2008년 4월