

출력 단 공통모드 전류 보상으로 일정한 이득을 갖는 Rail-to-Rail CMOS 연산증폭기

이동건, 정항근
전북대학교 전자정보공학부
e-mail : realboy82@nate.com, hgjeong@chonbuk.ac.kr

A Rail-to-Rail CMOS Op-amp with Constant Gain
by Using Output Common Mode Current Compensation

Dong-Geon Lee, Hang-Geun Jeong
Electronics and Information Engineering
Chonbuk National University

Abstract

This paper presents an output common mode current compensation method to achieve both constant G_m and constant gain. A conventional rail-to-rail CMOS op-amp with constant G_m was designed by using complementary differential input stage and current compensation skills. But it doesn't operate constant gain, because of output resistance variation. With $0.18\mu\text{m}$ CMOS process, the simulation results show that the differential gain variation can achieve less than 1.3dB. And a 60dB gain, a 13.5MHz unity gain-frequency, and 1mW power consumption, when operating at 1.8V and 10pF load.

I. 서론

연산증폭기는 아날로그 회로에서 많이 사용되는 블록으로 중요한 아날로그 구성요소 중 하나이다. 비교기나 아날로그 버퍼 등으로 사용되는 연산증폭기는 넓은 공통모드 입력전압 범위를 가지기 위해서 rail-to-rail 입력 단을 필요로 한다. rail-to-rail 입력 단

은 NMOS와 PMOS의 차동 쌍으로 구성한다[1]. 이것은 단일이득주파수와 연관된 G_m 이 일정치 않아서 주파수 보상이 어렵다. 그래서 전 공통모드 입력전압 범위에서 일정한 G_m 을 가지도록 입력단의 꼬리 전류를 보상 해준다[2]. 그러나 이 전류 보상에 의해 출력단의 공통모드 전류가 변하기 때문에 출력저항이 일정치 않다. 그로인해 전체 G_m 은 일정하지만 이득은 일정하지 않은 특성을 가진다. 본 논문은 출력단의 공통모드 전류를 보상하여 공통모드 입력전압에 대해 일정한 이득까지 가지는 rail-to-rail 연산증폭기를 제안한다.

II. 회로 설계 및 시뮬레이션

2.1 rail-to-rail 연산증폭기

그림 1은 일정한 G_m 을 가지는 rail-to-rail 연산증폭기이다. $0 \sim V_{DD}$ 의 넓은 공통모드 입력전압을 가지기 위해서 입력단은 NMOS (MN1-MN2)와 PMOS (MP1-MP2) 차동 쌍으로 구성한다. NMOS와 PMOS가 모두 동작하는 공통모드 입력전압에서는 G_m 이 2배가 되기 때문에 전체 공통모드 입력전압에서 일정한 G_m 을 가지게 하기 위해서 MN6, MP6의 스위칭과 MN4-MN5, MP4-MP5의 전류거울을 통해서 입력단의 꼬리 전류 보상을 한다.

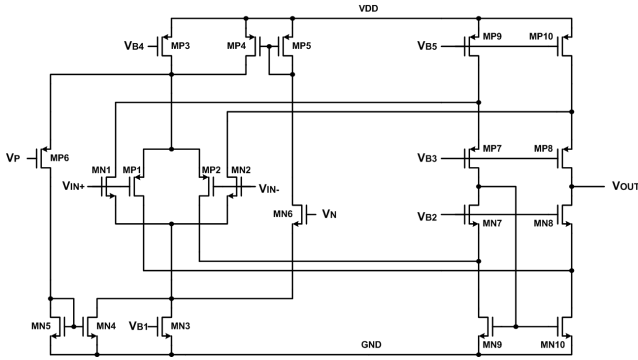


그림 1. rail-to-rail 연산증폭기

2.2 출력만 공통모드 전류 보상

그림1에서 입력단의 꼬리 전류보상으로 인해 일정한 G_m 을 얻을 수 있지만 출력 단의 공통모드 전류(MP9, MP10의 전류)는 고정되어있기 때문에 공통모드 입력 전압이 GND에서 VDD로 갈수록 MN7-MN8, MP7-MP8에 흐르는 전류가 작아지게 된다. 이로 인해 연산증폭기의 출력저항이 커지고, 차동이득 또한 커지게 된다. 이러한 점은 공통모드 입력전압에 따라 출력 저항이 일정한 값을 가지도록 출력단의 전류를 그림 2와 같은 방식으로 MP9, MP10의 바이어스 회로를 구성하면 전체 입력범위에서 일정한 이득을 가지도록 해결할 수 있다.

그림 2에서 V_{N2} 와 V_{P2} 는 각각 그림1의 MN5와 MP5의 게이트 전압이다. MN6와 MP6은 입력 단의 NMOS와 PMOS 차동쌍이 단일로 동작하는 공통모드 입력 전압범위에서 각각 전류거울(MN4-MN5, MP4-MP5)을 동작시키는 스위치 역할을 하게 되는데 이것에 의해서 MN11, MP11 트랜지스터도 동작하게 된다. 그 결과로 출력단의 공통모드 전류는 보상이 이루어지고, 전 공통모드 입력전압 범위에서 일정한 이득을 얻을 수 있다.

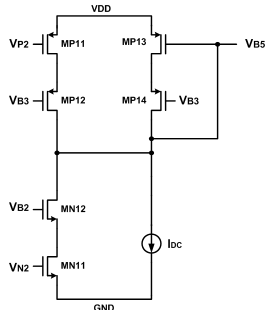


그림2. 제안하는 V_{B5} 의 바이어스 회로

2.3 시뮬레이션

시뮬레이션은 0.18 μ m CMOS 공정 파라미터를 이용

해 이루어졌고, 전원전압은 1.8V, 부하는 10pF이다. 결과는 그림 3에 나타내었다. 전압이득은 출력 단 공통모드 전류를 보상을 하지 않은 경우에는 약 57.5~71.5dB로 14dB만큼의 변동을 보이지만, 보상을 해준 경우 60.8~62.1dB로 변동이 1.5dB이다. 연산증폭기의 이득은 60dB, 단일이득주파수는 13.5MHz, 전력소모는 1mW, 위상여유는 88°이다.

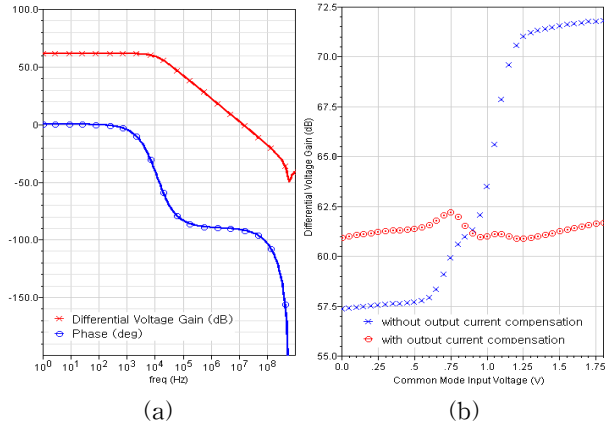


그림 3. (a) 전압이득과 위상, (b) 공통모드 입력전압에 따른 전압이득

IV. 결론

본 논문은 입력단의 꼬리 전류 보상과 이를 활용한 출력단의 공통모드 전류 보상을 통하여 일정한 G_m 과 이득을 갖는 rail-to-rail CMOS 연산증폭기를 제안하였다. 시뮬레이션 결과 공통모드 입력 전압에 따른 연산증폭기의 이득은 60.8~62.1dB로 전압이득의 변동은 1.3dB이다.

참고문헌

[1] M. Ismail and T. Fiez, *Analog VLSI Signal and Information Processing*, New York : McGraw-Hill, 1994

[2] R. Hogervorst, R. J. Wiegink, P. de Jong, J. Fonderie, R. Wassenaar, and J. Juijsing, "CMOS low-voltage operational amplifiers with constant-gm, rail-to-rail input stage", in *Proc. IEEE Int. Symp. Circuits Systems*, pp. 2876-2879, 1992.