

여러 번 프로그래밍이 가능한 표준 CMOS 공정의 MTP (Multi-times Programmable) ROM 셀

정인영

광운대학교 전자통신공학과
e-mail : maybreez@kw.ac.kr

Multi-time Programmable standard CMOS ROM memory cell

In-Young Chung

Department of Electronics and Communications
Kwangwoon University

Abstract

New CMOS ROM cell is reported in this paper, distinguished from conventional ones in that it can be re-programmed by multi-times. It uses the comparator offset as the physical storage quantity and the MOSFET FN stress effect for offset programming. It demands very low offset for read, and works well in very low voltage. It can become a promising ROM solution for various SoC systems.

I. 서론

다양한 형태의 SoC 칩의 개발에 따라 firmware 등의 시스템 소프트웨어를 탑재하기 위한 CMOS OTP (one-time programmable) ROM 메모리 셀 및 회로가 개발되고 있다[1-3]. SoC칩의 가격경쟁력을 유지하기 위해서는 이러한 ROM 메모리 셀은 표준 CMOS 공정으로 구현되어야 한다. 기존에 발표된 OTP ROM 들은 CMOS compatibility를 위해 얇은 산화막을 파괴하고 단락시켜 데이터를 프로그래밍 하는 anti-fuse 방식을 주로 채용하고 있으며, 따라서 그 특성 상 단 1회의 프로그래밍만이 가능하다.

본 논문에서는 프로그래밍 횟수가 단1회로 제한되는 OTP ROM의 단점을 개선하여, 여러 번 프로그래밍이 가능한(MTP, multi-time programmable) 새로운 표준

CMOS 공정의 ROM 메모리 셀을 최초로 소개한다. 이 셀이 SoC에 적용될 경우 시스템 소프트웨어의 업데이트가 가능해지는 등 SoC 성능향상에 기여할 것이다.

II. 본론

본 ROM 셀은 비교기회로를 바탕으로 한다. 비교기에는 오프셋(offset)이 내재하며, 이 부호에 따라 비교기 입력력 전달곡선은 그림 1과같이 달라진다. 오프셋의 부호에 따라 입력 0에서의 출력레벨이 1/0으로 결정되며, 오프셋을 조작가능하다면, 비교기의 오프셋을 디지털 데이터를 저장하기 위한 물리량으로 사용할 수 있다.

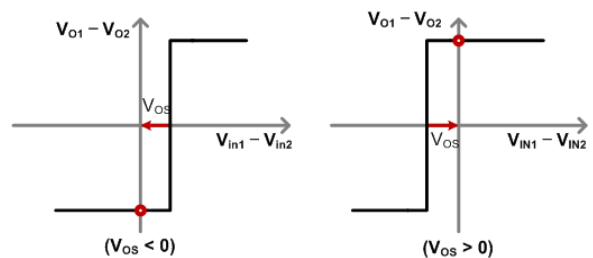


그림 1. 비교기의 오프셋에 따른 전달곡선 및 출력전압

CMOS 비교기의 오프셋을 조작하는 방법으로서 본 논문에서는 FN 터널링 전류에 의한 MOS 트랜지스터의 열화현상을 이용한다. 즉, 비교기를 구성하는 트랜지스터 중 일부에 Fowler-Nordheim 스트레스를 가하게 되면, 해당 트랜지스터의 문턱전압이 증가하게 되고, 비교기 회로의 대칭성을 왜곡함으로써 오프셋을 의도적으로 부여할 수 있다.

그림 2. 래치 형 비교기에서 FN 스트레스의 발생상황

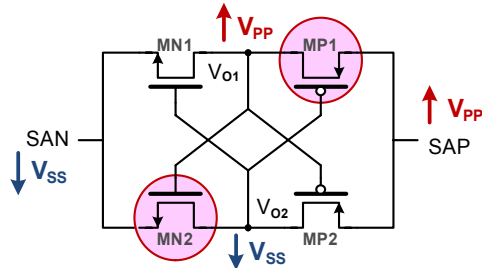


그림 2는 가장 기본적인 형태의 비교기인 래치형 비교기의 회로도를 나타낸 것이다. 비교기가 출력 1의 상태에서 공급전압을 스트레스 전압으로 높이면, 그림2의 회로도에 원으로 표시된 NMOS와 PMOS가 각각 높은 게이트-소스 전압이 걸리는 FN 스트레스 조건에 들어가게 된다. 일정시간 FN 스트레스 조건을 유지할 경우, 두 트랜지스터의 문턱전압은 상승하게 되며, 이는 그림의 래치형 비교기의 오프셋을 (-)방향으로 이동시키는 결과를 가져온다. 따라서 비교기 셀에 (-) 오프셋을 프로그래밍 하고자 할 경우에는, 비교기가 (+) 출력 상태가 되도록 (+)값의 입력전압을 인가한 후 비교기를 인에이블(enable)시킨 후, 공급전압을 스트레스 전압으로 상승시켜 일정 시간 유지하게 된다. 그림 3은 FN 스트레스 전압 및 시간에 따라 NMOS의 문턱전압의 상승분을 0.35 μ m 공정 소자를 대상으로 측정된 그래프이다. 스트레스에 의해 산화막이 파괴되기 전에 대략 600~700mV 이상의 문턱전압 이동이 일어난다. PMOS의 문턱전압은 NMOS에 비해 더 높은 스트레스 전압에서 비로소 발생하기 시작한다.

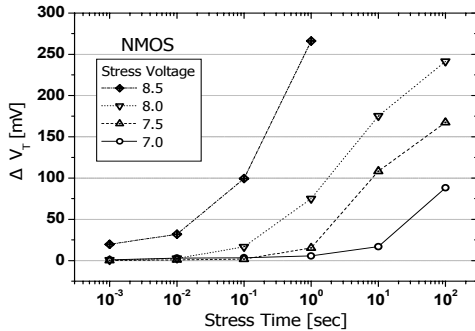


그림 3. FN 스트레스에 의한 NMOS의 문턱전압 이동

그림 2의 비교기에서 SAN을 먼저 Vss로 인에이블시킬 경우, 오프셋은 NMOS 문턱전압의 변화만큼 이동한다. 프로그래밍 되는 오프셋값의 크기는 저장된 데이터 보존시간 및 잡음환경에서의 읽기 동작의 예러발생, 이 두 가지 사항을 고려하여 결정된다. 측정결과에 의하면 30mV 오프셋값으로 프로그래밍하면 데이터 보존시간의 확보 및 예러없는 읽기 동작에 충분한 것으로 나타났다. 30mV의 오프셋값을 부여하기 위해서는 문턱전압이 그만큼 이동하도록 FN 스트레스시간을 정확히 제어해야하나 스트레스에 의한 문턱전압의 이동량은

소자별로 편차가 크므로 실제적으로는 매우 어렵다. 이 점은 다음과 같은 방법을 사용하여 해결할 수 있다. 입력전압을 30mV로 인가한 상태에서 비교기를 인에이블하고 짧은 시간동안 스트레스를 주는 동작을 반복하게 된다면 오프셋값은 점차 30mV로 수렴하게 된다. 이 프로그래밍 방법에서 오프셋값은 스트레스에 의해 (입력전압-오프셋값)을 0으로 만드는 방향으로 오프셋값을 이동시키는 것임을 파악할 수 있다.

30mV 오프셋으로 프로그래밍된 셀은 필요에 따라 다시 -30mV 오프셋값으로 뒤집어 쓰기가 가능하며, 따라서 몇 번이고 반복적으로 프로그래밍을 시행할 수 있다. 게이트 산화막이 파괴되거나 혹은 문턱전압이 과도하게 상승하여 정상적인 읽기 동작을 할 수 없는 상황에 의해 프로그래밍의 횟수는 제한된다. 본 연구에서는 제작된 래치형 ROM 셀을 30mV 오프셋 기준으로 5회 이상 프로그래밍됨을 확인하였다. 프로그래밍 오프셋값이 커질 경우, 데이터 보존에는 유리하나 프로그래밍 횟수는 제한된다.

본 ROM 셀은 0 입력에서 래치를 인에이블시켜 읽기 동작을 한다. 래치는 regenerative 특성이 있으므로 감지증폭기가 필요 없으며, 디지털회로이므로 저전압에서도 안정적으로 동작가능하다. 0.5V 이하의 극저전압에서도 정상적인 읽기 동작이 실행됨을 확인하였다.

III. 결론

MTP ROM 셀은 비교기의 오프셋을 데이터를 저장하는 물리량으로 하는 새로운 형태의 ROM 메모리이며, 표준 CMOS 공정으로 구현 가능하면서 동시에 여러 번 프로그래밍이 가능한 특성을 지니고 있다. 낮은 전압에서도 동작이 가능하며 읽기 회로가 매우 간단하여 센서네트워크 및 바이오칩 등의 다양한 SoC의 임베디드 ROM 메모리로 매우 유망할 것으로 기대된다.

참고문헌

- [1] M. Chen, et. al., "A new antifuse cell with programmable contact for advance CMOS logic circuits," EDL, May. 2008.
- [2] M. Johnson, et. al., "512-Mb PROM with a thress dimensional array of diode/antifuse memory cells," JSSC, Nov. 2003.
- [3] H. Cha, et. al. "A 32-KB standard CMOS antifuse one-time programmable ROM embedded in a 16-bit microcontroller," JSSC, Sep. 2005.