

광 대역 통과 특성을 갖는 시그마 델타 모듈레이터 설계

*김태웅, **황인석
동국대학교 전자공학과

e-mail : * westside0912@hanmail.net, ** ishwang@dongguk.edu

Design of a Broad Band-Pass Sigma-Delta Modulator

*Tae-Woong Kim, **In-Seok Hwang
Dept. of Electronics Engineering
Dongguk University

체의 영향을 줄이고, 제약 요소들을 최대한 배제하여 성능을 만족할 수 있는 모듈레이터를 설계하였다.[2][3]

Abstract

This paper proposes a 8th-order single loop band-pass sigma-delta modulator that satisfies a wide bandwidth of 6MHz, which is required for a HDTV application. The proposed architecture is based on a simple analog structure that enlarges the noise shaping with a low OSR. In addition, a feedforward scheme is used to relax op-amp performance requirements. The proposed modulator has been simulated using the 0.18um 1.8v TSMC technology. The simulation results show that the bandwidth is 6MHz and SNQR is 70dB.

I. 서론

최근 넓은 대역의 신호처리와 고해상도 사양을 가진 모듈레이터의 수요가 급속히 증가 하고 있다. 이에 시그마 델타 모듈레이터는 낮은 BW에서의 뛰어난 선형성, 노이즈 웨이핑(Noise Shaping)특성에 의한 Resolution과 BW간의 Tradeoff라는 특성으로 인해 이러한 조건을 만족하기에 가장 좋은 방법 중 하나이다.[1] 본 논문에서는 1-bit quantizer를 가진 High-order Single-loop 모듈레이터의 구조에 Feedforward path를 적용하여 회로의 중심 블록인 Op-amp에 의한 회로전

II. 본론

2.1 요구되는 시그마 델타 모듈레이터의 성능

본 논문에서 설계한 시그마 델타 모듈레이터는 HD-TV에 응용 할 수 있도록, 모듈레이터의 BW가 6MHz 이고, 요구되는 SNR(Signal-To-Noise Ratio)은 55dB 이상이 되어야 한다. 특히 본 모듈레이터는 전력소비를 줄이는 방향으로 연구하기 위하여 0.18um TSMC공정에서 공급전압은 1.8V를 주어 설계를 하였다.

2.2 시그마 델타 모듈레이터 구조

그림 1.은 설계한 topology의 Block diagram을 나타낸 것이다.[6] 전체 Block-diagram에서 나타난 것과 같이 Feedforward signal path를 생성하여 주어 Op-amp의 성능을 최소화 할 수 있게 하였다. 이에 회로 전체의 전압 변동에도 안정적인고, 더욱 향상된 output swing range를 얻을 수 있도록 RTR(Rail-To-Rail Floating Current) Amp를 사용 하였다.[3] 핵심 블록 인 루프 필터는 전체적으로는 8th-order의 switched-capacitor filter로 구성 하여 낮은 차수로도 높은 BW를 가질 수 있도록 설계 하였다.[4]

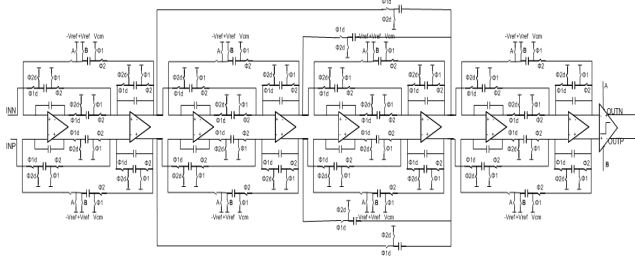


그림 1. Single-bit single loop 8차 시그마 델타 모듈레이터

또한 전체적으로는 Common mode noise에 둔감하고 DR(dynamic Range)을 향상시킬 수 있도록 fully differential 구조로 설계하였다. 모듈레이터의 전체 구조는 낮은 샘플링 주파수로도 고해상도를 얻을 수 있는 Single loop Single bit 구조를 이용 하여 설계 하였다.[1] 또한 중요한 구성 블록인 1-bit의 Quantizer는 Pre-amp와 Latch를 이용한 comparator로써 설계 하였으며, 특히 Feedback DAC는 1bit의 DAC로써 적분기 내의 Op-amp의 (-)입력을 $\pm V_{ref}$ 에 연결하여 설계가 간단한 스위치 형태로 구동하였다.[4] 본 설계에서 요구하는 Bandpass의 조건을 만족하기 위하여 noise shaping 필터의 특성은 신호에 대하여는 bandpass 필터링, 양자화 잡음에 대하여는 bandrejection 필터링을 수행하도록 하여 전체 모듈레이터 블록을 설계하였다.

III. 시뮬레이션 결과 및 검증

본 논문의 모듈레이터 설계는 0.18um TSMC 공정을 이용하여 설계 하였다. Behavioral simulation은 Matlab sigma delta Toolbox를 이용하여 Blockdiagram을 구성 하여 수행 하였다. 시뮬레이션의 입력으로는 1.35V 피크값을 갖는 정현파를 신호로 주어 HSPI-CE를 사용하여 시뮬레이션 하였다. 또한 각각의 입력

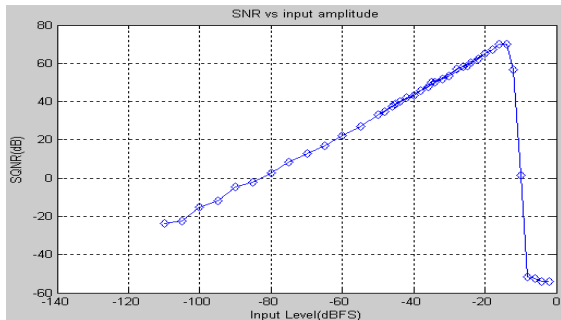


그림 2. Behavioral 시뮬레이션 결과의 SQNR

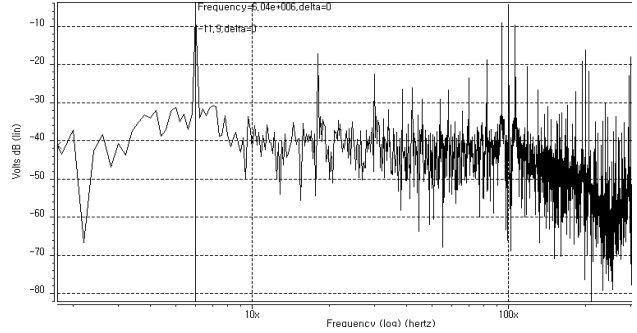


그림 3. 전체 모듈레이터의 출력 PSD

에 대해 8192개의 데이터를 사용하여 전체 회로를 검증 하였다. 그림 2는 입력에 대한 SQNR을 나타낸 것이다. SQNR은 입력의 크기를 -110dB에서 -10dB까지 변화시켰을 때의 변화를 측정 하였다. 이 모듈레이터의 측정된 SNQR은 입력신호가 6MHz일 경우, 약 70dB정도가 됨을 알 수 있었다.[5]

IV. 결론

본 논문에서는 8차의 Single-loop Single bit 시그마 델타 모듈레이터 설계를 나타내었다. Behavioral 시뮬레이션을 통해 여러 가지 성능 저하요인들을 고려하여 모델링 하여 각각의 구성 요소들을 설계하였다. 또한 이를 서로 연결하여 전체 모듈레이터를 구성하고 성능을 평가하였다. 그 결과 본 설계에서의 모듈레이터는 주어진 사양을 만족함을 알 수 있었다.

참고문헌

- [1] Richard Schreier, Galbor C. Temes "Understanding Delta-Sigma data converters, Wiley Interscience, 2005
- [2] Ahmed Gharbiya and D. A. Johns, "FULLY DIGITAL FEEDFORWARD DELTA SIGMA MODULATOR," IEEE Trans. Circuits Syst. I, Vol. 1, pp.97 - 100, July 2005
- [3] Jen-Shiun Chiang, Pou-Chu Chou and Teng-Hung Chang, "Cascaded feedforward sigma-delta modulator for wide bandwidth applications," IEEE Trans. Circuits Syst. I, Vol. 2, pp.1039-1042 Sept. 2001
- [4] Mingliang Liu, Demystifying, Switched Capacitor Circuits: Newnes, 2006
- [5] Jurgen van Engelen, Rudy J. van de Plassche, Bandpass sigma delta modulator: Springer, 1999
- [6] 박송배, 애널로그 IC필터의 설계, 홍릉출판사, 1999