# GSM / WCDMA 통신용 이중대역 CMOS 주파수 합성기 설계

*한윤택, 윤광섭
인하대학교 전자공학과
e-mail : corean_hyt@hotmail.com , ksyoon@*inha.ac.kr*

# Design of a Dual band CMOS Frequency Synthesizer for GSM and WCDMA

*Yun-Tack Han, Kwang-Sub Yoon
Dept. of Electronic Engineering INHA University

## Abstract

This paper presents a dual band frequency synthesizer for GSM and Wideband CDMA which is designed in a standard 0.13um CMOS 1P6M process. The shared components include phase frequency detector (PFD), charge pump (CP), loop filter, integer frequency divider(128/129 DMP, 4bit PC, 3bit SC) and Low noise Ring-VCO. A high-speed low power dual modulus prescaler is proposed to operate up to 2.1GHz at 3.3V supply voltage with 2mW power consumption by simulation. The simulated phase noise of VCO is -101dBc/Hz at 200kHz offset frequency from 1.9GHz.

## I. 서론

2세대 무선통신 시장에서 대표적인 이동통신 규격 중에 하나인 GSM이 차지하는 점유율은 75%에 이른다. 현재 진행되고 있는 3세대 무선통신이 보편화 되는 2010년에는 WCDMA가 차지하는 점유율이 95%에 이른다고 한다. 그리고 GSM과 WCDMA의 규격을 이용해 서비스를 모두 제공하는 듀얼 모드 트랜시버의 연구도 활발히 이루어지고 있다.[1][2][3] 이에 따라 GSM과 WCDMA에 사용되는 이중대역 주파수 합성기의 연구도 필요하게 되었다. 본 논문에서는 통신 시스템에 필요한 GSM/WCDMA 통신용 이중대역 CMOS 주파수 합성기 설계를 다루었다.

## II. GSM/WCDMA 주파수 합성기 구조

GSM과 WCDMA는 통신 방식의 특성에 따라 사양이 다르다. 따라서 주파수 합성기의 사양도 그에 맞게 두 가지 모드로 설계 하였으며, 표 1에서 볼 수 있다.

표 1 . 설계한 주파수 합성기의 GSM 과 WCDMA의 사양

| | Frequency Range(GHz) | Channel spacing | Number of channels |
|---|---|---|---|
| GSM | 890~915(Tx)<br>935~960(Rx) | 3.5MHz | 124 |
| WCDMA | 1850~1910(Tx)<br>1930~1990(Rx) | 5MHz | 12 |

기준 주파수는 수정발진기를 이용하여 80MHz를 사용하였다. GSM과 WCDMA의 채널간격이 각각 다르므로 각각의 모드에 따라 기준 주파수를 다르게 분주하는 분주회로를 설계하는 것으로 그림 1 에서 볼 수 있다. 프로그래머블 전하펌프를 이용하였으며, 3차 루프 필터를 오프 칩으로 설계 하였다. VCO의 출력은 WCDMA 모드 일 때 WCDMA의 출력이 되며, GSM 모드 일 때 2분주를 하여 GSM의 출력으로 내보낸다. 듀얼 모듈러스 프리스케일러, 프로그램 카운터와 스왈

로우 카운터를 이용하여 전체 분주비를 N=128*(프로그램 카운터 수) + (스왈로우 카운터 수)로 설계 하였으며 이를 이용하여 채널을 바꿀 수 있다.

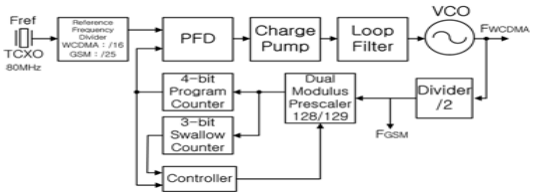



그림 1. 제안하는 주파수 합성기 전체 블럭도

## Ⅲ. 설계 및 모의실험 결과

설계와 시뮬레이션에 synopsys의 Hspice를 사용하였고, 레이아웃에는 Cadence를 사용하였다. 동부하이텍 0.13um공정을 이용하여 설계를 하였으며, Thick gate를 사용하여 공급전압 3.3V를 이용하였다. 루프필터를 오프 칩으로 구성 하였으며, 루프필터의 보드선도는 그림 4에 나타내었다. VCO는 링 구조를 사용하였으며 저 위상잡음 형태로 설계를 하였다.[4] 위상잡음의 시뮬레이션 결과는 그림 3.(a)에 나타내었다. DMP는 NAND 기능이 있는 저전압, 고속의 D-F/F을 이용하였다.[5] 전체 lock time은 4.5us로 그림 3.(b)에 나타내었다. 표 2 는 설계한 주파수 합성기의 전체 사양을 나타내었다.

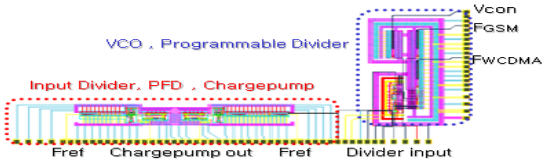
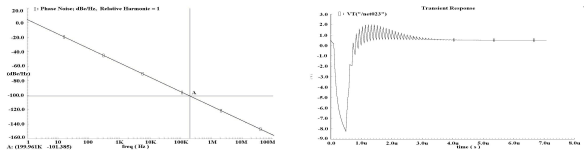



그림 2. 전체 회로 레이아웃



(a) (b)

그림 3. Phase Noise(a) 와 Lock time(b)

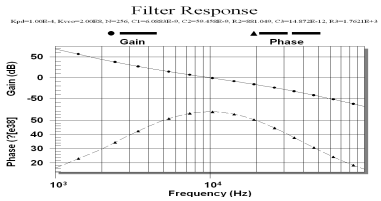



그림 4. 루프 필터의 보드선도

## Ⅳ. 결론 및 향후 연구 방향

본 논문을 통해 GSM과 WCDMA 모두 구현 가능한 트랜시버에 사용될 주파수 합성기를 제안하였다. 또한 저 전력 링 VCO 설계와 저전력 고속의 DMP를 통해 전체 전력소모와 칩 면적을 크게 줄였으며 표2를 통해 확인 할 수 있다.

향후의 연구는 위상잡음 특성을 더욱 좋게 하기 위해 Delta Sigma Modulator를 이용한 Fractional-N 구조를 이용할 방안에 대해서 연구할 것이다.

표 2 . 설계한 주파수 합성기의 전체 사양

| | |
|---|---|
| Power Supply | 3.3V(Thick gate) |
| Reference frequency | 80MHz |
| Lock In Range | 100MHz ~ 2.2GHz |
| Locking Time | 4.5μs @ 1.9GHz operating |
| VCO Tuning Range | 28MHz ~ 1040Hz |
| VCO Gain | 1.5 GHz/V |
| Phase Noise | -101dBc/Hz @ 200KHz |
| Power dissipation | 36mW @ 1.9GHz operating |
| Technology | 0.13μm CMOS Technology |

## 참고문헌

[1] Chun-Lin KO , Ming-Ching KUO , Chien-Nan KUO "A CMOS Dual-Mode RF Front-End Receiver for GSM and WCDMA Applications" *IEICE Trans. ELECTION.* , Vol E88-C, No.6 JUNE 2005

[2] Ryynanen,J., Kivekas,K, Jussila,J., Parssinen,A."A dual-band RF front-end for WCDMA and GSM applications,"" *IEEE CICC*, p. 175-178, 2000.

[3] S. Wu and B. Razavi, ""A 900-MHz/1.8 GHz CMOS receiver for dual-band applications,"*IEEE J. Solid -State Circuits*, vol. 33, pp. 2178–-2185, Dec. 1998.

[4] Adrian Maxim,Ramin K. Poorfard, Richard A. Johnson, Philip John Crawley, "A Fully Integrated 0.13-m CMOS Digital Low-IF DBS Satellite Tuner Using a Ring Oscillator-Based Frequency Synthesizer" *IEEE J.Solid-State Circuits*, vol.42, No.5, May. 2007.

[5] Cicero S. Vaucher, Igor Ferencic, Matthias Locher, Sebastian Sedvallson, Urs Voegeli, and Zhenhua Wang "A Family of Low-Power Truly Modular Programmable Dividers in Standard 0.35-m CMOS Technology" *IEEE J. Solid-State Circuits*, vol.35, No.7, July. 2000.