

IEEE 802.11 고성능 MAC 설계

*이영곤, 홍창기, 정용진
 광운대학교 정보통신공학과

e-mail : youngoni@kw.ac.kr, hckllsks@kw.ac.kr, yjjeong@kw.ac.kr

Design of high performance IEEE 802.11 MAC Engine

*Young-gon Lee, Chang-Ki Hong, Yong- Jin Jeong
 dept. of electronics and Communications Engineering
 Kwangwoon University

Abstract

본 논문에서 설계한 802.11 MAC(Medium Access Control)은 하드웨어와 소프트웨어의 통합 구조로 되어 있다. MAC에서 가장 빠르게 동작해야 하는 프레임 전송과 수신블록은 하드웨어로 설계를 하였고, 그 외에는 소프트웨어로 설계가 되었다. 하드웨어로 설계된 MAC은 802.11 표준문서에 포함된 SDL(Specification and Description Language)을 기초하여 설계하였으며, 성능 향상을 위하여 수신블록의 중복 프레임 검사를 수행하는 블록과 프레임을 분석하여 정보를 추출하는 블록을 SDL과 다르게 설계하였다. 삼성 0.35공정 라이브러리를 이용하여 합성한 결과 3만 게이트의 크기를 갖으며, 최대 동작 주파수는 100MHz이다. 메모리는 47Kbits SRAM을 사용하였다. 실제 동작의 검증에 앞서 Mentor Graphics사의 ModelSim을 이용하여 시뮬레이션을 수행하였으며, 동작 검증은 Huins사의 Altera Excalibur FPGA가 탑재된 XP8000 보드를 이용하여 이루어 졌다.

I. 서론

802.11은 크게 MAC과 PHY(Physical)계층으로 이루어 졌다. MAC 계층은 상위 계층인 LLC(Logic Link Control)와 하위 계층인 PHY 사이에서 프레임 송수신을 담당한다. MAC의 주요 기능은 프로토콜 컨트롤과 프레임 송수신관리, 채널 상태 관리이다[1][2]. 본 논문에서는 기존 SDL에 표기된 MAC 계층보다 성능이 향상된 MAC 계층을 하드웨어와 소프트웨어를 이용해서 설계를 하고 각 기능들을 검증하였다.

II. 본론

2.1 802.11 MAC 구조

802.11 MAC은 프로토콜 컨트롤을 담당하는 블록(Protocol Control), 환경변수와 이벤트를 관리하는 MLME 블록(MAC sublayer management entity), MAC의 동작을 관리하는 블록(MAC Management Service), LLC 계층

과 데이터를 교환하는 블록(MAC Data Service), MAC 프레임을 생성하는 블록, 프레임 송신 블록(Transmission)과 수신블록(Reception)으로 구성되어 있다. 그림 1은 802.11 MAC 의 구조를 나타내었다. MAC layer를 설계시, 컨트롤 및 관리 블록 설계는 복잡한 연산이 포함된 알고리즘의 처리가 필요하므로 소프트웨어로 구현하는 것이 좋다. 그러나 송신, 수신 블록은 MPDU(MAC Protocol Data Unit)를 PHY layer로 전송을 하거나, PHY layer로부터 데이터를 전송받는 고속의 데이터 처리가 필요한 부분이므로 하드웨어로 구현하는 것이 올바르다.

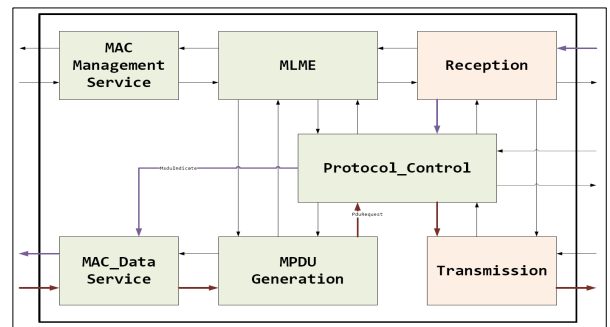


그림 1. 802.11 MAC 구조도

2.2 설계된 하드웨어 구조

설계된 하드웨어 MAC은 송신블록과 수신블록으로 구분된다. 수신 블록은 가상 반송파 감지를 통해 NAV(network allocation vector)가 0이 되면, CSMA/CA(carrier sense multiple access with collision avoidance) 동작을 위해 송신 블록으로 물리 계층에서 받은 채널의 정보를 기반으로 채널 정보를 전달한다. 또한 수신 블록은 채널이 비어 있을 때, Backoff 동작을 위해 주기적으로 슬롯 신호를 송신 블록으로 전달한다. 송신 블록은 Backoff 값이 0이 되면 컨트롤 블록으로 신호를 전달한다. 신호를 전달 받은 컨트롤 블록은 LLC 계층이나 관리블록으로부터 송신 요청에 의해 생성된 MPDU를 송신 블록으로 전송시키고, 송신블록은 MPDU PHY 계층으로 전송한다[1][3].

수신 블록은 수신 프레임을 버퍼링하기 위해서 내부메

본 논문은 IDEC의 톨 지원 및 ETRI IT-SOC 사업단의 지원으로 이루어졌습니다.

모리를 사용하였으며, 크기는 20K bits이다. 수신블록은 PHY 계층에서 수신된 프레임을 분석하여 유효성 검사 및 필요한 정보를 분석한 후 LLC 계층이나 관리블록으로 전송한다. 수신된 프레임은 버퍼링하기 위한 수신 블록의 내부 메모리 크기는 전송블록과 동일하다. 또한 중복 수신 프레임 검사를 위한 블록은 동작을 위해 3Kbits의 내부 메모리를 갖는다. 그리고 수신 프레임을 분석하여 필요한 정보를 추출하기 위한 블록들은 이를 수행하기 위해 3Kbits의 메모리를 갖는다. 위에서 언급한 블록들 외에도 유동적인 클럭에서도 동작이 가능한 타이머(Local Timer), LLC와 PHY 계층과의 인터페이스와 하드웨어 동작에 필요한 파라미터들이 저장되는 레지스터 파일(Register Files), 전체 블록을 제어하는 블록(Top Controller)이 있다.

송신 블록은 DataPump 블록과 Backoff 블록 두 가지로 구성된다^[3]. DataPump 블록의 동작은 상위 블록에서 생성된 MPDU를 매니저 블록의 신호에 의해 PHY layer로 전송을 한다. MPDU는 상위 블록에서 생성되어 SRAM에 저장된다. DataPump 블록은 SRAM에 저장된 MPDU 데이터를 1octet씩 읽어와 PHY layer로 전송한다. DataPump 블록은 PHY layer로 데이터를 전송하면서 CRC32 Generator를 통해 전송 데이터에 대한 fcs(frame check sequence)를 생성하여 마지막에 전송을 한다^{[1][3]}.

Backoff 블록은 수신 블록으로부터 받은 채널 상태의 신호와 매니저 블록을 통해 받는 Contention Window 데이터를 통해 Random Backoff 동작을 수행한다.

2.3 설계된 MAC 하드웨어의 특징

본 논문에서 제안된 MAC 계층 설계는 성능 향상을 위해 SDL에 기술되어 있는 것과는 다른 몇 가지의 구조를 제안한다.

첫 번째로, SDL은 중복 수신프레임 검사와 수신 프레임에서 필요한 정보를 추출하는 동작이 수행하는 시점을 프레임 수신에 완료된 후에 수행을 하도록 표기하고 있다. 반면에 설계된 MAC 계층에서는 프레임 수신과 동시에 수행하는 병렬구조로 되어있다.

이런 구조에서 중복 수신 프레임 검사는 프레임의 길이가 길수록 좋은 성능을 가질 수 있다. 프레임 길이가 짧은 ACK, RTS, CTS 프레임과 같은 컨트롤 프레임의 경우에는 중복 수신 프레임 검사를 수행하지 않기 때문에 설계한 MAC구조는 SDL보다 효과적이다. 필요한 정보는 프레임 헤더와 비콘 프레임에서 추출하는 경우가 대부분이다. 따라서 프레임 헤더를 저장하기 위한 레지스터를 설계하여 이를 사용한다. 프레임 정보를 분석하여 추출하는 블록들도 수신에 종료되기 이전에 수행이 완료되기 때문에, 프레임 수신 후에 추가적으로 수행하는 시간이 줄어 든다는 장점을 갖는다.

두 번째로, 송신을 원하는 스테이션들은 임의의 지연 후에 송신이 이루어지므로 Backoff 블록에서 난수 발생기가 사용된다. 일반적으로 난수 발생기는 소프트웨어로 구현이 되어 왔다. 그러나 제안된 설계에서는 4~10 bits LFSR(Linear Feedback Shift Resister)들을 이용하여 난수가 필요시 즉각적으로 사용될 수 있도록 하였다.

세 번째로, SDL에서 송신 블록의 Data Pump 블록에서 사용되는 CRC32 생성 모듈은 많은 연산양과 지연 시간을 필요로 하는 순차적인 알고리즘을 사용한다. 본 논문에서 사용한 CRC32_Gen 모듈은 EX-OR 연산을 이용하여 병렬 연산하도록 설계하여 최대한 연산에 의한 지연을 줄여 이러한 문제점을 해결하였다.

III. 성능분석

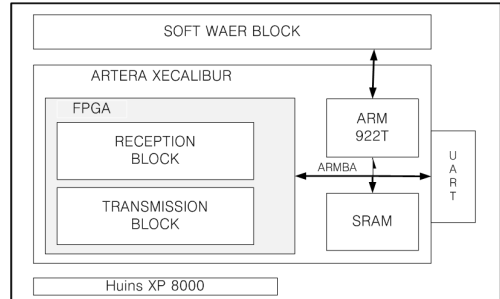


그림 2 설계 블록 검증 환경

그림 2는 검증 환경을 나타내고 있다. 설계된 MAC의 동작을 검증하기 위한 플랫폼은 ARM 922T 코어가 내장된 Altera사의 Excalibur FPGA를 탑재한 Huins사의 xp8000 시리즈보드를 이용하여 40MHz의 동작 주파수로 검증을 하였다. FPGA의 합성 크기는 7,512LE(Logic Element)이고 memory는 136,192bits이며 동작 주파수는 37MHz이다. ASIC 환경을 확인하기 위해 삼성0.35공정 라이브러리정보를 이용하여 Synopsys사의 Design Compiler에서 합성을 하였다. 로직의 크기는 약 3만 게이트 정도의 크기이고 메모리는 47Kbits가 사용되었다. 최대 동작 주파수는 100MHz이다^[4]. 또한 IEEE 802.11의 물리 계층과 연동하기 위한 입출력 신호의 규격을 모두 만족하는 것을 에뮬레이션을 통하여 확인 하였다.

IV. 결론

본 논문에서는 IEEE 802.11 MAC 계층 중에서 송,수신 블록을 하드웨어로 구현 하였으며, SDL의 기술내용보다 좋은 성능을 갖도록 설계하였다. 검증 플랫폼은 ARM 922T 코어가 내장된 Altera사의 Excalibur FPGA를 탑재한 Huins사의 xp8000 시리즈보드를 이용하였다. 현재 소프트웨어로 설계된 MAC 계층 부분을 ARM 프로세서에 포팅하는 작업을 수행하고 있고, 소프트웨어와 하드웨어의 인터페이스를 완료하고 검증을 수행하였다. 추후로 데이터 전송 품질을 위한 QoS 기능과 보안 기능인 WEP 기술의 구현을 추가할 계획이다.

참고문헌

[1] IEEE P802.11-REVma, "Part 11:Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications", 2006.
 [2]Matthew S. Gast, "802.11 Wireless Networks : The Definitive Guide", 2nd Edition, O'Reilly , April 2005.
 [3] ITU-T, Rec. Z.100, "Specification and Description Language (SDL), SDL 2000", Geneva, Switzerland.
 [4] (c)Samsung Electronics, S3C2440A 32-Bit CMOS Microcontroller User's Manual Revision 1, 2004.