

IP기반 H.264 디코더 설계를 위한 동기식 비선형 및 병렬화 파이프라인 설계

고병수, *공진홍
 광운대학교 컴퓨터공학과
 e-mail : koindol@kw.ac.kr, kongjh@kw.ac.kr

A design of synchronous nonlinear and parallel for pipeline stage on IP-based H.264 decoder implementation

Byung-Soo Ko, *Jin-Hyeung Kong
 Dept. of Computer Engineering
 Kwangwoon University

Abstract

This paper presents nonlinear and parallel design for synchronous pipelining in IP-based H.264 decoder implementation. Since H.264 decoder includes the dataflow of feedback loop, the data dependency requires one NOP stage per pipelining latency to drop the throughput into 1/2. Further, it is found that in execution time, the stage scheduled for MC is more occupied than that for CAVLD/ITQ/DF. The less efficient stage would be improved by nonlinear scheduling, while the fully-utilized stage could be accelerated by parallel scheduling of IP. The optimization yields 3 nonlinear {CAVLD&ITQ}|3 parallel {MC/IP&Rec.}| 3 nonlinear {DF} pipelined architecture for IP-based H.264 decoder. In experiments, the nonlinear and parallel pipelined H.264 decoder, including existing IPs, could deal with full HD video at 41.86MHz, in real time processing.

I. 서론

H.264 디코더의 각 IP는 데이터처리 성능이 달라서 동기식 파이프라인이 효율적인 스케줄링을 가져오지 못하게 한다. 이에 복수개의 IP를 한 개의 스테이지에 스케줄링하여 동기식 파이프라인 처리성능의 균형을 맞추거나[1], 비동기식 파이프라인을 통해 동기식 파이프라인에서 발생하는 IDLE 상태를 줄여 처리성능을 향상시킨다[2]. 본 연구에서는 IP 기반 H.264 디코더 설계의 처리성능을 높이고 파이프라인 동작효율을 높이고자 파이프라인 스테이지에 대한 비선형 및 병렬화 설계 방법을 탐색하였다. 병렬 파이프라인 개수 증가에 따른 비선형 파이프라인 스테이지의 동작효율을 살펴보고, throughput과 파이프라인의 효율이 최대가 되는 파이프라인 구조를 설계하였다.

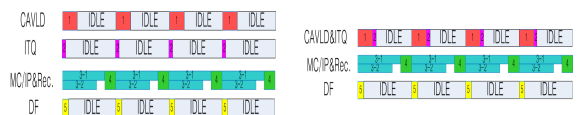
II. H.264 디코더 파이프라인 설계

H.264 디코더는 CAVLD, ITQ, MC, IP, Rec., DF로 구성된다. 매크로블록 단위의 파이프라인을 하는 H.264 디코더에서 IP는 Rec.이 완료 후 동작해야 하는 데이터의존성이 발생한다. IP와 Rec.에 각각의 파이프라인 스테이지를 스케줄링하면 데이터의존성을 유지하기 위해서 NOP의 스테이지 지연을 요구하여 디코더의 throughput을 떨어뜨린다. 이와 같은 제한은 H.264 디코더의 IP와 Rec.를 하나의 파이프라인 스테이지에 스케줄링하여 해결할 수 있다. 실제 표 1의 H.264 IP 기반의 H.264 디코더의 파이프라인을 설계하면, 그림 1과 같은 H.264 디코더의 throughput이 최대가 되는 3단 및 4단의 파이프라인과 IP의 동작을 볼 수 있다.

그림 1 (a)와 (b)의 파이프라인을 비교해보면, 같은 Throughput을 보이지만, (b)의 파이프라인이 (a)의 파이프라인보다 IDLE상태가 작음을 알 수 있다. 전체 파이프라인 주기 사이클에서 전체 파이프라인 동작 사이클이 차지하는 실행비율을 구해보면, CAVLD &ITQ/IP/MC&Rec./DF의 3단 스테이지 (a)가 0.47로, 4단 스테이지 (b)의 0.35보다 높게 나타나지만 50%에 미치지 못하는 효율성을 보이고 있다.

표 1. H.264 디코더 IP 처리성능

	CAVLD[3]	ITQ[4]	MC[5]	IP[6]	Rec.[7]	DF[8]
MB당 처리사이클	146	18	416	384	96	96



(a) 4단계 파이프라인 (b) 3단계 파이프라인

그림 1. H.264 디코더의 타이밍 다이어그램

III. 파이프라인 스테이지 비선형 및 병렬화

H.264 디코더의 그림1 (b) 3단 파이프라인 스테이지별

"본 논문은 지식경제부 출연금으로 ETRI, SoC산업진흥센터에서 수행한 IT SoC 핵심설계인력양성사업의 연구결과이며 2008년도 「서울시 산학연 협력사업」의 「나노IP/SoC설계기술혁신사업단」과 반도체설계교육센터(IDEC)의 지원으로 이루어졌습니다."

동작효율을 구해보면, CAVLD&ITQ 스테이지가 0.32, IP/MC&Rec. 스테이지는 1.0, DF 스테이지가 0.13이다. 그림 2는 H.264 디코더에 복수개의 IP/MC&Rec. IP를 사용하여 병렬 파이프라인을 하고 나머지 IP는 비선형 파이프라인으로 스케줄링하여 시스템의 throughput을 높이는 파이프라인의 구조를 보인다. 표 2는 병렬 파이프라인 개수 증가에 따른 비선형 파이프라인 스테이지의 동작효율이다. 파이프라인 스테이지 병렬화 개수가 3일 때, CAVLD&ITQ 파이프라인 스테이지 동작효율이 0.96으로 거의 IDLE상태가 없다. 따라서 throughput을 향상시키고, 파이프라인 효율이 최대인 파이프라인 구조는 1단의 3개(CAVLD&ITQ) 비선형과 2단의 3개(MC/IP&Rec.) 병렬화 및 3단의 3개(DF) 비선형으로 구성된다.

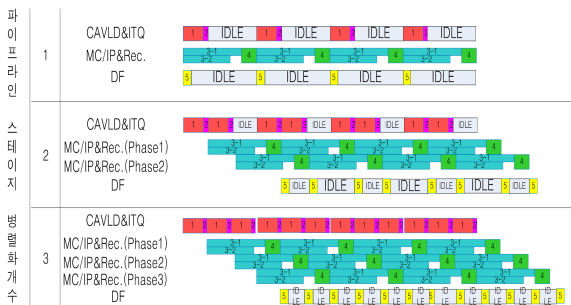


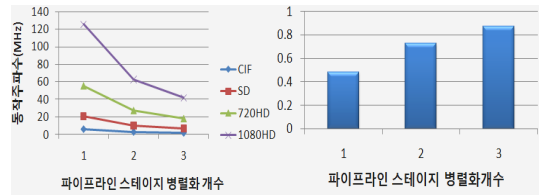
그림 2. 파이프라인 스테이지 비선형 및 병렬화 설계 비교

표 2. 파이프라인 스테이지 병렬화에 따른 스테이지 동작효율 비교

파이프라인 스테이지 병렬화 개수		1	2	3
파이프라인 동작효율	CAVLD&ITQ	0.32	0.64	0.96
	MC/IP&Rec.	1.00	2.00	3.00
	DF	0.13	0.26	0.39

IV. 실험 및 고찰

H.264 디코더 IP를 트랜잭션 레벨로 모델링하여 Synopsys사의 Cocentric을 이용, IP 간 데이터 이동 및 데이터 처리에 따른 시스템 처리 성능을 시뮬레이션 하였다. 그림 3은 병렬 파이프라인 개수에 따른 H.264 디코더의 동영상 처리성과 파이프라인의 동작효율을 비교하였다. 전체 파이프라인 주기 사이클에서 파이프라인 동작 사이클이 차지하는 실행비율을 구하면, 병렬파이프라인 1/2/3의 H.264 디코더 파이프라인 동작 효율은 각각 0.48/0.73/0.87이다. 이는 병렬 파이프라인 개수가 증가함에 따라 동작효율도 향상됨을 보여 주고 있다. 또한 병렬 파이프라인 개수를 3으로 하면, 1080 Full HD 동영상을 41.86 MHz로 실시간 처리가 가능하다. 그리고 병렬 파이프라인의 개수에 비례하여 처리성능이 좋아 짐을 알 수 있는데, 이는 비선형 파이프라인 및 파이프라인 스테이지 병렬 설계 방법을 통해 적은 연산자원으로 시스템의 처리성능을 향상시킬 수 있음을 보이는 것이다.



(a) 동영상 처리성능 (b)파이프라인 동작효율
그림 3. 병렬 파이프라인 개수에 따른 H.264 디코더 성능비교

V. 결론

본 연구에서는 IP기반 H.264 디코더의 데이터 처리성능 및 동작효율을 높이고자 동기식 파이프라인에서 스테이지 비선형 및 병렬화 구조를 설계하였다. H.264 디코더의 각 파이프라인 스테이지별 동작 효율을 살펴보고 파이프라인의 효율이 최대가 되는 비선형 파이프라인과 파이프라인 스테이지에 대한 병렬화 구조를 탐색하였다. H.264 디코더에 대한 3비선형 {CAVLD&ITQ} | 3병렬화 {MC/IP&Rec.} | 3비선형 {DF} 가 3단 스테이지를 갖는 H.264 디코더가 Full HD(1920 x1080) 동영상(30fps)을 동작주파수 41.86MHz로 실시간 처리하는 최적의 스케줄링을 보인다.

참고문헌

- [1] Wang Shu-hui, et al., "Macroblock-level decoding and deblocking method and its pipeline implementation in H.264 decoder SOC design", Journal of Zhejiang University, Volume 8, Number 1, p.36-41, Jan. 2007
- [2] Kawakami, Kentaro, et al., "Power and Memory Bandwidth Reduction of an H.264/AVC HDTV Decoder LSI with Elastic Pipeline Architecture", ASP-DAC '07., p.292-297, Jan. 2007
- [3] George, Tony Gladvin, et al., "A New Fast Architecture for HD H.264 CAVLC Multi-syntax Decoder and its FPGA Implementation", ICCIMA 2007, p.118-122, 13-15 Dec. 2007
- [4] Kuan-Hung Chen, et al., "A high-performance low power direct 2-D transform coding IP design for MPEG-4 AVC/H.264 with a switching power suppression technique", VDAT 2005., p.291-294, 27-29 April 2005
- [5] Mo Li, et al, "The high throughput and low memory access design of sub-pixel interpolation for H.264/AVC HDTV decoder", SIPS 2005, p.296-301, 2-4 Nov. 2005
- [6] Sahin, Esra, et al., "An Efficient Intra Prediction Hardware Architecture for H.264 Video Decoding", DSD 2007, p.448-454, 29-31 Aug. 2007
- [7] Kun, Yang, et al., "A Hardware-Software Co-design for H.264/AVG Decoder", ASSCC 2006, p.119-122, Nov. 2006
- [8] Heng-Yao Lin, et al., "Efficient deblocking filter architecture for H.264 video coders", ISCAS 2006, p.190-193, 21-24 May 2006