

연산 공유 및 효율적인 스케줄링에 기반을 둔 H.264 디코더용 통합 IP/IT/IQ/MC 회로 구조¹⁾

*천동엽, 이선영, 조경순
한국의외국어대학교 전자정보공학부
e-mail: chundy@hufs.ac.kr

Architecture of Unified IP/IT/IQ/MC Circuit for H.264 Decoder Based on Operation Sharing and Efficient Scheduling

*Dong-yeob Chun, Seonyoung Lee, Kyeongsoon Cho
Department of Electronics and Information Engineering
Hankuk University of Foreign Studies

Abstract

This paper presents a new architecture of unified IP/IT/IQ/MC circuit for H.264 decoder based on operation sharing and efficient scheduling. The resultant circuit based on the proposed architecture uses only 12 adders and 1 multiplier. We further reduced the circuit size by sharing buffers. Our circuit consists of 47,810 gates and operates at the maximum operating frequency of 117MHz with 130nm standard cells.

I. 서론

DMB (digital multimedia broadcasting)와 같은 휴대용 멀티미디어 시스템에서 많이 사용되는 H.264[1] 비디오 디코더에서 IP (intra prediction), IT (inverse transform), IQ (inverse quantization), MC (motion compensation)는 연산을 많이 필요로 하는 모듈이다. 본 논문에서는 이러한 IP/IT/IQ/MC에 대한 통합 회로 구조를 제안한다. 이 구조는 적절한 스케줄링 및 사용되는 연산기와 버퍼의 공유를 통해 12개의 덧셈기와 1개의 곱셈기를 갖는 효율적인 회로 구조로 고안되었다.

1) 본 논문은 지식경제부 출연금으로 ETRI, SoC산업진흥센터에서 수행한 IT SoC 핵심설계인력양성사업과 IDEC의 CAD툴 지원에 의한 연구결과입니다.

II. 본론

2.1 IP/IT/IQ회로

연산을 공유하는 통합 회로 구조를 고안하기 위해 우선 각 모듈의 효율적인 회로 구조를 연구하였다. IP 회로는 총 17개의 예측 모드의 연산식을 정리하여 3개의 덧셈기와 1개의 곱셈기를 사용하는 구조로 설계하였고,[2] IT회로는 3가지 역변환의 연산식을 정리하여 8개의 덧셈기를 사용하는 구조로 설계하였다. IQ는 1개의 덧셈기와 곱셈기를 사용하여 설계하였다.[2]

2.2 MC회로

MC회로는 1/2, 1/4화소로 보간 하는 알고리즘을 분석하여 연산공유와 스케줄링, 중복 연산되는 화소 제거, 입력 중복데이터를 제거하는 방법을 통하여 총 12개의 덧셈기로 회로를 구현하였고 이는 기존 제안된 구조 [3]에 비해 동작속도, 회로크기 측면에서 효율적이다.

2.3 연산공유를 통한 IP/IT/IQ/MC 통합회로

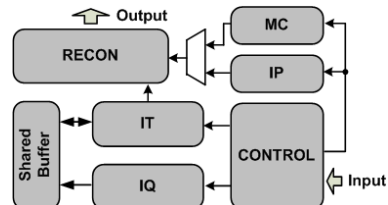


그림 1. 통합회로 구조

그림 1은 연산공유를 통한 IP/IT/IQ/MC 회로와 이를

제어하는 회로에 대한 전체적인 회로구조이다. 우선 IP/IQ/MC의 입력이 제어 회로로 들어오고, 제어신호에 의해 각 모듈의 입력으로 전송된다. IT는 IQ의 출력데이터를 입력으로 받는다. 이때 IQ에서 IT로 들어가는 데이터는 버퍼를 거치게 되는데 이 버퍼는 IT연산시 트랜스포즈 버퍼와 IP/IT/IQ/MC의 출력 값을 재구성하는 버퍼로도 사용된다. IP/MC는 모드에 따라 선택적으로 동작한다.

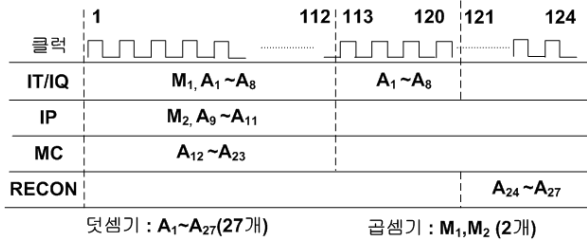


그림 2. 연산 공유 전 타이밍도

그림 2는 IT/IQ/IP/MC 모듈이 연산을 공유하지 않았을 때 덧셈과 곱셈이 이루어지는 시기를 나타낸다. RECON은 IT의 결과에 IP 또는 MC의 결과를 더하여 영상을 재구성하는 모듈이다. 연산공유 전에 사용되는 연산기는 27개의 덧셈기(A₁~A₂₇), 2개의 곱셈기(M₁, M₂)이다.

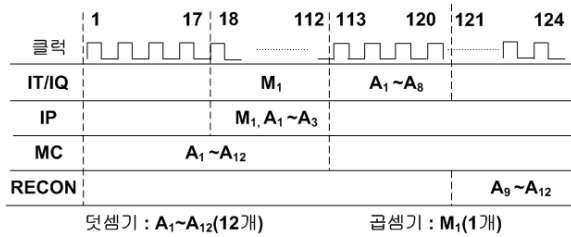


그림 3. 연산 공유 후 타이밍도

연산 공유전의 타이밍 분석을 바탕으로 IP/IT/IQ/MC 모듈의 연산을 공유하였다. 각 모듈들에서 사용되는 연산기들과 출력을 저장하는 버퍼의 사용을 스케줄링을 통해 정리하면 그림 3과 같이 12개의 덧셈기(A₁~A₁₂)와 1개의 곱셈기(M₁)만으로 회로를 구현할 수 있다. 클럭 1~112구간에서 MC연산은 12개의 덧셈기(A₁~A₁₂)를 사용한다. IP의 경우는 MC가 수행되지 않을 때 선택적으로 동작하므로, 클럭 18~112구간 사이에서 3개의 덧셈기(A₁~A₃)와 1개의 곱셈기(M₁)를 이용하여 구현할 수 있다. IQ에 사용되는 곱셈기는 IP가 연산하는 구간을 피하여 동일한 1개의 곱셈기(M₁)를 사용하여 구현한다. IT의 경우에는 MC의 연산이 끝나고 다음 블록의 입력 데이터를 받는 구간인 클럭 113~120에서 8개의 덧셈기(A₁~A₈)를 가지고 구현한다. 클럭 121~124에서 RECON은 IT의 결과와 IP, MC중 하나의 연산결과를 합하기 위하여 4개의 덧셈기(A₉~A₁₂)를 사용한다.

III. 실험결과

제안한 구조를 바탕으로 Verilog-HDL을 사용하여 H.264 디코더용 IP/IT/IQ/MC 회로를 RTL(register transfer level)에서 설계하였다. 시뮬레이션 결과와 레퍼런스 프로그램의[4]결과를 비교하여 RTL과 게이트 레벨에서 동작을 검증하였다. 130nm 표준 셀 공정을 사용하여 연산기와 버퍼를 공유하기 전과 공유한 후의 회로를 합성한 결과는 표 1과 같다. 연산기와 버퍼를 공유함으로써 약 18% 정도 회로크기를 줄일 수 있었다. 설계한 회로는 최대 동작 주파수가 130nm 표준 셀 공정에 대하여 117MHz이다.

표 1. 연산 공유 전/후 합성 결과

	연산 공유 전	연산 공유 후
게이트 수	57,886	47,810
연산기 수 (덧셈기/곱셈기)	27/2	12/1
지연시간 (ns)	9.83	8.56

IV. 결론

본 논문에서는 H.264의 IP/IT/IQ/MC 동작을 분석하여 연산기, 버퍼의 공유와 효율적인 스케줄링을 통해 회로 크기를 최소화하기 위한 구조를 기술하였다. 설계한 회로는 130nm 표준 셀 공정을 사용하는 경우 VGA영상 (640x480)을 1초당 32장까지 처리하는 성능을 보였으며, H.264 표준을 만족하여 상용 H.264 디코더에 적용할 수 있는 수준을 달성하였다.

참고문헌

- [1] Draft ITU-T Recommendation and Final Draft International Standard of Joint Video Specification (ITU-T Rec H.264/ISO/IEC 14469-110 AVC), Mar, 2003.
- [2] 천동엽, 심재오, 이선영, 조경순, “연산 공유에 기반을 둔 H.264 디코더용 IP/IT/IQ의 효율적인 회로 구조,” 대한전자공학회 추계종합학술대회 논문집, 제30권 제2호, pp.299-300, November 2007.
- [3] L.Deng, et al. “An Efficient VLSI Implementation for MC Interpolation of AVS Standard”, 5th Pacific Rim Conference on Multimedia, Tokyo, Japan, pp200-206, Nov.30 - Dec.3, 2004.
- [4] JVT H.264 Reference Software Version JM11.