

# DF-DPD의 고속 데이터 처리 구조

\*김영삼, 정진두, 윤상훈, 장성현, 정만희, 오대건, 정정화  
 한양대학교 정보통신학부  
 e-mail : ys31205@hanyang.ac.kr

## Architecture for High-speed Data Processing of DF-DPD

\*Yeong-Sam Kim, Jin-Doo Jeong, Seong-Hyeon Jang, Man-Hee Jeong,  
 Dae-Gun Oh, and Jong-Wha Chong  
 Information and Communication  
 Hanyang University

### Abstract

This paper proposes an architecture for high-speed data processing of the DF-DPD. The DF-DPD have the architecture feedbacking the detected phase to reduce the noise of the previous symbol as phase reference. However, the feedback of the detected phase results in lower data processing speed than that of the conventional differential phase detection. In this paper, an architecture is proposed for high-speed data processing of the differential phase detectors with decision feedback in the DF-DPD.

### I. 서론

M-ary PSK (Phase Shift Keying) 변조된 신호를 복조시키기 위해서는 수신된 신호의 위상과 수신기의 참조 신호의 위상을 일치시키는 과정이 필요하다. 그러므로, 복잡한 동기 회로 부분이 들어가 수신기의 구조가 복잡해진다. 한편, 비동기 복조인 M-ary DPSK (Differential Phase Shift Keying)는 복조할 때 이전 신호를 참조 신호로 사용하는 차동 복조이기 때문에 수신기의 구조가 간단하다. 하지만, M-ary DPSK를 이용한 차동 복조를 할 경우 M-ary PSK의 동기 복조

방법보다 비트 오류 확률면에서 성능이 떨어지게 된다 [1]. 차동 복조의 비트 오류 확률을 개선하기 위해 제시된 방법들 중 하나가 바로 DF-DPD (Decision Feedback Differential Detection) [2]이다.

본 논문에서는 DF-DPD 방식의 단점인 케환구조로부터의 낮은 전송속도를 극복하여 기존의 차동위상검출방식과 같은 전송속도를 갖기 위한 설계방법을 제안한다.

### II. 일반적 DF-DPD 검출 구조

차동 복호화를 통해 수신된 신호의 위상을 복조하는 방법을 차동 위상 검출 (DPD - Differential Phase Detection)이라 한다.

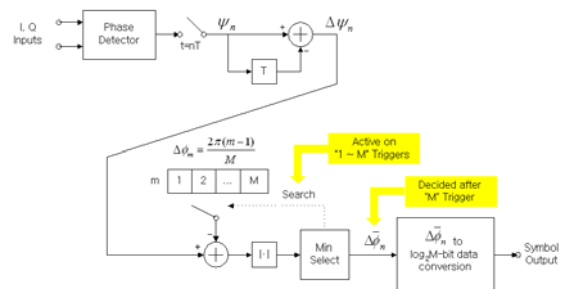


그림 1. 일반적 DPD에서의 차동 위상 검출 과정

M-ary DPSK 복조기의 차동 위상 검출 과정에서는 현재 수신된 차동 위상과 참조 위상들과의 차이를 구하는 과정이 있다. 다시 말해, 현재 검출하고자 하는 차동 위상을 얻기 위해서는 M번의 차이를 구하는 과

정이 요구된다. 이것은 한 번의 차동 위상 검출을 위해서는 최소한 M번의 clock triggers 이 필요하다는 것을 뜻한다. 그림 1은 일반적 DPD에서의 클럭 트리거에 의한 검출과정을 보여준다.

하지만 DF-DPD를 설계하는데 있어 유의해야 할 점이 있는데 일반적 DPD와의 가장 큰 구조적 차이점은 결정 케환에 있다. 구체적으로, DF-DPD에서는 현재 검출 차동 위상  $\Delta\bar{\phi}_n$  을 케환시켜,  $\Delta\psi_n - \Delta\bar{\phi}_n$  를 구하고, 이를 다음 수신 차동 위상  $\Delta\psi_{n+1}$  의 검출에 이용한다.  $\Delta\psi_{n+1}$  을 검출하기 위해서는  $\Delta\psi_n - \Delta\bar{\phi}_n$  가 포함되어야 하는데,  $\Delta\psi_n$  는 M 번의 클럭 트리거를 거쳐야만 검출이 완료된다. 이것은  $\Delta\psi_n$  검출 완료와  $\Delta\psi_{n+1}$  검출 시작 사이에  $\Delta\psi_n - \Delta\bar{\phi}_n$  를 구하는 과정이 포함될 없음을 뜻한다. 다음 그림은 일반적 DF-DPD에서의 클럭 트리거에 의한 검출과정을 보여준다.

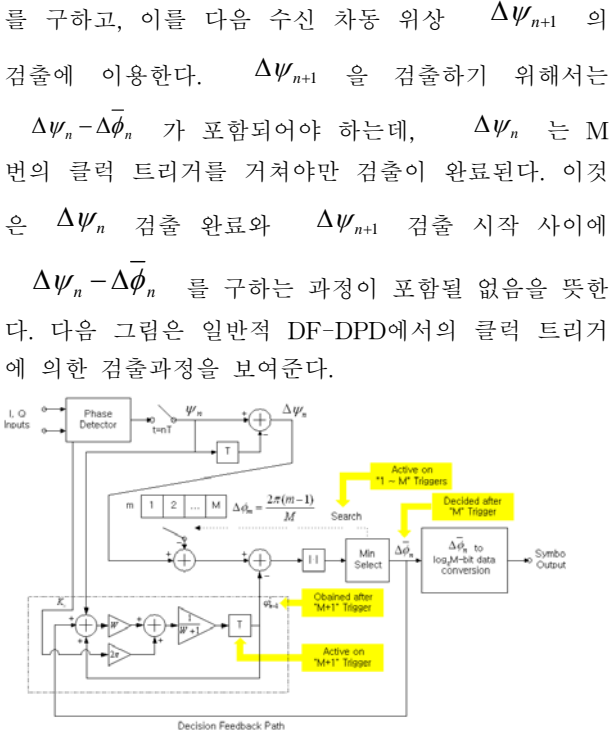


그림 2. DF-DPD에서의 일반적 차동 위상 검출 과정

### III. DF-DPD용 고속 데이터 처리 구조

결정 케환 구조를 갖는 DF-DPD는 현재 차동 위상을 검출하기 위해서는 M+1번의 클럭 트리거가 요구된다. 이는 심볼 크기 또는 데이터 전송률과는 무관한 M+1번씩의 클럭 분배를 요구함을 뜻한다. 이미 설계된 통신 시스템이나 IP (Intellectual Property) 기반 통신 시스템에서 기존의 DPD를 대치하기 위해서는 DPD에서와 마찬가지로 클럭 트리거의 M번 만에 검출 과정을 마무리지어야만 한다. 그러므로, 결정 케환 구조를 갖는 DF-DPD를 통신 시스템에 현실적으로 활용하기 위해서는 M 번의 클럭 분배 동안에 수신된 심볼을 검출할 수 있어야만 한다.

다음 그림은 DF-DPD가 M번 클럭 만에 검출을 완료할 수 있는 제안 구조를 보여 준다. M번째 클럭 트

리거에서 수신위상을 검출하는 기존의 설계방식과는 달리 M-1 번째 단계에서 1 ~ M-1 번째까지의 참조 위상들  $\Delta\phi_m |_{m=1,2,\dots,M-1}$  에서의 비교 결과를 선결정 (Pre-decision)하여 선결정 차동 위상

$\Delta\phi_m |_{m \in \{1,2,\dots,M-1\}}$  을 결정한다.. 그리고, 역시 M-1 번째 클럭 트리거에서 M 번째 참조 위상  $\Delta\phi_m |_{m=M}$  과의 비교 결과를 선계산(Pre-calculation) 한다.

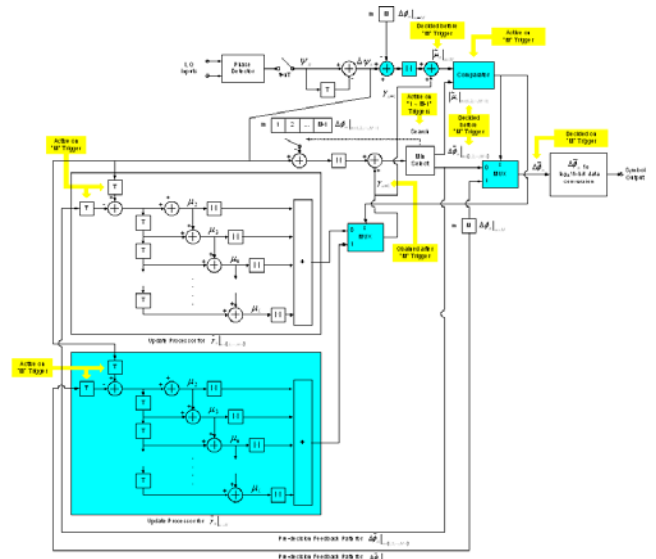


그림 3. DF-DPD 고속 데이터 처리용 제안 구조

### IV. Acknowledgement

본 연구는 지식경제부 및 정보통신연구진흥원의 대학 IT연구센터 지원 사업의 연구결과로 수행되었습니다. (IITA-2008-C1090-0801-0019)

### 참고문헌

[1] Dariush Divsalar and Marvin K. Simon, "Multiple-Symbol Differential Detection of MPSK," *IEEETrans. Comm.*, vol.38, no.3, pp.300-308, March 1990.  
 [2] F. Adachi and M. Sawahashi, "Decision Feedback Differential Phase Detection of M-ary DPSK Signals," *IEEETrans. VehicularTech.*, vol.44, no.2, pp.203-210, May 1995.