

# CMOS 0.25um 공정을 이용한 VDSL2용 수신기의 설계

A Design of VDSL2 Receiver in 0.25um CMOS process

김영신\*, 오환술\*\*, 천정인\*\*\*, 이강윤\*\*

(\* 건국대학교 석사, \*\* 건국대학교 교수, \*\*\* 삼성전기 연구원)

Key Words : VDSL2, Receiver, CMOS, LPF, VGA, ADC

## 목 차

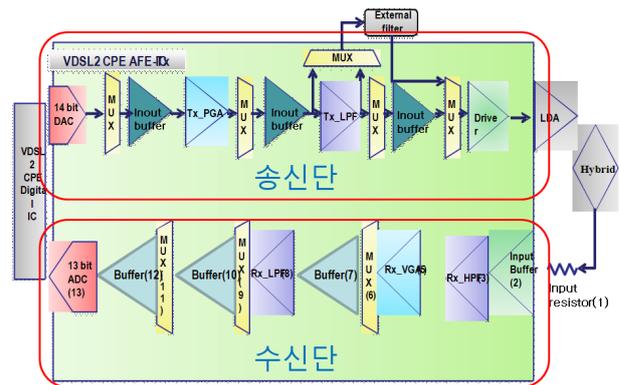
- I. 서론
  - II. 본론
    - 1. Variable Gain Amplifier
    - 2. Low-Pass Filter
  - III. 실험 결과
  - IV. 결론
- 참고문헌

## I. 서론

본 논문에서는 최근 사용이 급증 되어가고 있는 VDSL2용 Chip Set의 Analog Front-End (AFE) 부분의 Receiver 설계에 관한 내용을 보여주고 있다. Receiver는 Cable로부터 입력되는 신호의 저 대역 잡음을 제거해주는 High Pass Filter와 고 대역 부분의 잡음을 제거해주는 Low Pass Filter, Cable로부터의 작은 신호 레벨을 ADC에서 처리 가능한 Level로 증폭해주는 Variable-Gain-Amplifier (VGA), Digital Modem에서 처리 가능하도록 Analog 신호를 Digital 신호로 변환을 해주는 ADC로 구성되어 있다. VDSL2 신호의 Bandwidth는 30MHz로 매우 넓기 때문에, AGC 및 Low Pass Filter에 사용된 OP-AMP등을 최적화 하여 고속의 동작이 가능하도록 설계 하였다. BaseBand 에 사용된 Low Pass Filter 는 선형성 및 Noise 특성을 위해서 Active-RC 구조를 사용하였으며, RC 값 변화에 따른 Cut - Off 주파수 및 Attenuation 특성 변화를 보상하기 위해서 RC tuning 과정을 거쳐 최적화된 설계를 하였다. TSMC 0.25um 공정을 사용하여 설계 하였으며, 2.5V 공급 전압 하에서 전력 소모는 250mW 이다.

## II. 본론

여기서는 설계한 VDSL2 Receiver의 전체적인 구조를 설명하고 각 블록의 구조에 대해 설명 하도록 하겠다. <그림1>은 VDSL2 Receiver 의 전체적인 구조를 보여주고 있다. Rx 부분은 Low-Pass-Filter, Variable-Gain-Amplifier and ADC 등으로 이루어져 있다.



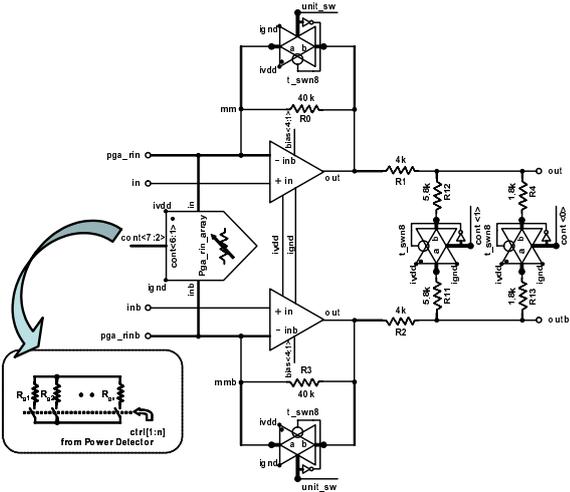
<그림1>Block Diagram of VDSL2

### 1. Variable Gain Amplifier

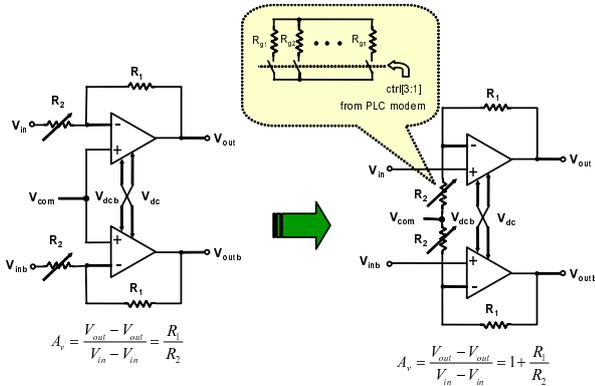
VDSL2의 동적인 신호의 범위는 매우 크기 때문에 Variable Gain Amplifier(VGA)는 동작 영역 안에서 최대 출력 나오도록 동작하고, noise가 최소화 되도록 설계 하였다. 입력 범위는 0.1V에서 2.5V까지 이고, 잡음 지수는  $10nV/\sqrt{Hz}$  이다.

<그림2>는 Variable Gain Amplifier(VGA)의 구조를 보여주고 있다. VGA는 넓은 동작 영역에서 동작 하고 모뎀으로부터 받은 4bit의 컨트롤 신호에 따라 이득을 조절 할 수 있도록 설계 하였다. 이득 조절 은 저항의 크기를 조절하여 이득을 조절하는 구조로 설계 하였다.

그림<3>은 VGA의 DC-Offset 제거 회로를 보여주고 있다. 앞의 구조에서는 전단의 임피던스가 작게 보이게 하는 저항  $R_2$ 가 입력  $V_{in}$  과 연결 되어 있다. 그래서 VGA의 선형성과 같은 성능은 줄어들었다. 이번 설계 에서는 VGA의 입력이



<그림2> Schematic of VGA



<그림3> Voltage Gain of VGA

NMOS transistor의 gate에 연결되어 있다. 연결된 전단은 단지 transistor의 gate capacitor 만 보이게 된다. 이 구조에서는 선형성이 증가될 수 있다. 이득 Av는 저항 R1과 R2의 비에 의해서 결정 된다. 그래서 R1은 크기를 조절할 수 있도록 저항과 스위치로 구성되어 있다.

이번 설계에서는 R2의 크기는 고정 시켜 놓았고, R1은 조절할 수 있도록 설계 하여 VGA의 이득은 R1과 R2의 비에 의해 조절 되도록 하였다. VGA의 이득 단계는 ctrl[3:0]의 4bit 컨트롤 신호로 조절되기 때문에 모뎀에서 들어오는 신호에 의해서 조절이 쉽도록 2dB로 설계 하였다. VGS의 이득은 아래의 식으로 구할 수 있다.

$$A_v = \frac{V_{out} - V_{outb}}{V_{in} - V_{inb}} = 1 + \frac{R_1}{R_2} \quad (\text{수식 1})$$

DC-Offset은 신호를 감쇄 시키고 이어지는 단을 포화 시킬 수 있다. VGA는 DC-offset 제거 회로를 포함한다. 신호가 포화 되는 것을 방지하기 위해 DC-offset 보상 루프 필터는 입력이 DC성분을 넣어 주고 VGA 내부의 offset을 보완해 주기 위해 넣어준다.

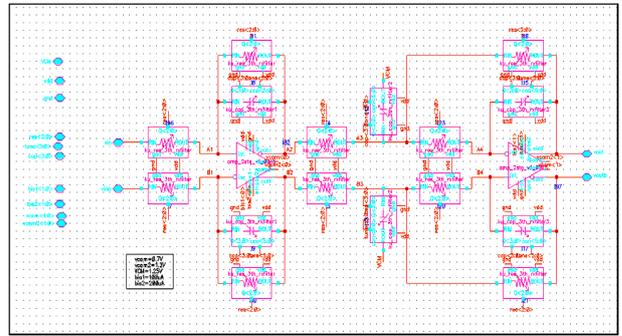
따라서 VGA는 DC-offset 측정 회로에서 감지한 DC-offset을 제거해 주고 동적인 범위의 다음 단은 포화 되지 않게 된다. 출력 신호는 연결 커패시터에 의해 감쇄 없이 증가 될 수 있다. Vout과 Voutb사이의 DC-offset은 Cdc와 Cddb에 Vdc

와 Vdcb처럼 각각 저장되고 제거된다. 나중에 들어오는 신호들은 다시 Vout과 Voutb에 더해져 DC-offset은 무효화 된다. 그러나 DC-offset의 corner frequency가 너무 높은 경우에는 spectral efficiency를 심각하게 줄이게 되어 10KHz 부근에 가장 높은 이득 설정으로 High-Pass Pole이 자리 잡게 되고 그리고 고주파수는 기저대역의 이득이 낮아짐에 따라 저주파로 낮아지게 된다.

기저대역의 입력에서 최고 300mV까지 올라가는 DC-offset은 전체적인 이득 설정에서 회로 적으로 견딜 수 있게 설계 하였다.

## 2. Low-Pass Filter

<그림4>는 수신단에 들어간 active RC type의 chebyshev 3차 filter의 구조를 보여주고 있다.

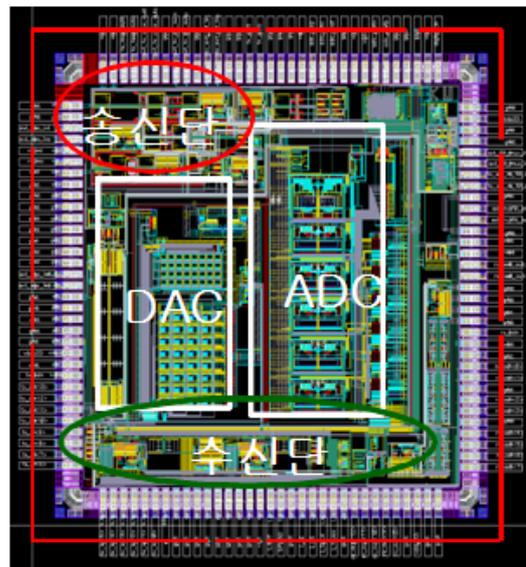


<그림4> Schematic of the Rx Filter

## III. 실험 결과

<그림5>은 칩 레이아웃 모습을 보여주고 있다. 칩은 single poly layer, five metal layer로 이루어져 있는 0.25um CMOS 공정으로 설계 하였다. 칩 면적은 5mm×5mm 이다.

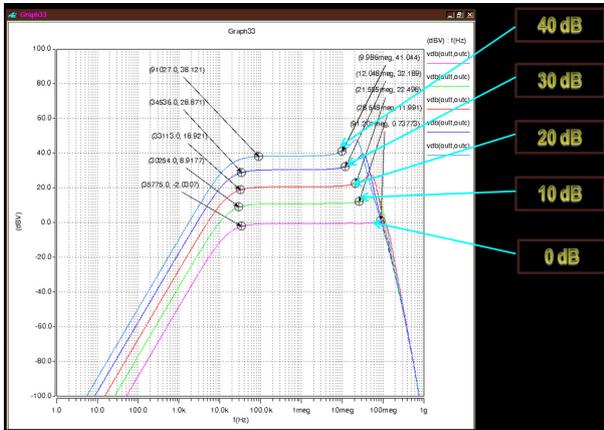
송신단의 출력이 수신단으로 연결 되어 ADC 출력의 SNR



<그림5> Chip Layout

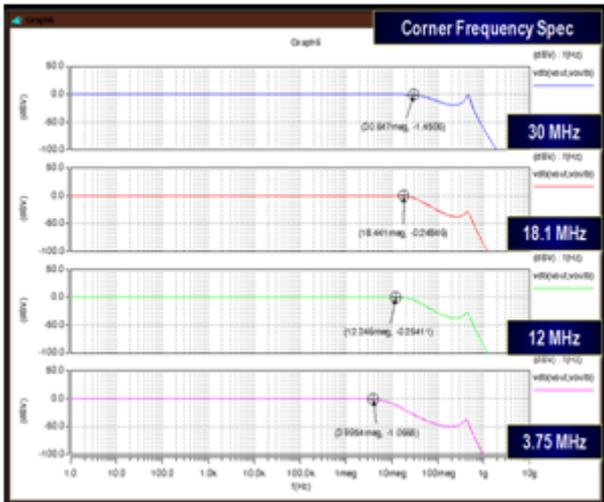
이 측정 되어 진다.

<그림6>는 VGA의 모의실험 결과를 보여주고 있다. Cut-off frequency는 10KHz 에서 DC 성분이 100dB 만큼 감소하였다.



<그림6>Simulation Result of VGA

<그림7>은 Rx Filter의 Simulation 결과를 보여주고 있다. 4가지의 Cut-off frequency(3.75MHz, 12MHz, 18.1MHz, 30MHz)를 갖도록 4개의 대역 사이에 커패시터와 저항을 배열하여 공유하는 형식으로 설계 하였다.



<그림7> Simulation Result of Rx Filter

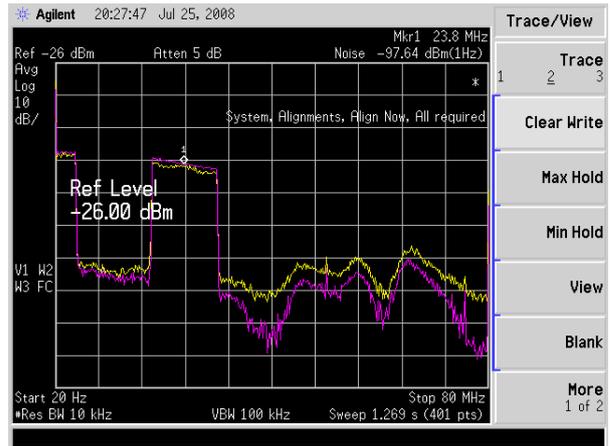
<그림8>은 ADC 출력의 SNR을 측정한 결과이다. 변조된 신호가 들어왔을 경우에 SNR은 40dB 이상으로 측정 되었고 VDSL2의 규격에 만족하는 결과이다.

#### IV. 결론

본 논문에서는 VDSL2 시스템용 Full-CMOS PHY IC 수신기를 설명 하였다.

수신부 에서는 VDSL2 선로의 거리에 따라 편차가 심해지기 때문에 Low-Pass Filter, VGA, ADC를 넓고 동적인 동작 주파수 대역을 갖도록 설계 하였다.

이 칩은 0.25um CMOS공정으로 설계 하였고, 칩 면적은



<그림8> SNR Measurement result

5mm×5mm이다. 전력 소모는 Rx 부분에서 2.5V 전원 입력일 때 250mW가 소모된다.

#### Acknowledgement

본 논문은 지식경제부가 지원하는 국가 반도체 연구개발사업인 “시스템집적반도체기반기술개발사업(시스템 IC 2010)”을 통해 개발된 결과임을 밝힙니다.

#### 참고문헌

1. Kang-Yoon Lee, SeungWook Lee, HyoungKi Huh, HeeYoung Nam, JeongWoo Lee, Joonbae Park, Kyeongho Lee, DeogKyoon Jeong, and Wonchan Kim, "Full-CMOS 2-GHz WCDMA Direct Conversion Transmitter and Receiver", IEEE Journal of Solid-State Circuits, Vol. 38, No.1, pp. 43-53, Jan 2003.
2. YoungGun Pu, SungKyu Jung, DoJin Park, Kang-Yoon Lee, "A CMOS baseband complex bandpass filter with a new automatic tuning method for PHS application", ESSCIRC 2007, September, 2007.
3. Behzad Razavi, Design of Analog CMOS Integrated Circuits, McGraw Hill, 1996.
4. Rolf Schaumann and Mac E. Van Valkenburg, Design of Analog Filters, Oxford University Press, 2001.
5. Behzad Razavi, Principles of Data Conversion System Design, IEEE Press, 1995.