

# GPS 수신기용 RF Front-End 회로 설계

Design of RF Front-End Circuits for GPS Receiver Application

조 후 현\*, 오 환 술\*\*, 이 강 윤\*\*, 박 경 석\*\*\*, 고 선 준\*\*\*

(\*건국대학교 석사, \*\*건국대학교 교수, \*\*\*삼성전기)

Key Words : CMOS, RF receiver, VGA, frequency synthesizer, GPS

## 목 차

1. 서론
2. 본론
3. 시뮬레이션 결과
4. 결론

### I. 서론

오늘날 GPS 기술을 이용한 전자기기의 수요는 높아지고, 보편화 되어가고 있다. 군사, 항공, 교통 분야에서 주로 사용되던 GPS 기술은 휴대폰에 접목하려는 추세이다. 휴대폰에 GPS 기술을 접목하면 휴대폰 소지자가 개인의 위치 정보를 파악 할 수 있을 뿐만 아니라 응급상황이 발생하였을 때 응급구난이 신속하게 이루어질 수 있게 한다.

휴대폰 등의 Mobile 기기에 GPS 기술을 이용하기 위해서는 미약한 GPS 신호를 수신하기 위해서는 저전력으로 구동되면서 높은 이득을 갖고, 수신감도가 좋은 RF Receiver를 필요로 하게 된다. 본 논문은 GPS receiver의 RF front-end에 해당하는 LNA와 Mixer에 관한 내용이다. LNA는 안테나로부터 입력되는 single-ended 신호를 Differential로 바꿀 수 있도록 Single to differential 구조로 되어있다. 또한 입력 매칭과 선형성을 향상시키기 위해서 source degeneration 인덕터가 사용되었다.

GPS에서는 수신 감도가 좋아야 하므로 NF가 낮아야 한다. LNA의 Noise Figure (NF)가 전체 Noise Figure를 좌우하므로, S-Parameter Simulation을 통해서 NF가 4dB 미만이 되도록 설계 하였다. 또한, Gain에 해당되는 S21은 26.4 dB 가 되도록 설계 하였으며, S11은 1.57GHz 대역에서 -10dB 미만이 되도록 설계 하였다.

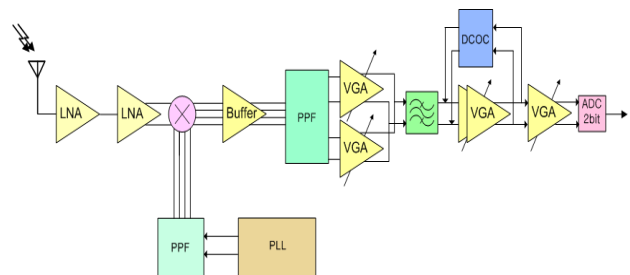
Quadrature Mixer는 Gilbert 구조의 Active mixer를 사용하여 높은 이득을 얻을 수 있도록 하였다.

Quadrature Mixer의 Conversion Gain은 25dB 이다.

Quadrature Mixer 는 Frequency Synthesizer로부터의 LO 신호들의 위상차에 민감한 특성을 지니고 있으므로, LO 신호들의 Mismatch가 최소화 되도록 설계 되었다.

본 논문에서 제시된 GPS receiver는 TSMC 0.13um CMOS 공정을 사용하여 설계되었으며, 1.2V 의 공급 전압에서 LNA와 Mixer 의 전력 소모는 8.4mW이다.

### II. 본론

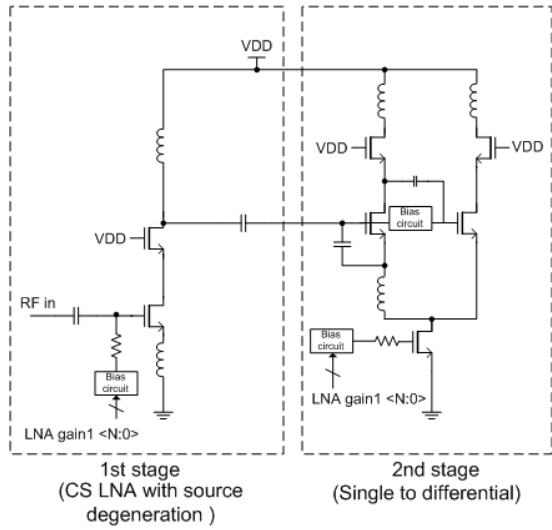


<그림 1> GPS 수신기의 block diagram

그림 1은 GPS 수신기의 블록 다이어그램이다. 안테나로 입력되는 RF 신호는 2 stage LNA를 거치면서 증폭하게 되고, Mixer로 다시 Mixer로 입력된다. Mixer에서는 증폭된 1575Mhz의 RF 신호와 PLL에 연결된 PPF로부터 입력되는 1571Mhz의 LO 주파수를 mixing하여 4.092Mhz의 주파수로 변환하게 된다.

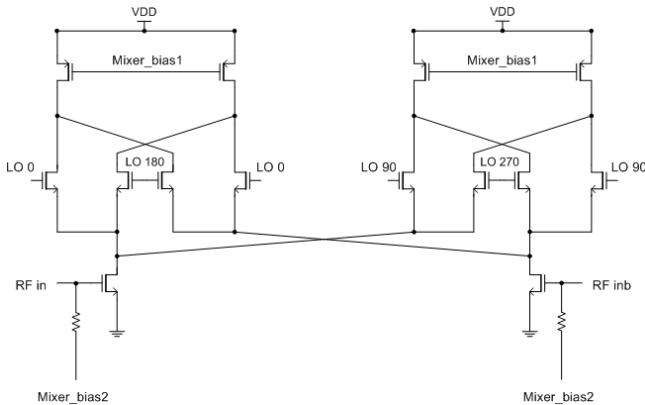
그림 2는 Two-stage LNA(Low Noise Amplifier)로서 높은 이득과 낮은 NF(Noise Figure) 갖고 있어 보편적으로 많이 사용된다. 첫 번째 단은 source degeneration 인덕터를 사용한 single-ended 타입의 LNA를 사용하고, 두 번째 stage는 역시 같은 토폴로지의 single-to-differential LNA를 사용한다. 전체적으로

double balanced down conversion mixer를 구동하기 위한 LNA는 단일 입력과 차동 출력을 갖는다.



<그림 2> Two stage LNA

Mixer는 높은 주파수 변환 이득을 위해서 그림 3과 같이 Gibert type의 Active mixer가 사용되었다. Mixer는 약 26dB의 변환 이득을 가진다. Mixer의 LO 입력은 frequency synthesizer의 출력에 연결된 PPF(Poly Phase Filter)로부터 입력 받는다.



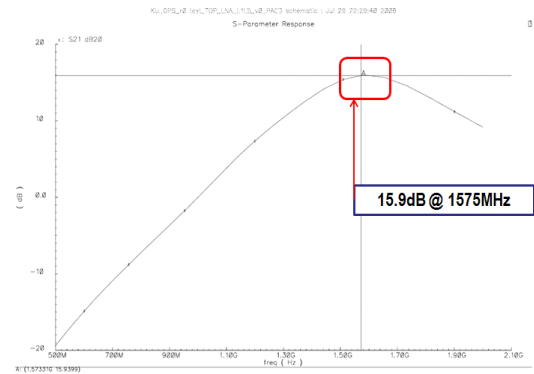
<그림 3> Down Conversion mixer

### III. 시뮬레이션 결과

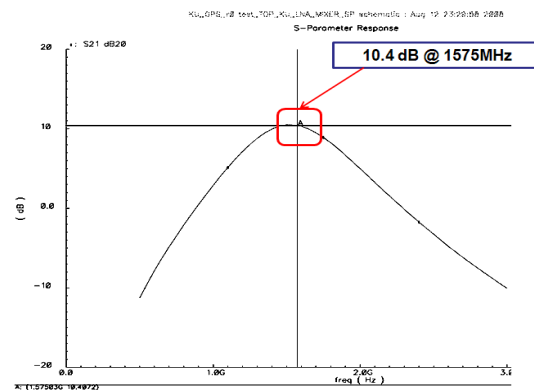
그림 4과 그림 5는 각각은 LNA의 첫 번째 단과 두 번째 단의 이득을 시뮬레이션 한 결과이다. 두 결과 모두 1575MHz에서 최대의 이득을 갖는다. 첫 번째 단의 이득은 약 16dB이고, 두 번째 단의 이득은 약 10dB가 되며 LNA의 전체적인 이득은 약 26dB가 된다. 그림 6은 전체 LNA의 Noise figure 시뮬레이션 결과이다. 1575MHz의 주파수에서 3.9dB의 Noise Figure를 갖는다.

그림 7은 down conversion mixer의 simulation 결과를 보여준다. down conversion mixer는 약 26dB의 변

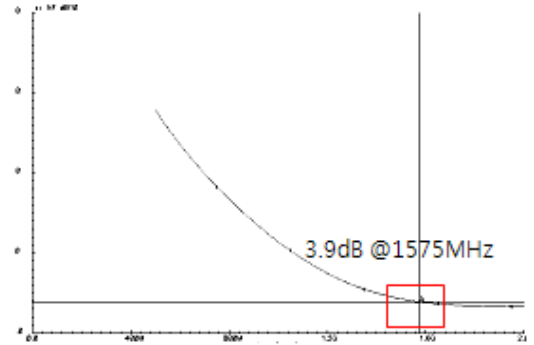
환 이득을 갖는다.



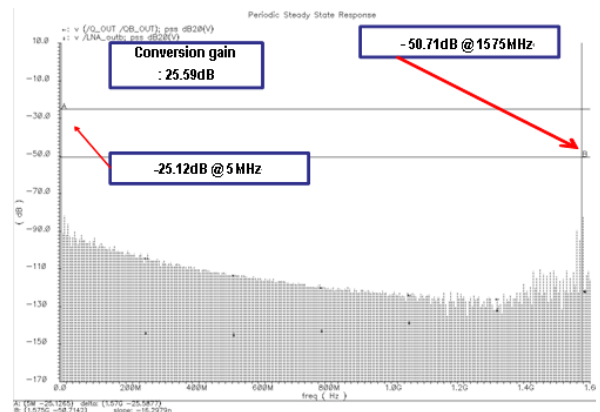
<그림 4> LNA 시뮬레이션 결과(첫번째 단)



<그림 5> LNA 시뮬레이션 결과(두번째 단)



<그림 6> LNA 전체 Noise Figure



<그림 7> Down conversion mixer의 PSS 시뮬레이션 결과

〈표 1〉 성능 요약

파라미터	값	단위
LNA gain	26.3	[dB]
LNA noise figure	3.9	[dB]
Mixer gain	25.1	[dB]
Power consumption (LNA + Mixer)	8.4	[mW]

## IV. 결론

본 논문에서는 0.13um CMOS 공정을 이용한 GPS를 위한 L1-Band RF Front End 회로에 대해서 알아보았다. receiver는 DC offset 문제를 완화하기 위해서 4.092Mhz의 low IF 구조를 기반으로 구성되었다. LNA의 이득은 26.3dB이며 Mixer의 gain은 25.1dB로서 RF 블록의 전체 이득은 51.4dB이며 LNA의 Noise figure는 3.9dB이다. receiver의 전체적인 전력소모는 8.4mW이며 1.2V의 전원 전압을 사용한다.

### Acknowledgement

본 논문은 지식경제부가 지원하는 국가 반도체 연구개발사업인 “시스템집적반도체기반기술개발사업(시스템 IC 2010)”을 통해 개발된 결과임을 밝힙니다.

### 참고문헌

1. D. K. Shaeffer *et al.*, "A 115-mW, 0.5-0m CMOS GPS receiver with wide dynamic range active filters," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 2219-2231, Dec. 1998.
2. A. Murphy *et al.*, "A low-power, low-cost bipolar GPS receiver chip," *IEEE J. Solid-State Circuits*, vol. 32, no. 4, pp. 587 - 591, Apr. 1997.
3. F. Piazza and Q. Huang, "A 1.57-GHz front-end for triple conversion GPS receiver," *IEEE J. Solid-State Circuits*, vol. 33, no. 2, pp. 204 - 210, Feb. 1998.
4. M. Cloutier *et al.*, "A 4-dB NF GPS receiver frond-end with AGC and 2-b A/D," *Dig. Tech. Papers, IEEE Custom Integrated Circuits Conf.* pp. 205 - 208, 1999.
5. G. Gramegna *et al.*, "A 56-mW 23-mm<sup>2</sup> Single-Chip 180-nm CMOS GPS Receiver With 27.2-mW 4.1-mm<sup>2</sup> Radio," *IEEE J. Solid-State Circuits*, vol. 41, no. 3, pp. 540 - 551, Mar. 2006.
6. J. Ko *et al.*, "A 19-mW 2.6-mm<sup>2</sup> L1/L2 Dual-Band CMOS GPS Receiver," *IEEE J. Solid-State Circuits*, vol. 40, no. 7, pp. 1414 - 1425, Jul. 2005.
7. T. Kadoyama *et al.*, "A Complete Single-Chip GPS Receiver with 1.6V 24-mW Radio in 0.180m CMOS,"