

# 5 GHz 대역 CMOS Quadrature VCO 설계

## Design of a 5 GHz CMOS Quadrature VCO

손철호

(광운대학교, 석사과정)

김복기

(광운대학교, 교수)

Key Words : Voltage control oscillator, Quadrature VCO, 3bit Capacitance bank,

### 목 차

I. 서론

II. 회로설계

III. 모의실험 결과 및 레이아웃

IV. 결론

참고문헌

## I. 서론

최근 이동통신 기술에 대한 시장의 요구가 증대됨에 따라 저렴하고 크기가 작으면서 다양한 규격의 기술들을 하나의 칩에 집적화 하려는 노력이 이루어 지고 있다. 그러한 요구를 만족시키기 위해 가장 관심 있게 개발 되고 있는 RF 송수신기는 직접변환방식 (direct conversion receiver) 송수신기이다. 이 직접변환방식의 송수신기를 구현하기 위해서는 전압제어 발진기 (Voltage control oscillator)로부터 4-위상 (Quadrature) 신호가 요구된다. 또한 전압제어 발진기는 다른 블록에 비해 전력소모가 크기 때문에 고성능을 유지하면서도 전력소모량을 낮추기 위한 연구가 많이 되어 지고 있다. [1]-[2]

오늘날에 많이 활용되는 직접변환방식의 무선 송수신기의 구성 블록 중에서 전압제어 발진기는 주파수 변환기에 가해져 입력 고주파를 기저대역으로 변환하거나 기저대역의 신호를 높은 주파수로 변환하는 역할을 한다. 지금까지 4위상 신호를 발생시키는 전압제어발진기가 여러 가지 방법들이 제안되었다. 첫 번째 방법으로는 RC-CR network를 이용하여 Poly-phase filter를 만들어 4위상 신호를 발생시키는 방법이 있다. 이러한 방법은 전력소모가 크고 칩 사이즈가 커지는 단점이 있다. 두 번째 방법은 응용주파수의 두 배의 발진주파수를 만들어 낸 다음에 나누기 회로를 이용하여 절반으로 나누는 방법이다. 이러한 방법은 발진주파수가 높아 전력소모가 큰 단점이 있다. 세 번째 방법으로는 두 개의 차동 LC 전압제어발진기를 결합시켜 4위상 신호를 얻는 방법이다. 이러한 구조는 두 개의 전압제어발진기가 대칭적인 구조를 가지며 위상잡음 특성을 좋게 할 수 있다는 이점이 있지만 조금 높은 전력을 소비하는 단점이 있다. [3]-[4]

본 연구를 통하여 무선 송수신기에 활용될 수 있는

Quadrature VCO를 TSMC 0.18  $\mu\text{m}$  RF CMOS 공정을 이용해 5 GHz 대역의 무선 랜에서 동작하도록 설계하였습니다.

저 위상잡음, 저 전력 특성을 가지는 QVCO를 설계하기 위해 추가적인 coupling 트랜지스터를 사용하지 않는 back-gate coupling 구조를 사용하였다.

## II. 회로설계

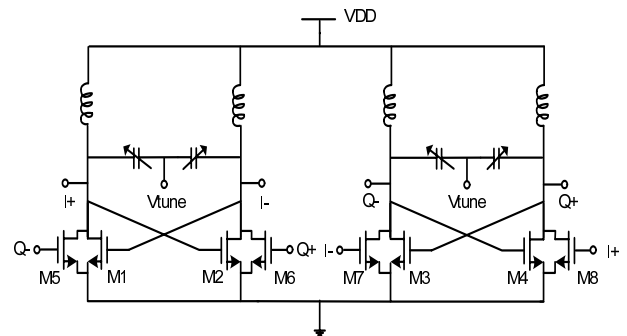


그림 1. Paralleled-coupling QVCO 회로도

그림 1은 가장 많이 사용하고 있는 Paralleled-coupling QVCO 구조이다. 이 구조는 각각의 differential VCO의 신호를 서로 다른 VCO로 커플링 시킬 때 추가적인 트랜지스터를 사용한다. 커플링 트랜지스터를 사용하면서 더 많은 전력 소비를 사용하고 위상잡음 특성이 나빠진다. 이러한 문제점을 해결하기 위해 본 연구에서는 커플링 트랜지스터를 사용하는 대신 back-gate를 이용하여 신호를 커플링 시키는 방법을 제안하였다.

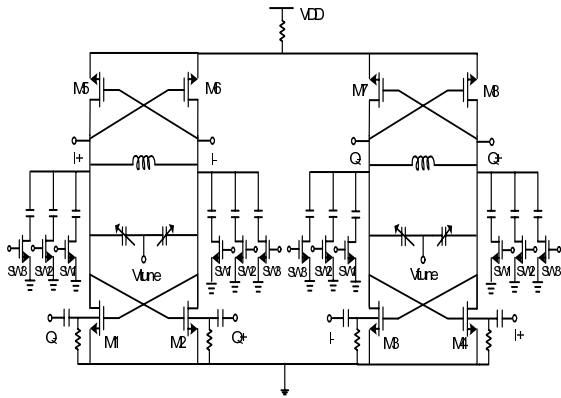


그림 2. back-gate coupling QVCO 회로도

그림 2는 설계한 back-gate coupling QVCO 의 회로도 이다. 이는 기존의 Paralled-coupling QVCO 구조에서 커플링 트랜지스터를 제거하고, 이를 대신하여 NMOS 의 body 부분에 직렬로 Capacitor 과 병렬로 Resistor 를 배치하였다. 일반적으로 전체회로에서 커플링 트랜지스터는 전력소비와 위상 잡음의 큰 비중을 차지한다. 따라서 커플링 트랜지스터 대신 back-gate coupling 구조를 사용하여 전력소모와 위상 잡음을 특성이 향상 되었다.

NMOS의 body 부분에 직렬로 연결한 저항은 DC bias 공급을 위해 사용하였고, 병렬로 연결한 Capacitor는 AC Coupling 과 DC Blocking 을 위해 사용하였다. [5]

회로 구조에서 전류원은 위상잡음 특성을 향상시키기 위해 생략하였다. 전류원을 사용하면 안정적으로 전압을 공급하는 장점이 있지만 위상잡음 특성이 나빠지는 단점이 있다.

LC Tank는 MOS Varactor, Symmetry inductor, 3bit Capacitance bank 로 구성하였다.

위상잡음 특성을 향상시키기 위해 제일 작은 크기의 MOS Varactor 를 사용하였다. MOS Varactor 는 크기가 작을수록 위상 잡음 특성이 좋아지지만 tuning range 범위가 줄어든다.

싱글 Varactor 를 사용하면 넓은 tuning range 범위를 가질 수 없다. 3bit 제어신호로 동작하는 Capacitance bank 를 구성하여 capacitor 를 선택적으로 스위칭 함으로써 넓은 tuning range 를 만족할 수 있도록 하였다. 이것은 공정변화에 따른 발진주파수 대역의 틀어짐을 보상하는 역할을 하며, 원하는 target frequency 에 대해서 작은 VCO 이득을 갖게 하였다. 3bit Capacitance bank 는 각각 3개의 트랜지스터와 MIM Capacitor 으로 구성되어 있다. [6]

### III. 모의 실험 결과 및 레이아웃

Back-gate coupling QVCO 의 성능 평가를 위해 Cadence 사의 Spectre RF 툴을 사용하여 모의실험을 수행하였다.

VCO Core에 인가된 전압은 1.8V 이고, 이 때 VCO Core 흐르는 전류는 3.76 mA이고 전력은 6.77 mW 를 소모하였다. 그림 3 에서는 설계된 QVCO 파형을 시간 영역에서 나타내었다. 4 개의 Sinusoidal 파형들의 크기는 대략 1.2V 이고 위상차는 90도 임을 확인할 수 있었다.

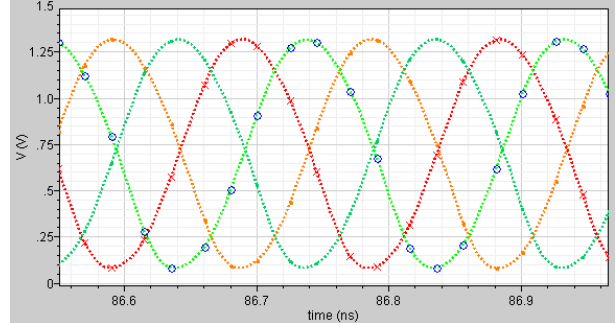


그림 3. back-gate coupled QVCO 출력파형

그림 4는 3bit 제어신호에 따른 gain curve tuning을 보여 준다. 약 150 MHz/V 의 이득을 갖고 5.15 GHz에서 6.55 GHz 까지 넓은 주파수 대역을 커버하고 있음을 확인할 수 있다.

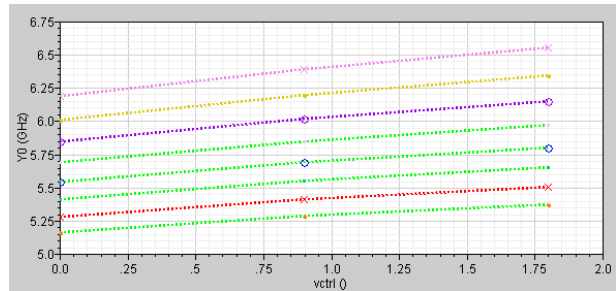


그림 4. back-gate coupling QVCO 의 주파수 특성

그림 5는 back-gate coupling VCO의 위상잡음 특성을 모의 실험한 결과이다. tuning range 범위에서 1MHz 오프셋 주파수에서 최대 -119 dBc/Hz 최소 -116 dBc/Hz 결과가 나타났다.

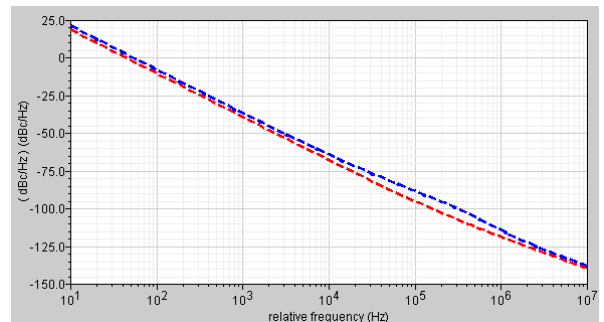


그림 5. back-gate coupled QVCO 의 위상잡음 특성

그림 6은 설계된 back-gate coupling VCO의 레이아웃이다. TSMC 0.18  $\mu\text{m}$  RF CMOS 공정을 이용하여 제작되었으

며 전체 칩 면적은 PAD를 포함해서  $1150 \mu\text{m} \times 750 \mu\text{m}$  를 갖는다.

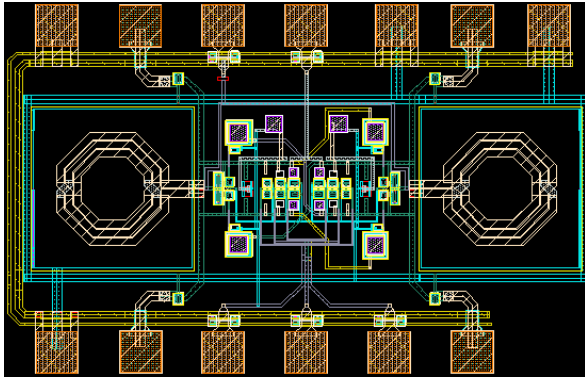


그림 6. back-gate coupling QVCO 의 레이아웃

다음은 식(1)은 FoM (The figure of merit) 을 나타낸다.

$$FOM = -L(\Delta f) + 20 \log\left(\frac{f_0}{\Delta f}\right) - 10 \log(P) \quad (1)$$

여기서  $f_0$  는 QVCO의 출력 주파수를 나타내고,  $\Delta f$  는 오프셋 주파수를,  $L(\Delta f)$  는 오프셋 주파수에서 위상잡음을 나타낸다. P는 mW 단위의 전력소모이다.

표1 에서는 본 논문과 기존 발표된 타 논문들의 성능 및 FOM 을 비교하여 나타내었다.

	[7]	[8]	[9]	This work
Technology	0.18 $\mu\text{m}$	0.18 $\mu\text{m}$	0.13 $\mu\text{m}$	0.18 $\mu\text{m}$
Frequency band (GHz)	5.4~6.6	5.15~5.75	4.5~5.5	5.15~6.55
Current consumption (mA)	3.2	1.5	4.4	3.76
Phase noise (dBc/Hz)	-115 @1 Mhz	-107 @1 Mhz	-117 @1 Mhz	-119 @1 Mhz
FOM	182.2	177	184.6	184

표 1. back-gate coupling QVCO 의 성능비교

## IV. 결론

본 논문에서는 TSMC 0.18  $\mu\text{m}$  RF CMOS 공정을 이용하여 5. GHz 대역의 무선랜에서 동작하는 QVCO 를 설계하였다.

낮은 위상잡음과 저 전력 소모를 위해 back-gate coupling 구조를 이용하였고 넓은 tuning range를 주파수를 생성하기 위해 3bit Capacitance bank를 사용하였다.

모의실험 결과 설계된 back-gate coupling QVCO 는 5.15 ~ 6.55 GHz 대역의 주파수를 생성할 수 있으며 위상잡음은 1 Mhz 오프셋 주파수에서 최대 -119 dBc/Hz 의 특성을 갖는다. 전

류소모는 1.8V 전원전압에서 3.76 mA이다. 칩 면적은 PAD 포함하여  $1150 \mu\text{m} \times 750 \mu\text{m}$  를 갖는다. 설계된 QVCO는 다양한 무선통신 응용분야에 적용될 수 있다.

## 감사의 글

이 논문은 2008년 ETRI 한국전자통신연구원 기술사업화본부의 SoC 산업진흥센터의 지원사업의 연구결과로 수행되었다.

## 참고 문헌

- [1] Liang-Hui Li et al, "Complete RF-System Analysis of Direct Conversion Receiver for 802.11a WLAN OFDM System" IEEE Trans. On Vehicular Tech, Vol 56, no. 4 pp. 1696 - 1703, JULY. 2007.
- [2] P.Andreani et al, "Analysis and design of a 1.8-GHz CMOS LC quadrature VCO" IEEE J. Solid-State Circuits, Vol 37, no. 12, pp. 1737-1747, Dec. 2002
- [3] S. L. J. Gierkink, "A low-phase-noise 5-GHz CMOS quadrature VCO using superharmonic coupling," IEEE J. Solid-State Circuits, vol. 38, no. 7, pp. 1148-1154, Jul. 2003
- [4] Hui Gao; Zhi-Qiang Lu; Feng-Chang Lai "Design of Low-Phase-Noise Low-Phase-Error CMOS Quadrature VCO" Micro and Millimeter Wave Technology, pp. 1-4, April. 2007
- [5] Hye-Ryoung Kim et al, "Low power quadrature VCO with the back-gate coupling" IEEE Solid-State Circuits, pp. 699 - 701, Sept. 2003.
- [6] A. Kral et al, "RF CMOS oscillators with switched tuning" IEEE Custom Integrated Circuits Conf, pp. 555 - 558, May. 1998.
- [7] Jae-Hong Chang "A Symmetrical 6-GHz Fully Integrated Cascode Coupling CMOS LC Quadrature VCO" IEEE Microw. Wirelss Compon Lett, vol.15, no.10, pp.670-672, October 2005
- [8] Yu-Ching Tsai, Yi-Shing Shen, and Christina. F. Jou, "A Low-Power Quadrature VCO Using Current-reused Technique and Back-Gate Coupling Current-reused Technique and Back-Gate Coupling," PIERS Online, vol. 3, No.7, 2007
- [9] Chan-Young Jeong, Changsik Yoo "5-GHz Low Phase Noise CMOS Quadrature VCO" IEEE Microw. Wirelss Compon Lett, vol.16, no.11, pp.606-609, November 2006