

# GPS 수신기용 저전력 Frequency Synthesizer의 설계

Design of Frequency Synthesizer for GPS application

김상우\*, 김주성\*\*, 오환술\*\*\*, 천정인\*\*\*\*, 박경석\*\*\*\*, 고선준\*\*\*\*, 이강운\*\*\*\*

( \*건국대학교 전자정보통신공학과 석사과정, \*\*건국대학교 전자공학과 학부과정,

\*\*\*건국대학교 전자공학과 교수, \*\*\*\*삼성전기 )

Key Words : GPS(Global Positioning System), Frequency Synthesizer, low-power, Active loop filter

## 목 차

### I. 서론

### II. 본론

#### 1. GPS수신기용 주파수 합성기의 구조

#### 2. 구성 블록

#### 3. 최종 Simulation 결과

### III. 결론

## I. 서론

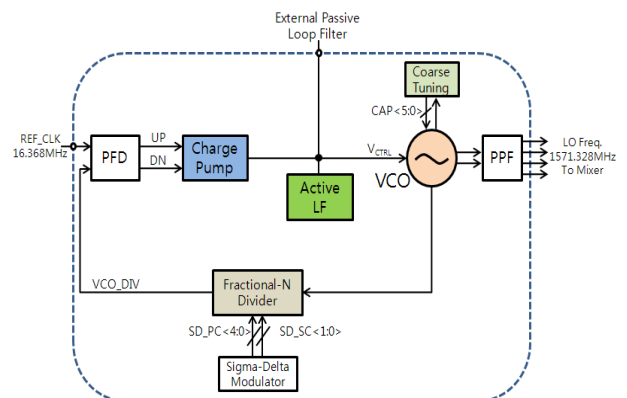
최근 위치정보를 제공하는 위성항법 분야의 수요가 점점 더 커지고 있는 추세이다. 그 중에 가장 각광받는 시스템이 GPS(Global Positioning System)인데 최근에는 휴대폰, 각종 모바일 기기에 내장되면서 저전력(low power), 고집적(high integration), 저비용(low cost)을 요구하고 있다.

본 논문은 GPS L-1 band용 저전력 CMOS 주파수 합성기의 설계에 관한 것이다. 주파수 합성기는 다중 클럭을 지원하기 위해 시그마델타 모듈레이터와 함께 Fractional-N phase locked loop 구조를 사용하여 설계되었다. LC-VCO의 인덕턴스 값을 키우고, 커패시턴스 값을 최소화함으로써 발진에 필요한 전류를 최소화 했고, 2mA의 Core 전류로 동작하도록 설계 하였다. 설계된 전압 제어 발진기(Voltage Controlled Oscillator)의 위상 잡음은 중심 주파수로부터 1MHz 떨어진 곳에서  $-123\text{dBc/Hz}$  이다. 또한, 주파수 분주기의 전류 소모를 최소화하기 위해서 기존의 CML (Current Mode Logic) Type의 Flip-Flop 대신에 Dynamic Flip-Flop을 사용하였다. Loop Filter의 Capacitor의 면적이 매우 크기 때문에, 본 설계에서는 칩 면적을 줄이기 위해 2차 능동 필터를 사용하였다. 이 칩은  $0.13\mu\text{m}$  CMOS 공정을 사용하여 설계되었으며 주파수 합성기의 면적은 약  $0.9 \times 0.9\text{mm}^2$  이다. 주파수 합성기의 소비 전력은 1.2V 공급전압에서 7.1mW이다.

## II. 본론

### 1. GPS 수신기용 주파수 합성기의 구조

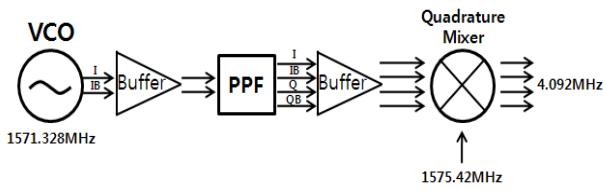
<그림 1>은 GPS용 주파수 합성기의 Block Diagram이다. 주파수 합성기는 PFD(Phase Frequency Detector), CP(Charge Pump), Active Loop Filter, VCO(Voltage Controlled Oscillator), Fractional-N Divider, SDM(Sigma delta Modulator)로 구성되어 있다.



<그림 1> 주파수 합성기의 Block Diagram

1575.42MHz를 중심 주파수로 가지는 L1-band 신호를 4.092MHz의 중간주파수(IF; Intermediate Frequency)로 down-conversion하기 위해 LO(Local Oscillator) 주파수는 1571.328MHz를 생성한다. GPS는 한 채널만을 사용하기 때문에 간단히 Interger-N PLL(Phase Locked Loop)로 구성될 수 있다. 하지만 다중 클럭을 지원하기 위해 Fractional-N phase locked loop구조를 사용하였다. Reference 클럭에 따라 소수점 분주비가 정해진다. 동시에 Active LF의 저항값과 커패시터값이 바뀐다. Fractional-N 주파수 분주기는 VCO 출력주

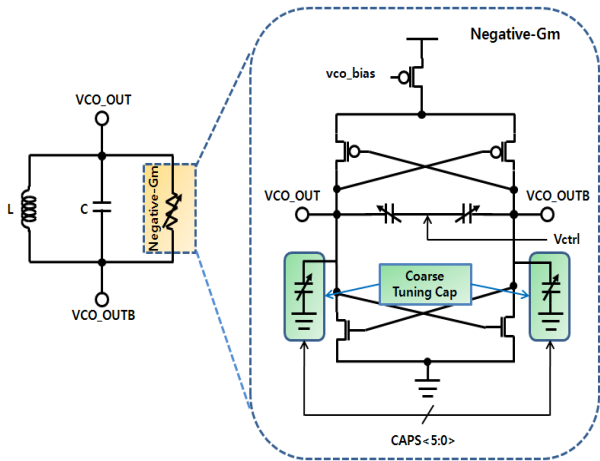
과수에 Fractional spur성분을 만들기 때문에 이를 줄이기 위해 시그마델타 모듈레이터를 사용하였다.



<그림 2> Local Oscillator Generator의 Architecture

<그림 2>는 LO 주파수 생성기의 구조이다. 전류소모를 최소화하기 위해 VCO 주파수를 분주하지 않고 1571.328MHz에서 발진시켰다. 이를 PPF(Poly Phase Filter)를 사용하여 I, Q 신호를 생성하고 Buffer를 통해 Mixer로 전달한다.

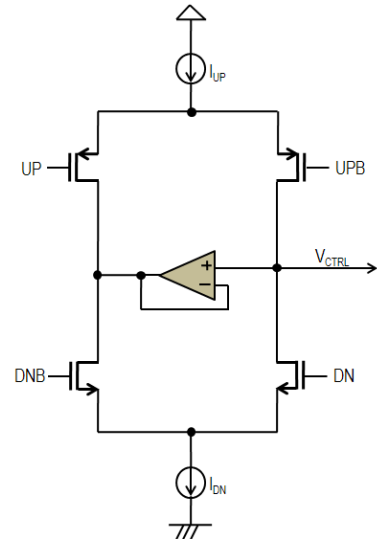
## 2. 구성 블록



<그림 3> 전압 제어 발진기(VCO)

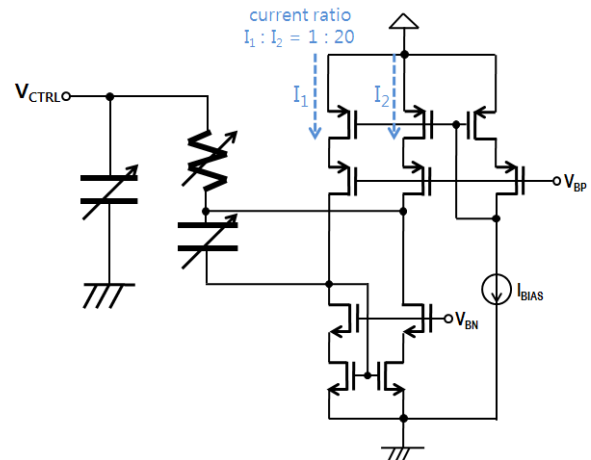
<그림 3>의 LC-VCO는 위상잡음 조건을 만족시키기 위해 사용되었다. 고정된 커패시터, Coarse tuning 커패시터, 가변 커패시터(Variable Capacitor; Varactor)로 구성되어 있다. 인덕터 값을 크게 하고, 커패시터 값을 작게 하여 발진에 필요한 전류를 최소화하였다. Coarse tuning Cap은 6비트는 사용하여 1.3GHz~2GHz사이의 Tuning Range를 가지며, Coarse Tuning Loop에 의해 자동으로 CAPS<5:0>가 선택된다.

Charge Pump는 주파수 합성기의 노이즈 특성을 좌우하는 중요한 블록 중의 하나이다. Up, Down 전류의 차이를 줄일 수록 PLL의 위상잡음이 안 좋아지는 현상을 줄일 수 있다. <그림 4>는 Charge Pump의 구조를 보여준다. 정전류원( $I_{UP}$ ,  $I_{DN}$ )의 출력저항을 키워 UP, DOWN전류의 차이를 줄이고, 선형적으로 동작하는 영역을 넓히고자 하였다.



<그림 4> Charge Pump의 Block Diagram

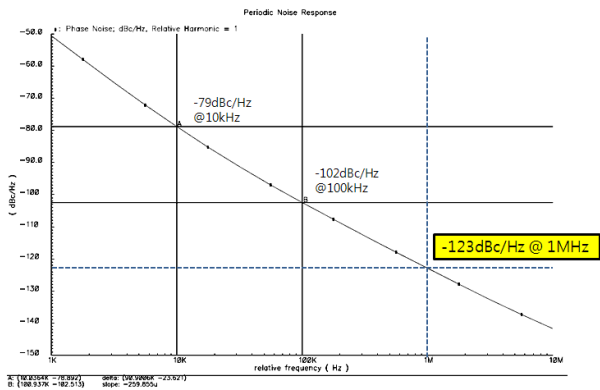
Loop Filter에 사용되는 Zero Cap은 일반적으로 큰 커패시터 값을 갖기 때문에 레이아웃 면적을 크게 차지한다. 따라서 Loop Filter는 칩 외부에서 개별 소자로 구현하지만 비용을 증가시키는 문제가 있었다. 따라서 20pF의 MIMCAP으로 전류의 비(current ratio)를 이용하여 400pF를 구현하였다.



<그림 5> Active Loop Filter의 Block Diagram

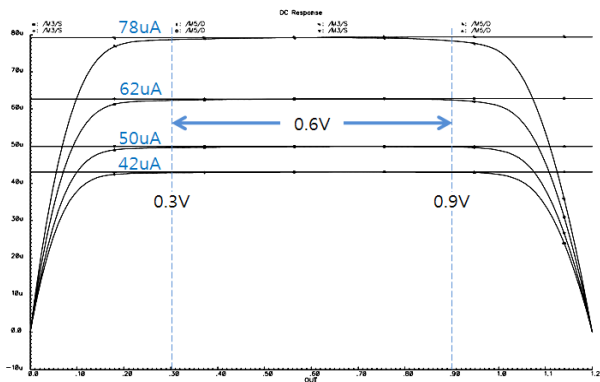
<그림 5>은 Active Loop Filter의 Schematic이다. Active Loop Filter는 2차로 구성되어 있으며 시그마 델타 모듈레이터로부터 발생하는 out-of-band 노이즈를 제거해준다.

### 3. 최종 Simulation 결과



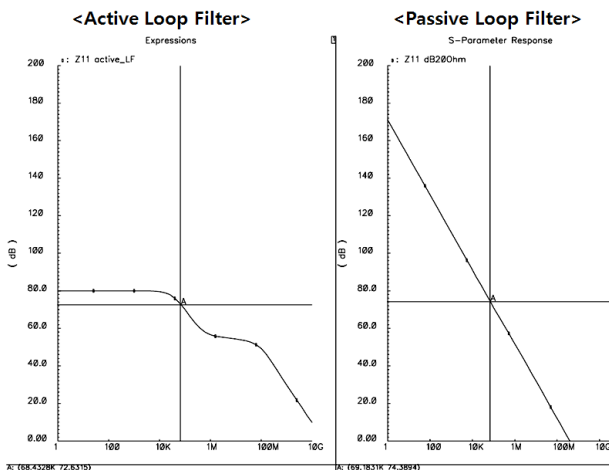
<그림 6> VCO의 위상잡음 Simulation 결과

<그림 6>은 VCO의 위상잡음 simulation 결과이다. VCO 발진주파수로부터 1MHz 떨어진 곳의 위상잡음은 -123dBc/Hz 이다.



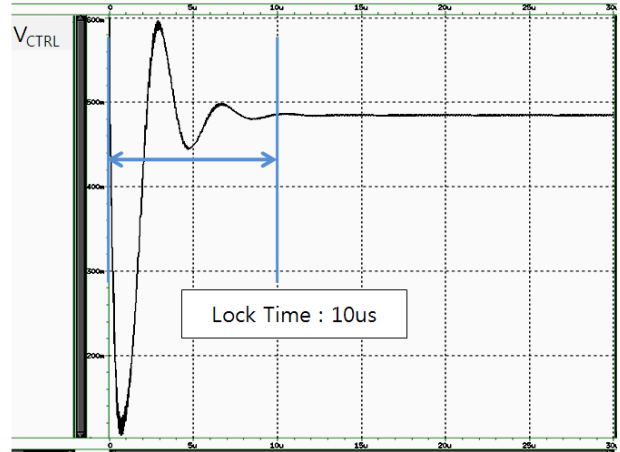
<그림 7> Charge pump의 DC Sweep Simulation 결과

<그림 7>은 Charge Pump의 DC simulation 결과로써 0.3V 부터 0.9V까지 UP, DOWN전류가 동일하여 선형적으로 동작 하는 영역이 약 0.6V임을 보여주고 있다.



<그림 8> Active Loop Filter의 Impedance Simulation 결과

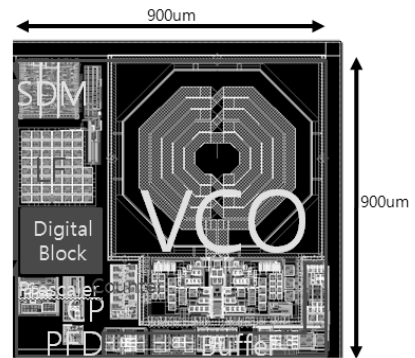
<그림 8>은 Loop Bandwidth 71kHz에서 20pF으로 설계한 Active Loop Filter와 400pF으로 설계한 Passive Loop의 Impedance를 비교한 simulation한 결과이다. 그림에서와 같이 약 73dB의 동일한 임피던스를 제공한다.



<그림 9> Frequency Synthesizer의 TOP Simulation 결과

<그림 9>은 주파수 합성기의 Top Simulation결과이다. VCO 컨트롤 전압이 흔들리다가 10us 이후에 수렴하면서 일정한 LO 주파수를 공급한다.

<그림 10>는 주파수 합성기의 칩 사진이다. 이 칩은 0.13um CMOS 공정을 사용하여 설계되었으며 주파수 합성기의 면적은 약 0.9x0.9mm<sup>2</sup> 이다.



<그림 10> Chip microphotograph

<표 1> GPS용 주파수 합성기의 성능 요약

공정	0.13um CMOS
칩 면적	0.9 x 0.9 mm <sup>2</sup>
파워	7.1mW @1.2V
위상잡음	-123dBc/Hz @1MHz offset

<표 1>은 주파수 합성기의 성능을 요약한 것이다.

GPS용 수신기의 주파수 합성기는 0.13um CMOS 공정을 이용하여 설계되었다. 칩 면적은 0.9x0.9mm<sup>2</sup> 이며 1.2V 공급

전압에서 7.1mW의 파워를 소비한다. 위상잡음은 발진 주파수로부터 1MHz 떨어진 곳에서 -123dBc/Hz이다.

### III. 결론

본 논문은 GPS L-1 band용 저전력 CMOS 주파수 합성기의 설계에 관한 것이다. LC-VCO의 인덕턴스 값을 키우고, 커패시턴스 값을 최소화함으로써 발진에 필요한 전류를 최소화 했고, 2mA의 Core 전류로 동작하도록 설계 하였다. 설계된 전압 제어 발진기(Voltage Controlled Oscillator)의 위상잡음은 중심 주파수로부터 1MHz 떨어진 곳에서 -123dBc/Hz이다. 또한, 주파수 분주기의 전류 소모를 최소화하기 위해서 기존의 CML (Current Mode Logic) Type의 Flip-Flop 대신에 Dynamic Flip-Flop을 사용하였다. Loop Filter의 Capacitor의 면적이 매우 크기 때문에, 본 설계에서는 칩 면적을 줄이기 위해 2차 능동 필터를 사용하였다. 이 칩은 0.13um CMOS 공정을 사용하여 설계되었으며 주파수 합성기의 면적은 약 0.9x0.9mm<sup>2</sup>이다. 주파수 합성기의 소비 전력은 1.2V 공급전압에서 7.1mW이다.

### Acknowledgement

본 논문은 지식경제부가 지원하는 국가 반도체 연구개발사업인 "시스템집적반도체기반기술개발사업(시스템 IC 2010)"을 통해 개발된 결과임을 밝힙니다.

### 참고문헌

1. YoungGun Pu, Jun-Gi Jo, Changsik Yoo, Dojin Park, Seong-Eon Park, Suk-Joong Lee, and Kang-Yoon Lee, "A Design of Low-Power Frequency Synthesizer for GPS Application using Multiple Reference Clocks in 0.18um CMOS Technology", ITC-CSCC2008, pp.433-436, July 7, 2008.
2. Keliu Shu, Edgar Sanchez-Sinencio "CMOS PLL SYNTHESIZERS Analysis and Design" Springer, pp.141-149
3. Sahu, D.; Das, A.; Darwhekar, Y.; Ganesan, S.; Rajendran, G.; Kumar, R.; Chandrashekar, B.G.; Ghosh, A.; Gaurav, A.; Krishnaswamy, T.; Goyal, A.; Bhagavatheeswaran, S.; Kah Mun Low; Yanduru, N.; Dhamankar, S.; Venkatraman, S.; "A 90nm CMOS single-chip GPS receiver with 5dBm out-of-band IIP3 2.0dB NF", ISSCC2005, pp. 308-309, 600 October 10, 2005
4. D. K. Shaeffer et al., "A 115-mW, 0.5-?m CMOS GPS receiver with wide dynamic range active filters," IEEE J. Solid-State Circuits, vol. 33, no. 12, pp. 2219-2231, Dec. 1998.
5. A. Murphy et al., "A low-power, low-cost bipolar GPS receiver chip," IEEE J. Solid-State Circuits, vol. 32, no. 4, pp. 587-591, Apr. 1997.

6. F. Piazza and Q. Huang, "A 1.57-GHz front-end for triple conversion GPS receiver," IEEE J. Solid-State Circuits, vol. 33, no. 2, pp. 204-210, Feb. 1998.
7. M. Cloutier et al., "A 4-dB NF GPS receiver frond-end with AGC and 2-b A/D," Dig. Tech. Papers, IEEE Custom Integrated Circuits Conf. pp. 205-208, 1999.
8. G. Gramegna et al., "A 56-mW 23-mm<sup>2</sup> Single-Chip 180-nm CMOS GPS Receiver With 27.2-mW 4.1-mm<sup>2</sup> Radio," IEEE J. Solid-State Circuits, vol. 41, no. 3, pp. 540-551, Mar. 2006.
9. J. Ko et al., "A 19-mW 2.6-mm<sup>2</sup> L1/L2 Dual-Band CMOS GPS Receiver," IEEE J. Solid-State Circuits, vol. 40, no. 7, pp. 1414-1425, Jul. 2005.