

3 중구조 VCO 를 이용한

Ka Band LNB 용 PLDRO 설계 및 제작

Design and Implementation of a Phase Locked Dielectric Resonator Oscillator for Ka Band LNB with Triple VCOs

강 동 진*, 김 동 옥
(Dong-Jin Kang and Dong-Ok Kim)

Abstract : In this papers, a PLDRO(Phase Locked Dielectric Resonator Oscillator) is designed and implemented at the oscillator in which fundamental frequency is 18.3 GHz. The proposed PLDRO so as to improve the PLDRO of the general structure is designed to the goal of the minimize of the size and the performance improvement. Three VCO(Voltage controlled Oscillator) and the power combiner improved the output power. A VCDRO(Voltage Controlled Dielectric Resonator Oscillator) is manufactured using a varactor diode to tune oscillating frequency electrically, and its phase is locked to reference frequency by SPD(Sampling Phase Detector). This product is fabricated on Teflon substrate with dielectric constant 2.2 and device is ATF-13786 of Ka-band using. This PLDRO generates an output power of 5.67 dBm at 18.3 GHz and has the characteristics of a phase noise of -80.10 dBc/Hz at 1 kHz offset frequency from carrier, the second harmonic suppression of -33 dBc. The proposed PLDRO can be used in Ka-band satellite applications

Keywords: PLDRO(Phase Locked Dielectric Resonator Oscillator), VCO(Voltage controlled Oscillator), SPD(Sampling Phase Detector), phase noise

I. 서론

초고속 정보통신 인프라 구축에 발 맞추어 위성통신 분야도 서비스 이용수요가 급속히 증가하였으며, Ku-band 통신용 중계기의 경우 이미 용량의 포화를 보이고 있다. 최근 위성통신 기술 추세는 기존의 Ku대역 주파수의 전송용량 부족으로 인해, 서비스의 초고속·광대역화로 대용량 전송이 가능한 Ka대역 주파수 위주로 형성발전될 것으로 전망되고 있다.

이러한 추세에 따라 위성통신 분야와 이동통신 분야는 고도의 통신기술이 요구하고 있으며 다양한 고품질의 서비스를 제공하기 위한 효과적인 운용을 위해서는 핵심 초고주파 부품개발과 시스템의 뒷받침이 필수적이다. 특히 통신 시스템은 전송 데이터의 대형화와 높은 전송 속도가 요구됨에 따라 높은 발진 주파수를 필요하게 되었다. 또한 전체 시스템의 데이터 오류 특성에 중요한 영향을 미치는 높은 주파수의 안정도와 낮은 위상잡음을 요구함에 따라 이를 개선하고자 하는 여러 가지 기법들이 소개되었다 [1-3].

본 논문은 Ka 대역 LNB용 LO(Local Oscillator)로 새로운 구조의 PLDRO를 설계 및 제작하였으며, 이를 위하여 위상 검출기(Phase Detector)로 수 GHz대역에서 위상비교가 가능한 SPD(Sampling Phase Detector)를 사용하였다 [4], [5]. 본 논문에서 제안된 PLDRO는 3개의 전압제어 발진기(VCO: Voltage controlled Oscillator)를 이용하여, 2개의 VCO는 전력 결합기로 출력 파워를 개선하였고 나머지 1개의 VCO는 SPD에 인가하여 기준신호와 위상 비교하는 구조를 가졌다. 이는 기존에

사용되고 있는 PLDRO에 비하여 안정도 및 위상잡음 특성은 큰 차이가 없으면서도, 체배기와 Amp를 사용하지 않는 구조적인 장점이 있다.

II. 설계 이론

위상고정 발진기를 구성하는 방법은 그림 1에서와 같이 그 형태가 크게 3가지로 나누어진다. 그림 1 (a)는 고주파 대역의 출력을 주파수 분주기를 이용하여 기준 주파수로 낮추어 위상을 비교하는 방법이다. 이는 가장 많이 사용하는 방법이며 이러한 위상 고정루프 발진기는 안정도 및 위상잡음이 일반 발진기 보다 월등히 개선되지만 고주파를 분주하기 위해서는 디지털 분주기가 아닌 아날로그 분주기를 따로 설계해야 하므로 회로가 복잡해질 뿐만 아니라 필터, 증폭기 등의 주변회로가 추가로 사용되어 제조 원가가 높아지며 소형화하기 힘들다 [6]. 그림 1 (b)는 저주파 신호를 구현하고 주파수를 위상 고정시킨 후 체배기를 이용하여 주파수를 체배하는 방법으로써, 이 방법 역시 체배기의 설계가 어려울 뿐만 아니라 체배기의 매우 불안정한 동작으로 인하여 위상잡음과 스퓨리어스 특성이 나빠지는 등 불안정한 동작으로 나타난다 [6]. 그림 1 (c)는 샘플링 위상 검출기를 이용한 방법이다. 이것은 최근에 많이 사용하는 방법으로 샘플링 위상 검출기내에 있는 SRD(Step Recovery Diode)에 의해 발생하는 기준 주파수의 고조파 성분을 이용하여 고주파 대역의 발진 주파수를 직접 비교하는 방법이다. 분주기는 체배기가 필요 없으므로 구조가 간단하여 부피를 줄일 수 있으며, 고가의 소자를 추가로 사용하지 않아도 되므로 비용을 절감할 수 있다. 그러나 이와 같은 형태도 고조파 성분의 전력이 증배율에 반비례하여 감소하므로 기준 주파수의 출력을 고주파 발진기와 고주파적으로 비교할 수 있도록 충분히 증가시켜 주

* 책임저자(Corresponding Author)

논문집수 : 20xx. x. x., 채택확정 : 200x. x. xx.

강동진, 김동옥 : 한국정보통신기술대학

(ko.joomong@korea.ac.kr, hong@korea.ac.kr)

어야 한다. 증배율이 커질수록 위상잡음도 증배율의 제곱에 비례하여 나빠지므로 증배율은 가능한 낮은 상태에서 위상을 비교해야 한다. 그러므로 샘플링 위상 검출기와 체배기 그리고 분주기를 이용한 혼합형을 사용하기도 한다 [6].

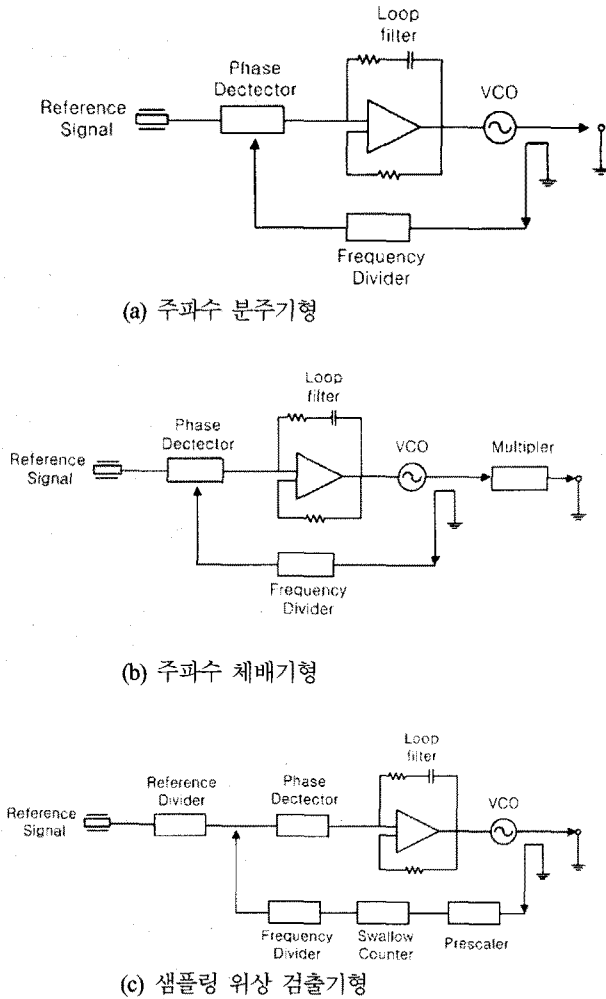
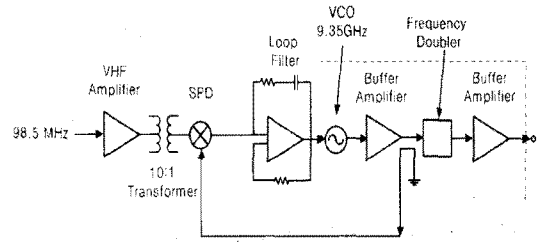


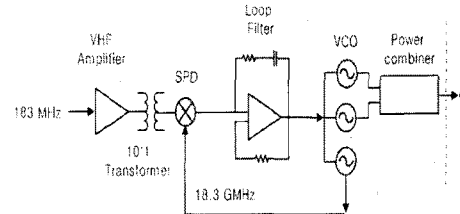
그림 1. 위상 고정 발진기의 여러 가지 형태

Fig. 1. Different Configuration of PLL Oscillator : (a) Type of Frequency divider (b) Type of frequency multiplier (c) Type of sample-phase detector

본 논문에서는 전압제어 유전체 공진 발진기를 설계하고 샘플링 위상검출기를 이용하여 위상을 고정하였으며, 최종 출력을 전압제어 유전체공진기의 주파수를 이용하고 케환신 호로는 기본 주파수를 이용하므로 설정 주파수에 대하여 위 상을 비교하기 위한 기준 주파수의 전력을 상대적으로 적게 소모하고 증배율에 다른 위상잡음의 증가를 가능한 억제할 수 있는 변형된 PLL 시스템을 취하였다. 이 구조는 이중구조 의 PLL의 메인루프 회로로 사용될 수 있다. 본 논문에서 제 안된 구조는 기준 주파수 183 MHz의 Signal Generator를 사용 하였고 183 MHz의 100번째 고조파와 18.3 GHz 발진주파수를 서로 비교하여 위상을 고정시켰으며 18.3GHz의 Power Combiner를 통해 최종 발진 출력을 얻었다 [7-9].



(a) 일반적인 PLDRO 구조



(b) 제안된 구조의 PLDRO 구조

그림 2. 위상고정 유전체 공진 발진기의 시스템 구성도
Fig. 2. Block diagram of PLDRO

그림 2는 본 논문에서 제안한 PLDRO의 시스템 구성도를 일반적인 경우와 비교하여 나타내고 있다. 그림 2 (a),(b) 두 PLDRO 구조의 가장 큰 차이는 각 그림에서 보듯이 점선으 로 보인 부분의 회로에 단순화에 있다. 즉 그림 (a)의 VCO(f_0), Buffer Amp (f_0), Frequency Doubler, Buffer Amp($2 f_0$)를 그림 (b)의 3개의 VCO($2f_0$)로 구성한 것이다. 그리하여 기존 회로에서 발생한 발진 및 Size의 문제를 어느정도 해소할 수 있으리라 기대된다. 지금까지 VCO($2f_0$)로 바로회로를 구성하 지 않고 꼭 체배기를 사용하여 구성한 가장 큰 이유는 가격 이다. 주파수가 높아짐에 따라 거의 모든 재원을 수입으로 의존해야하기 때문이다. 또한 양산을 위한 제작공정이 국내 에서는 거의 불가능하다. 또한 제안된 구조의 PLDRO를 구 현하기 위해 높은 주파수까지 사용할수 있는 ROGERS사의 비유전율(ϵ_r)은 2.2, 유전율 높이(H)는0.254mm, 그리고 동판 두께가 0.017 mm을 가지는 테프론 기판을 사용하였다. 저항 또한 Ka 밴드까지 사용 가능한 소자를 사용하였다.제안한 구 조의 위상고정 유전체 공진 발진기의 시스템은 높은 파워와 공간이 절약되는 효과를 가지며, 기존회로에서 고려하였던 기본주파수(f_0) 역압특성을 고려하지 않는 가장 큰 장점을 가 지고 있다.

III. 설계 및 제작

본 논문에서는 발진기의 설계를 위해 초고주파 비선형 설 계도구인 Agilent사의 ADS ver.2007을 이용하여 설계를 하였 다. Line Calculation을 통해 마이크로스트립 선로의 특성 임피 던스에 해당하는 폭과 파장을 구하였으며 공진부는 유전체 공진부 형태로 주파수는 18.3 GHz에 맞도록 설계하였다. 능 동소자로는 저잡음지수를 갖고 위상잡음을 최소화할 수 있 으며 부성저항을 쉽게 얻을 수 있는 소자인 GaAs MESFET인 Agilent사의 ATF-13786을 이용하였다. 사용된 기판은 Ka 대 역까지 사용이 가능한 Teflon ($\epsilon_r = 2.2, H = 0.254 \text{ mm}, T = 0.017 \text{ mm}$) 기판을 사용하였다. 또한 VCO 설계를 위하여 바랙터

다이오는 MA/COM 사의 MA-46471를 사용하였다

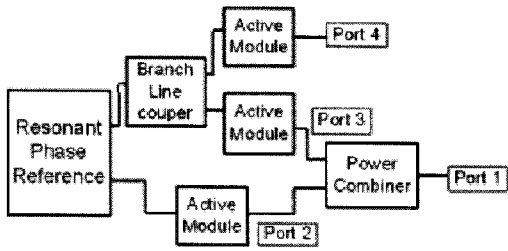
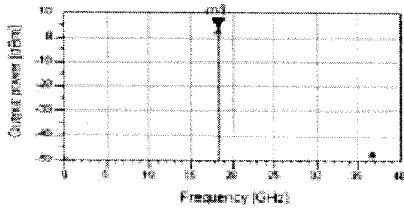


그림 3. 제안된 구조의 VCO
Fig. 3. The proposed VCO.

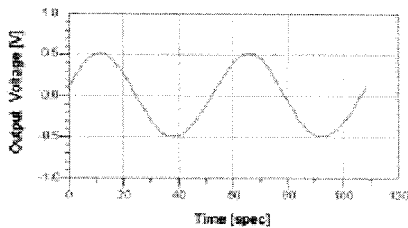
그림 3의 발진기는 본 논문에서 제안한 새로운 구조의 VCO 이다. 기존의 일반적인 회로의 개선책으로 Branch Line Coupler, Power Combiner를 통하여 출력 전력의 증가와 전체 Size를 최소화 할 수 있었다.

아래 그림 4, 5, 6, 7은 위 그림 2에서 제안된 구조의 VCO의 시뮬레이션 결과로 발진기의 전력스펙트럼과 출력 파형을 나타내고 있다. 그림 4는 SPD로 인가되는 Port4의 전력스펙트럼과 출력 파형을 나타내고 있으며, 이때 -50 dBc 이상의 2차 고조파 억압 특성을 보이고 있다. 다음으로 각각 그림 5, 6, 7은 Port 2, 3 지점에서의 전력 스펙트럼, Port 1 지점에서의 최종 전력 스펙트럼, Port 1, 2, 3 지점에서의 출력파형을 나타내고 있다. 또한 Phase noise가 각각 1 MHz offset에서 -143.5 dBc, 100 kHz offset에서 -124.2 dBc을 나타내었다.



m1
Frequency= 18.3 [GHz]
Output power= 3.828 [dBm]

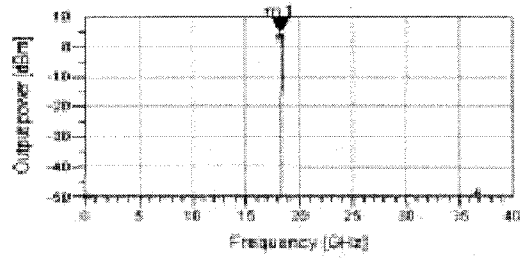
(a)



[Output Port 4]

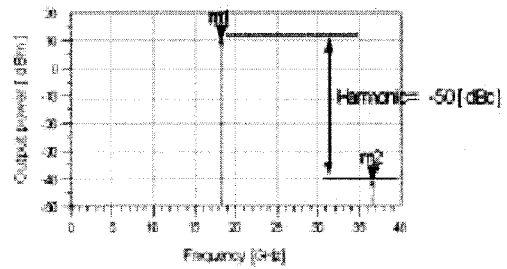
(b)

그림 4. Port 4 지점에서의: (a)전력 스펙트럼 (b)파형
Fig. 4. (a) Power spectrum of port 4 (b) Waveform of port 4



m1
Frequency= 18.3 [GHz]
Output power= 5.025 [dBm]

그림 5. Port 2, 3 지점에서의 전력 스펙트럼
Fig. 5. Power spectrum of port 2, 3



m1
Frequency= 18.3 [GHz]
Output power= 10.604 [dBm]

m2
Frequency= 38.6 [GHz]
Output power= -40.56 [dBm]

그림 6. Port 1 지점에서의 전력 스펙트럼
Fig. 6. Power spectrum of port 1

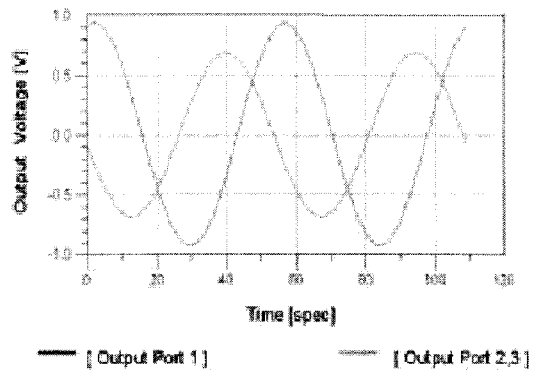


그림 7. Port 1, 2, 3 지점에서의 출력 파형
Fig. 7. Waveform of port 1, 2, 3

그림 8은 제안된 구조의 VCO의 Layout를 나타낸 그림으로 각각의 작은 회로로 구분하여 설명하고 있으며 그림 9는 PLDRO 설계도를 나타내고 있다.

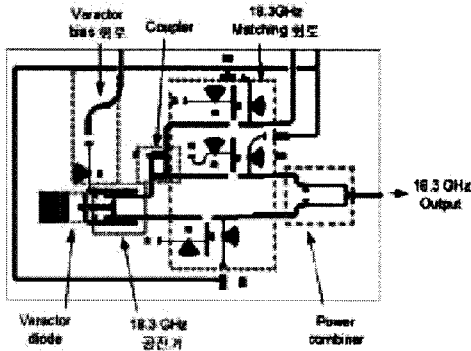


그림 8. 제안된 구조의 VCO의 Layout
Fig. 8. The proposed VCO Layout

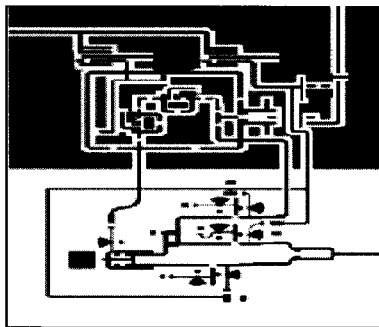


그림 9. 위상고정 유전체 공진발진기의 설계도
Fig. 9. Layout of PLDRO.

IV. 실험 및 측정결과.

제안된 구조의 전압제어 발진기의 발진주파수를 측정하기 위한 장비로는 스펙트럼 분석기 HP8563E를 이용하였다. GaAs FET의 바이어스는 $V_{ds}=3.0\text{ V}$, $I_{ds}=45\text{ mA}$ 이고, 게이트 바이어스는 자기 바이어스 형태로 취하여 기본주파수의 출력을 높이도록 하였다.

그림 10은 바랙터 다이오드의 발진 주파수 동조된 스펙트럼을 보이고 있다. 동조대역폭은 7.88 MHz의 동조 대역폭을 나타내었으며 동조대역폭의 $\pm 0.27\text{ dB}$ 의 평탄도를 나타내었다. 동조 대역 내에서 평탄도는 우수한 특성을 나타내고 있으나 동조 대역폭이 좁은 특성을 가지고 있다

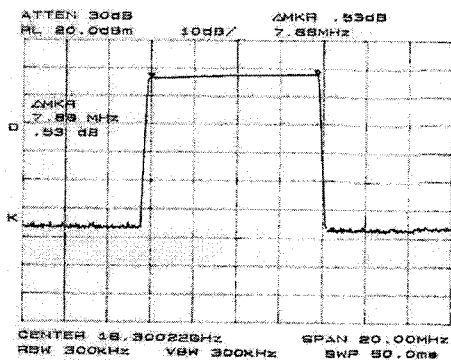


그림 10. 전압제어 유전체공진발진기의 동조된 스펙트럼
Fig.10. Tuned spectrum of VCDRO

PLDRO의 발진 주파수를 측정하기 위해 기준신호를 Signal Generator를 통해 183 MHz 신호를 Transformer를 통해 SPD에 공급하였다. 최종 출력에서 Spectrum analyzer HP8563E를 이용하여 위상 고정된 18.3 GHz를 측정하였다. 다음 그림 11은 PLDRO를 측정하기 위한 구성도를 보여준다. 그리고 그림 12는 제작된 PLDRO 실물도이다.

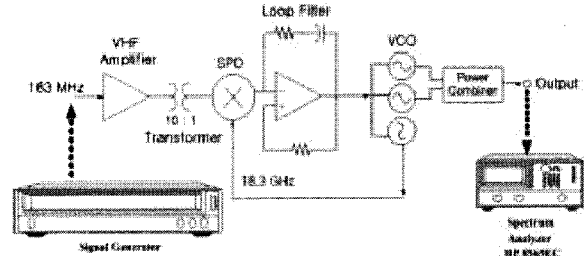


그림 11. PLDRO의 측정 구성도
Fig. 11. Measurement device of the PLDRO.

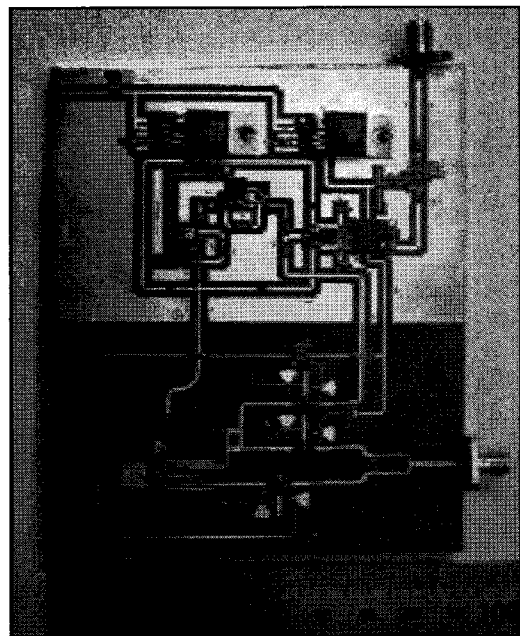


그림 12. 제작된 PLDRO 실물사진
Fig. 12. Photograph of the PLDRO.

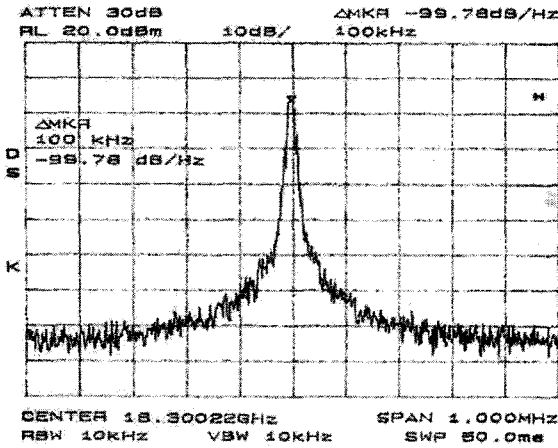


그림 13. 위상공정 유전체 공진 발진기의 위상잡음 특성. (span 100kHz)
Fig. 13. Phase noise characteristics of PLDRO (span 100kHz).

그림 13은 100kHz offset에서 PLDRO의 위상잡음 특성을 나타낸 결과이다. 측정된 PLDRO의 위상잡음 특성은 100 kHz에서 -124.2dBc를 보였다. 다음 표 1은 제작된 PLDRO의 특성을 정리한 것이다. 각각 1 MHz, 100 kHz, 10 kHz, 1 kHz의 offset에서 설계값과 측정값에 대하여 정리하였으며, 기존에 개발되어진 타 제품의 특성을 기입하여 본 논문과의 결과를 비교할 수 있도록 하였다.

표 1. 제작된 PLDRO의 성능 및 특성
Table 1. Performance and Characteristics for PLDRO.

	설계치	측정치	비교치
Frequency	18.3 GHz	18.3 GHz	18.3 GHz
output power	10 dBm	5.67 dBm	-0.33 dBm
Phase noise	-114 dBc/Hz@1kHz	-80.10 dBc/Hz@1kHz	-80.57 dBc/Hz@1kHz
	-120 dBc/Hz@10kHz	-83.77 dBc/Hz@10kHz	-83.68 dBc/Hz@10kHz
	-124.2 dBc/Hz@100kHz	-99.78 dBc/Hz@100kHz	-102.8 dBc/Hz@100kHz
	-143.5 dBc/Hz@1MHz	-108.6 dBc/Hz@1MHz	-110.5 dBc/Hz@1MHz
Harmonics	-50 dBc	-33 dBc	-25 dBc

V. 결론

본 논문에서는 PLDRO를 구성하는 VCO(f₀), Buffer Amplifier(f₀), Frequency Doubler(2f₀), Buffer Amplifier(2f₀) 등을 3개

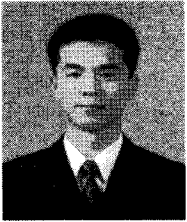
의 VCO(2f₀)로 구성하였다. 기존의 PLDRO에 비해 본 논문의 PLDRO는 다음과 같은 특징을 가진다.

첫째, 2개의 VCO 출력결합을 통한 기존보다 높은 출력을 가진다. 둘째, 기존 PLDRO의 구성 요소들을 3개의 VCO로 구현함으로써 공간 절약의 효과를 가져왔다. 마지막으로 기본 주파수(f₀) 억압특성을 고려하지 않고 설계 제작한다는 큰 특징을 가진다.

제안된 PLDRO는 Ka 대역 LNB용 LO 회로와 LMDS 수신 장치의 LO에 응용하여 사용할 수 있으리라 기대된다 [6-8].

참고문헌

- [1] Moon-Que Lee, et al "phase noise reduction of microwave HEMT oscillators using a dielectric resonator coupled by a high impedance inverter" ETRI journal, vol.23, no.4, pp 199-201, Dec,2001.
- [2] 이영준 " Feedforward 구조의 주파수 체배기를 이용한 PLDRO의 설계 및 제작" 광운대학교 석사학위논문, 광운대학교 대학원, 전자공학과, pp41-45, 2002.
- [3] 장재혁 " 동조대역폭 개선을 위한 Push-Push 발진기 설계 및 제작" 석사학위논문, 광운대학교 대학원, 전자공학과, pp26-30, 2002.
- [4] 장준혁, "LMDS용 위상고정루프 유전체 공진 발진기에 관한 연구" 광운대학교 석사학위논문, 광운대학교 대학원, 전자공학과, pp22-23, 1999.
- [5] 이영준 " 단거리 전용통신용 위상잡음 특성을 개선한 유전체공진 발진기" 제 1회 ITS학회 학술대회, pp134-137, 2002.
- [6] E. Holtzman, Solid-state microwave power oscillator design, Artech House, Boston. London., chap. 3, 1992.
- [7] T. A. Bos, F. Bayer, and U. Lott, "A low cost 16.2 GHz phase locked oscillator for wireless LNA ", IEEE MTT-S Dig., pp.1395-1398, Denver, CO., 1997.
- [8] Micro Lambda Inc., "Phase-Locked Sources for LMDS and MVDS Application." Micro Journal, vol.40, no.4, pp.155-159, 1997
- [9] X. H. Jiao, P. Guillon, B. Jarry, and B. Madrangeos, "Micro Wave frequency agile active filters for MIC and MMIC applications," IEEE MTT-S International Microwave Symposium Digest, Dallas, Texas, pp. 503-506, June 1990.



강 동 진

1993년 광운대학교 전자통신공학과(공학사).

2004년 광운대학교 전파공학과(공학석사).

2008년 광운대학교 전파공학과(공학박사).

2003년~현재 한국정보통신기능대학 이

동통신설비과 교수. 관심분야는 무선이동통신시스템설계, RF/Microwave Circuit Design 등임



김 동 옥

1991년 서울산업대학교 (공학사).

1998년 광운대학교 (공학석사).

2001년 한국항공대학교 (공학박사).

2003년~현재 한국정보통신기능대학 이
동통신설비과 교수.

관심분야는 디지털통신시스템, ad hoc.Network, ITS, 차세대이
동통신시스템 등임