DRM 수신기의 효율적인 수신을 위한 가변 프라임펙터 FFT 설계

Design Method of Variable Point Prime Factor FFT For DRM Receiver

김 현 식*, 이 연 성, 서 정 욱, 백 종 호
(Hyun-Sik Kim, Youn-Sung Lee, Jeong-Wook Seo and Jong-Ho Baik)

Abstract : The Digital Radio Mondiale (DRM) system is a digital broadcasting standard designed for use in the LF, MF and HF bands of the broadcasting bands below 30 MHz. The system provides both superior audio quality and improved user services / operability compared with existing AM transmissions. In this paper, we propose a variable point Prime Factor FFT design method for Digital Radio Mondiale (DRM) system. Proposed method processes a various size IFFT/FFT of Robustness Mode on DRM standard efficiently by composing Radix-Prime Factor FFT Processing Unit of form similar to Radix-4 by insertion of a variable Prime Factor Twiddle Factor and Garbage data. So, we improved limitation that cannot process 112/176/256/288 FFT of each mode of DRM system with a existent Radix Processor and increase memory size and memory access time for IFFT/FFT processing by software processing in case of implementation with a existent high speed DSP.

Keywords: Digital Radio Mondiale (DRM) Receiver, Prime Factor Algorithm, OFDM, Variable point IFFT/FFT

I. 서론

DRM이란 Digital Radio Mondiale의 약칭으로써 장파(LF), 중파(MF), 단파 (HF) 주파수 대역을 이용하는 OFDM (Orthogonal Frequency Division Multiplex) 방식에 기반을 둔 디지털 라디오 방송방식이자 이러한 방송표준을 지원하는 컨소시엄을 칭하는 명칭이다. 종래의 이 대역들에서 제공되는 AM 방송은 상대적으로 낮은 채널 대역폭 (5kHz ~ 9kHz), 채널간 간섭 (co-channel interference), 및 신호 페이딩에 의한 영향에 의한 제약으로 인한 오디오 품질 저하 문제가 있었다. 이에 대하여 DRM 시스템은 해당 주파수 대역에서 전송할 수 있는 신호 주파수 대역을 증가시키고 보다 넓은 채널 대역을 사용하고 방송 환경에 악영향을 끼칠 수 있는 효과를 개선하기 위한 여러 가지 메카니즘를 제공하고 있다 [1].

그림 1에서와 같이 기존의 DRM 수신기는 기본적으로 채널 선택기에 대한 RF 입력에 해당하는 안테나와 RF 컨버터를 포함한다. RF 컨버터를 통해 나온 신호들은 아날로그 영역에서 디지털 영역으로 변환되며 요구되는 채널 즉 중간대역 주파수(IF)나 기저대역의 주파수에 따라 서로 다른 샘플링 주파수에 의해 샘플링된다. 이때 RF와 IF의 경우 수신 신호를 기저대역으로 변경하고 기저대역 처리를 위한 샘플링 수를 줄이기 위해 디지털 하향 변환기(Digital Down Converter)가 필요하다. 기저대역 신호 처리와 비교하여 RF와 IF는 보다 복잡한 디지털 신호 처리가 필요하지만 디지털 필터의 보다 쉬운 조작으로 인해 유연한 수신기 구조를 가질 수 있다.[한편, 이러한 디지털 신호 처리를 위한 DFT 블럭의 연산을 위해 최소한 4배의 오버샘플링이 필요한데 기존의 수신기 구현상에서는 소프트웨어를 이용하여 구현하는 것이 일반적이며, DRM 시스템에서 요구되는 성능을 만족시키기 위해서는 고속의 FFT 가 가능한 기존의 래딕스-2, 래딕스-4 또는 스플릿 래딕스(Split Radix)를 이용하여 구현하는 것이 일반적이다.

그러나, 래딕스 연산을 위해서는 IFFT/FFT 크기가 2의 지수승으로 표현되어야 하는데 표 1에서와 같이 DRM 시스템의 각 모드에서 사용되는 112/176/256/288 크기의 IFFT/FFT를 처리하기에는 적합하지 않으며, 고속 DSP 프로세서를 이용한 종래의 DRM 시스템 구현의 경우 IFFT/FFT 기능을 소프트웨어적으로 처리해야 하기 때문에 IFFT/FFT의 크기가 커질수록 메모리 액세스 시간이 크게 증가한다는 한계점이 발생한다.

표 1. DRM FFT 특성.
Table 1. DRM FFT Characteristics.

FFT 모드		FFT 크기	FFT 펙터	Processing Unit	Stage 수
DRM	모드 A	112	4*4*7	래딕스-4, 7 point DFT	3
	모드 B	176	4*4*11	래딕스-4, 11 point DFT	3
	모드 C	256	4*4*4*4	래딕스-4	4
	모드 D	288	4*4*2*3	래딕스-2/4, 3 point DFT	5
그 외		64	4*4*4	래딕스-4	3
		128	4*4*4*2	래딕스-2/4	4
		512	4*4*4*4*2	래딕스-2/4	5
		1024	4*4*4*4*4	래딕스-4	5
		2048	4*4*4*4*4*2	래딕스-2/4	6

본 논문에서는 이러한 문제점을 해결하고 보다 효율적인 IFFT/FFT를 수행하기 위하여 DRM 시스템의 각 Robustness 모드에 따라 가변포인트 프라임펙터 트위들펙터 (Variable Point Prime Factor Twiddle Factor)와 가비지 (Garbage) 데이터를 삽입함으로써 래딕스-4 형태와 유사한 형태의 PFPU-FFT (Prime Factor FFT Processing Unit)을 제안하여 다양한 크기의

* 책임저자(Corresponding Author)
논문접수 : 20xx. x. x., 채택확정 : 200x. x. xx.
김현식, 이연성, 서정욱, 백종호: 전자부품연구원 모바일단말연구센터
(hskim@keti.re.kr, yslee@keti.re.kr, jwseo@keti.re.kr, paikjh@keti.re.kr)

IFFT/FFT 계산을 효율적으로 수행할 뿐 아니라 1개의 OFDM 모뎀 장치 내에 FFT 모듈을 이용하여 여러 IEEE 802.(11, 16e, 등) 계열을 포함한 다양한 크기의 IFFT/FFT 계산을 하드웨어적으로 수행할 수 있도록 하는 가변 프라임펙터 IFFT/FFT를 제안하였다.

2장에서는 DRM 시스템의 전반적인 기술 개요와 수신부의 구조 특성에 대하여 기술하였고, 3장에서는 제안된 가변 프라임펙터 FFT의 구조 및 이에 관한 특성과 성능에 대해 기술하였으며, 마지막으로 4장에서 결론을 맺도록 한다.

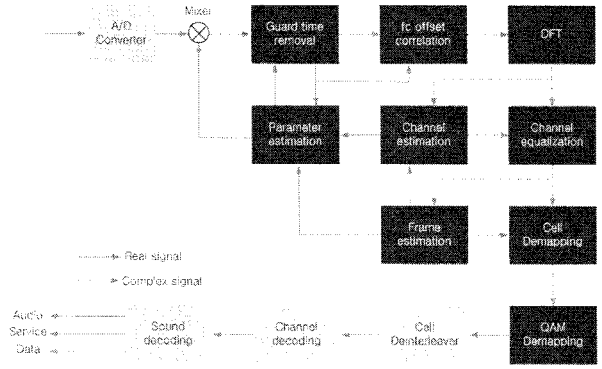

그림 1. DRM 수신부 블록도.
Fig. 1. DRM Receiver Block Diagram.

II. DRM SYSTEM

DRM 시스템은 기본적으로 COFDM (Coded Orthogonal Frequency Division Multiplex) 방식을 사용하며 모두 4개의 전송 모드와 각기 다른 시스템 대역이 각 주파수 할당 Scheme과 채널 조건에 따라 정의된다. 디지털로 인코딩된 오디오 신호와 관련 데이터 신호로부터 만들어진 모든 데이터들은 정의된 캐리어들을 통하여 전송이 이루어지며 이때 모든 캐리어는 할당된 전송 채널 내에 포함되어 있다. 전송 채널들은 그림 2에서와 같이 Main Service Channel (MSC), Service Description Channel (SDC), Fast Access Channel (FAC)와 같은 3개의 logical channel로 나누어진다. MSC에는 사용자 데이터 즉 coded audio와 일반 데이터를 전송하고 한 개에서 4개까지 별개의 스트림을 포함하며 이러한 스트림의 조합을 서비스라 한다. 이렇게 MSC를 스트림으로 나누어 사용함으로써 같은 RF 채널에서 서로 다른 서비스를 제공할 수 있고 그에 따라 전력과 대역폭을 보존하여 효율적으로 사용할 수 있다.

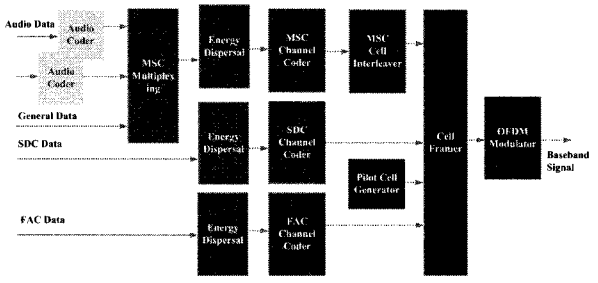

그림 2. DRM 전송 블록도.
Fig. 2. DRM Transmission Block Diagram.

SDC는 스트림과 서비스, 그리고 서비스에 대한 캐리어 주파수와 SI(Station Identifier), FS(Frequency Schedule), ACF(Audio Coding Format)등과 같은 서비스 관련 데이터에 대한 MSC 구성 정보를 전송하며 이때 데이터는 엔터티(entities)라는 그룹을 이루어 전송된다. FAC는 MSC format, SDC format, Service Information 그리고 전송 RF 대역폭과 같은 중요 시스템 정보를 전송한다. 그리고 FAC는 수신기에서 가능한 서비스가 어떤 것인지 빠르게 확인하게 해주고 디코딩을 지연시간을 최대한 줄이는 역할을 한다.

표 2. DRM 신호 특성.
Table 2. DRM Signal Characteristics.

	모드 A	모드 B	모드 C	모드 D
Tu, Duration of the OFDM symbol(ms)	24	21 1/3	14 2/3	9 1/3
Tg, Duration of the guard interval(ms)	2 2/3	5 1/3	5 1/3	7 1/3
Tg/Tu	1/9	1/4	4/11	11/14

표 3. Robust 모드에 따른 채널 대역폭.
Table 3. Channel Bandwidth with Each Robust Mode.

Robustness 모드	캐리어 수	채널 대역폭(kHz)					
		4.5	5	9	10	18	20
모드 A	최소.	2	2	-102	-114	-98	-110
	최대.	102	114	102	114	314	350
모드 B	최소.	1	1	-91	-103	-87	-99
	최대.	91	103	91	103	279	311
모드 C	최소.				-69		-67
	최대.				69		213
모드 D	최소.				-44		-43
	최대.				44		135

DRM 시스템은 표 2와 3에서와 보는 바와 같이 캐리어를 할당된 채널 대역폭과 Robustness에 따라 변화될 수 있도록 설계되어 있으며 관련 Multiplex는 최대 4개의 Data-Audio 스트림을 지원한다. 4개의 전송모드는 대역폭, 64/16 QAM Modulation, Guard Interval, Code Rate, UEP (Un-equal Protection Level)/EEP(Equal Protection Level), Normal/Hierarchical Modulation등에 의해 정의되며 각기 다른 전송 조건 (모드 A: high bit rate, medium robustness, 모드 B: Medium bit rate, high robustness, 모드 C: medium/low bit rate, high/very high robustness, 모드 D: low bit rate, very high robustness)에 따라 전송된다. 또한 다중경로에 대해 보다 강해질 수 있도록 가드 인터벌(Guard Interval)을 전

송 심볼에 추가하여 전송한다. OFDM 전송 프레임내의 셀들은 잘 알려진 고정 위상(fixed phase)과 크기(amplitude)로 전송되며 이러한 파일럿 셀들은 수신기에서 동기와 채널 측정에 사용된다. 또한 DRM 시스템은 multiple 대역폭을 사용함으로 줄어든 대역폭을 가지고 아날로그 신호들을 하나 또는 그 이상의 채널에서 디지털 신호들과 동시방송이 가능하도록 지원한다. DRM 시스템은 broadcaster에 의해 선택된 옵션에 의해 MPEG4 AAC 오디오 코딩 또는 MPEG4 CELP Speech 코딩을 사용한다.

Receive Signal Processing: 그림 2에서와 같이 송신된 DRM 신호들은 그림 3과 같이 수신기에 의한 기저대역 수신 신호 처리과정을 거치게 된다. 먼저 첫 번째 단계에서는 시간과 주파수 동기를 채널 측정과 등화로 수행한다. 이때 FAC 셀들은 수신된 프레임으로부터 추출되어 디코딩된다. 디코딩된 FAC는 SDC와 MSC에 대한 디코딩 정보를 제공하고 MSC 셀 인터리버가 디코딩 지연을 줄이기 위해 초기화 작업을 수행하게 한다. 다음으로 SDC 셀 정보를 추출하여 SDC 데이터 엔터티로 디코딩한다. 이것은 MSC의 code rate과 스트림의 수와 크기에 대한 디코딩 정보와 오디어 디코더 정보를 제공한다. 이때 MSC는 스트림 단위로 나뉘어 디코딩되며 필요에 따라 오디오 디코더로 정보를 보내준다. 다음으로 만약 DRM 신호를 잃어버리거나 SDC내에 DRM구조가 변화되었을 경우에는 시간과 주파수에 대한 offset 추적 작업을 진행하고, Re-acquisition을 수행한다. DRM 신호를 잃어버리거나 SDC내에 DRM구조가 변화되었을 경우에는 시간과 주파수에 대한 오프-셋 추적 작업을 진행하고 Re-acquisition을 수행한다. 그림 3에서 기술한 바와 같이 동기화 (synchronization) 과정은 수신 신호를 시간영역에서 심볼 Guard 구간을 찾는 Correlation을 수행하여 DRM 신호에 대한 Acquisition과 동기화를 처리한다. 이 과정에서 사용된 OFDM 모드와 임의의 non-integer sub-carrier 주파수 오프-셋을 결정하고 OFDM 심볼의 시작점을 측정하며 주파수 오프-셋이 제거한다. HF propagation channel에서는 일반적으로 n-QAM constellation의 회전과 스케일링의 효과와 시간과 sub-carrier의 변화에 따라 수신된 신호에 시간과 주파수에 대한 선택적 페이딩 현상이 나타난다.

따라서 그림 3에서 기술한 바와 같이 채널 디코더의 Cell-to-Bit De-mapper를 수행하기 전에 이러한 왜곡들을 채널 측정과 등화 과정을 통하여 정정한다. 채널 디코딩 과정은 각 로직컬 채널(Logical Channel) 각 FAC, SDC 블럭과 MSC multiplex frame에 독립적으로 수행된다.

DRM 시스템에서는 멀티레벨이 적용되기 때문에 수신부에서는 먼저 레벨 0에 해당하는 비트을 디코딩하며 기본적으로 레벨 0의 비트들은 가장 강하게 코딩된 비트들이다. 한 레벨 이상에 대해 코딩된 경우 디코딩 된 레벨 0 비트는 재-코딩되고 레벨 1의 코딩된 비트가 디맵핑(de-mapped)되고 디코딩된 것으로부터 Sub-Constellation을 선택하는데 사용된다. 이처럼 낮은 레벨에서 디코딩된 비트들은 상위 레벨의 비트들에 대한 디맵핑과 디코딩에 사용된다. 그림 3에서 FFT 블럭의 연산을 위해 최소한 4배의 오버-샘플링이 필요한데 기존의 수신기 구현상에서는 소프트웨어를 이용하여 구현하였으나 본 논문에서는 연산의 복잡성과 계산량을 고려하여 FPGA를 이용한 reconfigurable hardwired module FFT 블럭을 설계하여 사용하였다. 기본적으로 샘플링 주파수가 (f_s) 48kHz인 PC의 사운드 카드를 이용하여 신호를 샘플링하였기 때문에 baseband position은 12kHz의 center frequency 근처로 가정하고 구현하였다. 구현된 DRM 시스템의 기본적으로 그림 1에서 보는 바와 같이 OFDM 변조와 복조를 담당하는 부분과 채널 코딩과 디코딩을 담당하는 부분, 그리고 오디오 스트림에 대한 소스 코딩과 디코딩을 담당하는 부분으로 구성되어 있다.

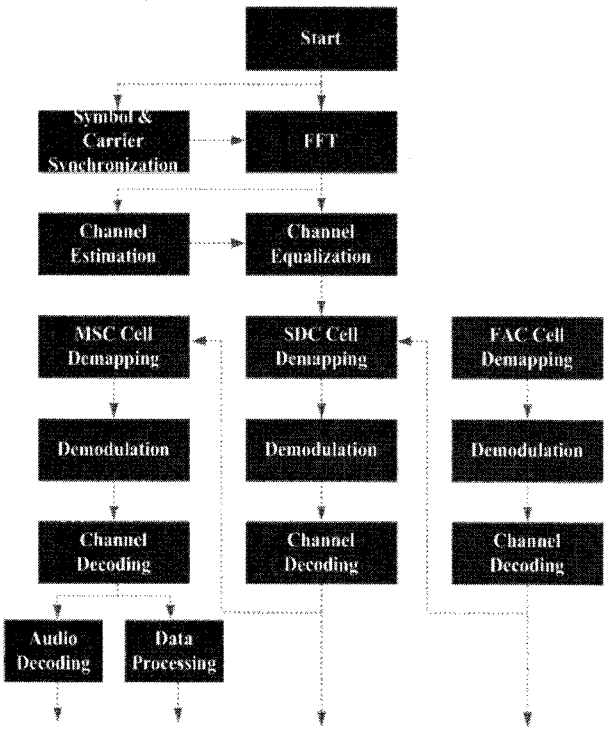

그림 3. DRM 수신 신호 처리 블록도.
Fig. 3. DRM Receive Signal Processing Flow Diagram.

III. Proposed Variable Prime Factor FFT Design Method

가우시안 노이즈를 포함하며 시변 채널에서 전송되는 OFDM 신호를 s(t), 송/수신 필터 그리고 채널에 대한 impulse response를 h(r,t)이라고 가정하고 수신되는 신호가 sample rate (fs=1/T)로 샘플링 되었을 때 수신된 신호의 샘플은 아래와 같다.

$$r_n = e^{j2\pi f_{c_n T}} \sum_{m=0}^{M} h_m(n)s((s-m)T) + n_n \qquad (1)$$

여기서 M은 샘플의 수이며, 보호 구간 Ng 보다 작다고 가정하며, $h_m(n)=h(mT, nT)$이고 n_n은 화이트 가우시안 노이즈 샘플이다. 송신기와 수신기 사이의 주파수 오프셋은 f_o이다. 수신된 신호 r_n의 심볼간간섭 (ISI)이 없는 영역의 DFT와 잔여 주파수 에러를 Δf라고 하면 부 반송파 인덱스(L)과 OFDM 심볼(k)는 아래와 같다.

$$z_{k,l} = x_{k,l} H_{k,l} e^{j2\pi\phi_l k \frac{N_g}{N}} + \bar{n}_{k,l} \qquad (2)$$

여기에서 N은 DFT의 길이이고, Ns=N+Ng로 하나의 OFDM 심볼 길이이다. $H_{k,l}$은 주파수 오프셋으로 인한 시불변 위상 오프셋을 포함한 부반송파 L에 대한 채널 전송 함수이고, $x_{k,l}$는 전송된 데이터 심볼이고 $\bar{n}_{k,l}$은 시변 채널과 주파수 오프셋으로 인한 직교성이 깨짐으로 발생한 반송파간 간섭(ICI:intercarrier-interference)에 화이트 가우시안 노이즈가 더해진 것이다. Δf는 주파수 에러이고 샘플 Rate 오프-셋 $\varsigma = \frac{f_s - f_s'}{f_s'}$ 은 위상 $\phi_l = fNT + \varsigma l$ 에 포함되어진다.

그러나 표 1 및 표 2에서 알 수 있듯이, DRM 시스템의 OFDM 캐리어 수는 2의 지수승이 아니기 때문에 종래의 Cooley and Tukey FFT이나 Winograd Fourier Transform [4][5]등의 방식을 사용할 수 없다.

따라서, 본 논문에서는 일반 래딕스 연산 및 프라임펙터 Fourier Transform을 포함하여 보다 효율적으로 DFT 연산을 수행할 수 있도록 프라임펙터 FFT [8]을 기반으로 하는 가변 포인트 프라임펙터 FFT를 제안한다.

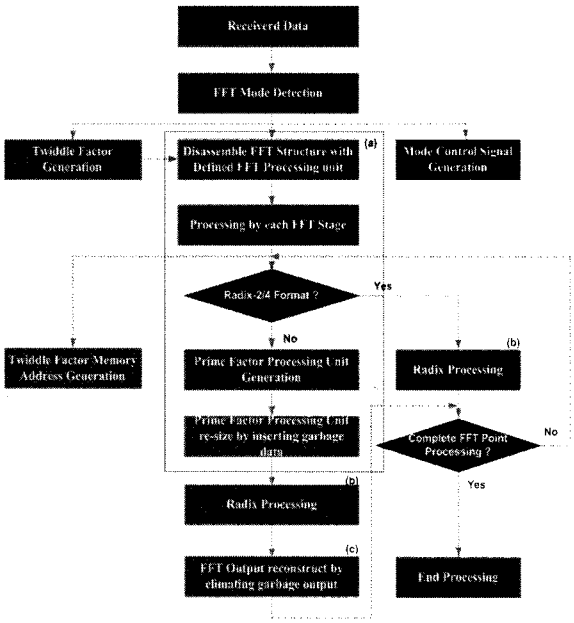

그림 4. 제안된 가변 프라임펙터 FFT 알고리듬.
Fig. 4. Proposed Variable Prime Factor FFT Processing Flow

제안된 가변 포인트 Prime FFT는 그림 4와 같이 먼저 입력 데이터의 포인트에 FFT 동작모드 제어신호에 따라 프라임 팩터 트위들 팩터(Prime Factor twiddle factor)를 기존의 IEEE 802.(11, 16e, 등) 계열에서 사용되는 FFT 연산처리에 사용되는 트위들 팩터에 삽입하여 FFT 하드웨어에서 요구되는 시스템의 성능에 맞는 기 설정된 포인트를 생성한다. 다음으로, 입력 데이터의 수에 따라 기수정렬하여 각 기수별로 복수의 단계별 FFT 프로세싱으로 분할하는 제 1 단계를 수행한다. 이때 수신 신호가 DRM 의 어떠한 모드를 사용하여 전송된 신호인지를 판단하게 되고, DRM 모드에 따라 FFT 구조는 FFT 크기에 따라 각 단계 별로 사용되는 기본적인 버터플라이 유니트와 프라임 팩터 프로세싱 유니트로 재 분해한다. 이때 표 1에서와 같이 DRM 의 전송모드를 파악하여 모드 A 또는 모드 B의 경우 3 단계, 모드 C 의 경우 4 단계, 모드 D 의 5 단계의 FFT 프로세싱을 수행하도록 분할한다..

다음으로, 현재 단계의 FFT 프로세싱의 입력 포인트가 2 의 자승에 해당하는지 여부를 판단하는 제 2 단계를 수행한다. 그리고 제 2 단계의 판단결과 현재 단계의 FFT 프로세싱의 입력 포인트가 2 의 자승에 해당하는 것으로 판단되는 경우 래딕스 프로세싱을 수행하는 제 3 단계를 수행한다. 예컨대 수신된 신호가 DRM 시스템의 모드 C 인 경우는 4*4*4*4 로써 각 단계의 FFT 프로세싱은 모두 2의 기수로 표현되기 때문에 기존의 IEEE 802.11 계열의 시스템에서 사용되는 FFT 크기에 따라 래딕스-2 또는 래딕스-4 로 분해되어 기본적인 래딕스 연산을 단계별로 반복적으로 처리하게 된다.

다음으로, 제 2 단계의 판단결과 현재 단계의 FFT 프로세싱의 입력 포인트가 2 의 자승에 해당하지 않는 경우 입력 포인트에 가비지 데이터(garbage data)를 삽입하여 2 의 자승의 입력 포인트를 생성하여 래딕스 프로세싱을 수행한 후 가비지 데이터에 의한 출력을 제거하는 제 4 단계를 수행한다. 위에서 기술한 바와 같이 DRM 시스템에서는 요구되는 FFT 크기가 2의 자승이 아닌 프라임 팩터 성분을 포함하는 경우가 있을 수 있다. 예컨대 모드 A인 경우 7 포인트 PFPU (Prime factor processing unit), 모드 B의 경우 11 point PFPU 그리고 모드 D의 경우 3 point 또는 9 point PFPU를 사용하여 프라임펙터 연산을 처리해야 한다. 그런데, 이 경우 3 종류의 PFPU 가 필요하게 되어 일반적인 DFT 연산 처리를 위한 하드웨어 구현시 구조상의 복잡성을 야기하고 연산처리에 소요되는 시간이 증가하게 된다. 따라서 본 논문에서는 보다 단순한 구조와 빠른 연산처리를 위해서는 래딕스 2 또는 래딕스 4의 형태로 PFPU를 만들기 위해 가비지 데이터(이상적인 경우 '0')을 삽입하여 처리한다. 즉 7 point PFPU의 경우 3 개의 입력 데이터가 필요하나 래딕스 4와 유사한 연산 형태를 취하기 위하여 한 개의 가비지 데이터를 삽입하고 7 포인트 FFT를 위한 프라임펙터 트위들펙터(PFTF : Prime Factor Twiddle Factor)를 발생시키어 사용한다. 이때 생성된 PFTF는 아래와 같다.

$$\begin{aligned} \omega_{ni}(m) &= \cos(2\pi \times m/7) \qquad 0 \le m \le 6 \\ \omega_{nq}(m) &= -\sin(2\pi \times m/7) \qquad 0 \le m \le 6 \end{aligned} \qquad (3)$$

이때 PFTF 연산을 위해 필요한 트위들 팩터 수는 각 7개씩이나 트위들 팩터의 컨볼루션(convolution) 성질에 의해 래딕스 2 및 래딕스 4 형태와 유사한 프로세싱 구조를 가지기 때문에 실제 필요한 트위들 팩터의 수는 각 3 개씩이 되고 기존 FFT 사용되는 메모리에 비해 추가되는 메모리 어드레스는 매우 적으며 그 외 프라임 팩터 연산을 위해 추가되는 메모리 양도 기존의 메모리 양에 비해 현저히 줄어들게 된다. 이렇게 처리된 프라임 팩터의 래딕스 유사 연산 처리가 끝난 후 각 FFT 단계 중간에 삽입된 가비지 데이터에 의한 영향을 제거하기 위해 가비지 데이터 삽입 위치에 따른 기 설정된 출력 위치의 결과값을 제거한다.

마지막으로, 다음 단계의 FFT 프로세싱이 잔여하는 경우

제 2 단계로 복귀하고 그렇지 않은 경우는 FFT 프로세싱을 종료하는 제 5 단계를 수행하게 된다.

따라서, 위에서 설명한 바와 같이 제안된 가변 포인트 프라임 팩터 FFT 방법은, 래딕스 연산이 불가능한 DRM 시스템에 있어서 가비지 데이터를 통한 가변 포인트 IFFT/FFT 방법을 모든 DRM 전송모드에서도 래딕스 연산을 가능하도록 하여 FFT 처리 모듈의 구조를 단순화하고, IFFT/FFT 연산효율을 증가시킬 수 있는 효과를 제공한다.

IV. 결론

본 논문에서는 DRM 수신시 가비지 데이터를 사용하는 가변 포인트 프라임 팩터 FFT를 통해 DRM standard에 요구되는 프라임펙터 FFT 연산을 래딕스-4와 유사한 형태의 프라임펙터 FFT 구조를 이용하여 기존의 래딕스 계열의 FFT 연산 처리뿐 아니라 프라임펙터 성분의 연산이 요구되는 다양한 크기의 IFFT/FFT 계산을 1개의 FFT 처리 모듈을 이용하여 하드웨어의 복잡성을 줄이면서 고속으로 처리하도록 하였다. 위에서 살펴본 바와 같이 제안된 가변 프라임펙터 FFT는 DRM 시스템에 적용될 뿐 아니라 IEEE 802.11 계열의 다양한 크기의 IFFT/FFT 계산을 하드웨어적으로 수행할 수 있다.

참고문헌

[1] European Telecommunication Standard Institute (ETSI), Sophia Antipolis, France, Digital Radio Mondiale (DRM); System Specification, ETSI ES 201 980 edition, April 2003.

[2] Paul M. Heysters and Gerard J.M. Smit Egbert Molenkamp, "A flexible and energy-efficient coarse-grained reconfigurable architecture for mobile systems, " *The Journal of Supercomputing*, vol. 26, pp. 283-308, 2003.

[3] A. Kurpiers and V. Fischer, "Open-source implementation of a digital radio mondiale (DRM) receiver, " *in 9th International IEE Conference on HF Radio Systems and Techniques*, Bath, United Kingdom, June, 2003.

[4] D. Cohen, "Simplified Control of FFT Hardware," *IEEE Trans. Acoust., Speech Signal Processing*, Vol. ASSP-24, pp.577-579, Dec. 1976.

[5] Y. Ma, "An Effective Memory Addressing Scheme for FFT Processors," *IEEE Trans. on Signal Processing*, Vol. 47 Issue: 3,pp. 907-911, Mar. 1999.

[6] Y. Ma and L. Wanhammar, "A Hardware Efficient Control of Memory Addressing for High-Performance FFT Processors," *IEEE Trans. on Signal Processing*, Vol. 48 Issue: 3, pp. 917-921, Mar. 2000.

[7] J.C. Chih and S.G Chen, "An Efficient FFT Twiddle Factor Generator," Submitted to Eusipco-2004.

[8] DIP. Kolba and T.W. Parks, "A Prime Factor FFT Algorithm Using High Speed Convolution, " *IEEE Trans. on ASSP*. pp. 281-294, August 1977.

김 현 식

2002년 인하대학교 전기공학과(공학사). 2004년 인하대학교 정보통신공학과(공학석사). 2004년~현재 전자부품연구원 모바일단말연구센터. 관심분야는 방송통신융합시스템.

이 연 성

1996년 광운대학교 컴퓨터공학과(공학사). 1998년 광운대학교 컴퓨터공학과(공학석사). 2003년~현재 전자부품연구원 모바일단말연구센터. 관심분야는 방송통신융합시스템.

서 정 욱

1999년 한국항공대학교 전기공학과(공학사). 2001년 한국항공대학교 정보통신공학과(공학석사). 2001년~현재 연세대학교 전기전자공학과 박사과정. 2001년~현재 전자부품연구원 모바일단말연구센터. 관심분야는 방송통신융합시스템.

백 종 호

1994년 중앙대학교 전기공학과(공학사). 1997년 중앙대학교 전자공학과(공학석사). 2007년 중앙대학교 전자전기공학과(공학박사). 1997년~현재 전자부품연구원 모바일단말연구센터. 관심분야는 방송통신융합시스템.