

소자구조 변화에 따른 고속 InP/InGaAs APD 특성 연구

박준규, 윤일구
연세대학교

Simulation of High-speed InP/InGaAs APDs with structural parameter variation

Joon kyu Park, Ilgu Yun
Yonsei Univ.

Abstract : 반도체 공정 기술의 진보로 인해 InP/InGaAs로 제작된 애벌랜치 포토다이오드가 고속 광통신 시스템에서 사용되고 있다. 하지만 경계 항복에 의한 접합 부분의 강한 전기장으로 인한 문제와 항복 이득의 저하 문제로 소자 특성의 문제가 발생하고 있다. 이 논문에서는 소자 구조 변화에 따른 고속 InP/InGaAs 애벌랜치 포토다이오드의 특성 변화를 공정/소자 시뮬레이션을 이용하여 분석하였다.

Key Words : InP, 애벌랜치 포토다이오드, 경계 항복, 항복 이득

1. 서론

최근 광수신소자로 사용되는 애벌랜치 포토다이오드는 10Gbps급 광통신 시스템에서 공정 오차에 의한 소자 구조 미세한 변화에도 소자의 특성 변화가 매우 커서 상용화 하는데 문제가 되고 있다. 이러한 변화 중에서 애벌랜치 이득이 공정에 매우 민감하여 원하는 특성을 얻기가 힘들다. 본 논문에서는 식각공정 및 단일 확산공정으로 제작된 고속 APD의 특성이 가드링과 확산 영역사이의 폭과 식각 깊이에 따라 어떻게 영향을 받는지를 분석하고자 한다.

2. 소자의 구조 및 시뮬레이션

본 연구에서 살펴보고자 하는 애벌랜치 포토다이오드 구조는 그림 1과 같다. 애벌랜치 포토다이오드 시뮬레이션은 제작된 애벌랜치 포토다이오드의 측정 데이터와 제작 공정을 기준으로 Silvaco사의 시뮬레이션 프로그램을 사용하여 시행되었다. 테스트 구조는 ATHENA process simulator를 이용한 공정 시뮬레이션으로 모의 소자구조를 제작하고 ATLAS device simulator 를 이용하여 소자의 특성을 분석하고자 한다. 표 1은 시뮬레이션에 이용한 소자구조의 두께와 도핑농도에 대해 요약하였다 [1]. 구조는 n⁺-InP 기판 위에 n-InGaAs 흡수 영역을 만들고 n-InP charge plate를 이용하여 InGaAs 흡수층과 증폭층을 분리하였다. 그 위로 n-InP 증폭층이 있고 식각 및 단일 확산공정으로 형성된 p⁺-InP 부분으로 구성되어 있다 [2].

위의 구조에서, 가드링과 확산영역간의 폭(x_g), 식각 깊이(x_a) 변화를 주며 APD의 특성 변화를 분석하였다. 분석을 위해 3개의 cutline (C1, C2 and C3) 영역의 특성을 분석하고자 한다.

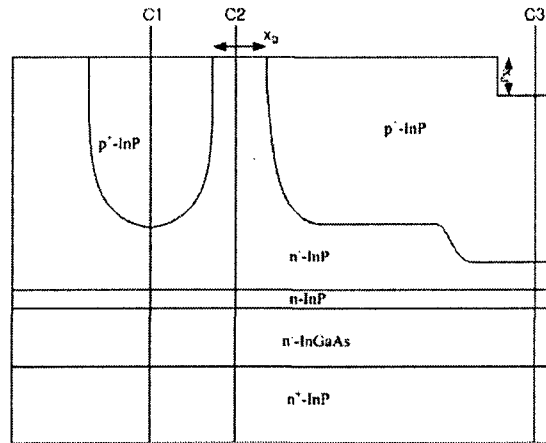


그림 1. 애벌랜치 포토다이오드 구조

영역	두께(μm)	도핑 농도
p ⁺ -InP	3	~1×10 ¹⁸ cm ⁻³
n ⁻ InP (multiplication)	0.3	~2×10 ¹⁵ cm ⁻³
n-InP (charge plate)	0.15	~2×10 ¹⁷ cm ⁻³
n-InGaAs (absorption)	0.8	~2×10 ¹⁵ cm ⁻³
n ⁺ -InP substrate	-	~1×10 ¹⁸ cm ⁻³

표 1. 애벌랜치 포토다이오드 테스트 구조 정보

3. 결과 및 고찰

그림 2에서는 식각 깊이가 변화에 따른 I-V 곡선이다. 식각 깊이가 작아지면 모서리의 전자장의 곡률 반경이 작아져 문턱전압과 항복전압이 낮아지는 것을 확인 할 수 있었고 식각 깊이가 작을수록 InGaAs 흡수층 전체가 공핍되는 문턱전압이 감소함을 알 수 있는데 이는 식각에 의해 생기는 증폭층 영역의 단차가 증가하게 되면 전기장이 가드링으로 퍼지는 현상의 감소로 인하여 활성화된 증폭층에 인가되는 전기장의 증가가 커지기 때문이다. 또한 전류이득 면에서 보면 식각 깊이가 작을수록 전류이득이 증가함을

알 수 있는데 이는 가드링 방향, 즉 수평 방향의 누설 전류의 감소로 인한 활성화된 증폭층으로 흐르는 전류 성분이 향상되기 때문으로 분석된다. 따라서 시뮬레이션 결과에 의하면 전류 이득을 향상시키기 위해서는 식각 깊이를 1~2 μm 가 적절한 공정 깊임을 확인할 수 있었다.

표 2는 역전압이 각각 5V와 35V에서의 3개의 cutline (C1, C2 and C3) 영역의 E_{max} 값이다. 가드링은 경계항복을 억제하기 위해 전기장을 가드링을 통해 확산함으로써 경계부분의 전기장을 완화시키는 역할을 한다. 가드링과 소자의 간격이 큰 경우 가드링이 역할을 하지 못하면서 경계부분에 강한 전자장이 형성되어 경계항복이 발생하는 문제점이 발생하게 됨을 확인할 수 있었고 간격이 너무 작게 되면 가드링으로 전이된 전기장에 의해 누설전류가 발생할 가능성을 보여주었다 [3]. 따라서 가드링과 확산영역간의 폭은 2~3 μm 정도가 되어야 함을 시뮬레이션을 통해 확인하였다.

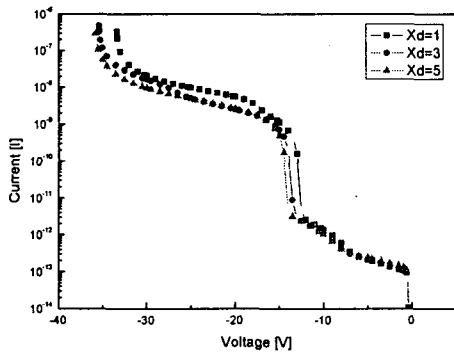


그림 2. 확산영역 높이 (x_d) 변화에 따른 I-V 곡선

	E_{max} (V=-5V)	E_{max} (V=-35V)
C1($x_g=1$)	1.1×10^5	4.7×10^5
C2($x_g=1$)	2.5×10^5	1.7×10^5
C3($x_g=1$)	2.2×10^4	6.1×10^5
C1($x_g=3$)	2.8×10^4	2.1×10^5
C2($x_g=3$)	9.0×10^3	5.5×10^4
C3($x_g=3$)	2.2×10^5	6.1×10^5
C1($x_g=5$)	2.8×10^4	2.8×10^4
C2($x_g=5$)	9.0×10^3	2.7×10^4
C3($x_g=5$)	2.2×10^5	6.1×10^5

표 2. C1, C2 및 C3에서의 E_{max} [V/cm] 값

4. 결론

본 연구에서는 애벌런치 포토다이오드의 구조 변화에 따른 전압-전류 특성 및 전기장 특성 변화에 대해 알아보았다. 시뮬레이션 결과 식각 깊이 변화를 작게 하면 문턱 전압과 항복전압이 감소함을 확인 하였고 가드링과 확산영역간의 폭을 변경하며 가드링의 효과에 대해 확인을 할 수

있었다. 가드링과 소자의 간격이 너무 좁게 되면 가드링을 통해 전기장의 확산이 가드링 쪽으로 빨리 발생하여 가드링에서의 누설 전류를 야기되는 문제가 발생할 수 있고 가드링과 소자의 간격이 너무 멀게 되면 가드링이 역할을 하지 못해 경계 항복이 발생할 수 있으므로 이에 대한 구조의 최적화가 요구된다.

이러한 결과를 토대로 구조 조건에 따른 애벌런치 포토다이오드의 특성 변화를 애벌런치 포토다이오드 공정/설계에 적용가능성을 확인하였다.

참고 문헌

- [1] B. Lee and I. Yun, "Effect of different etching processes on edge breakdown suppression for planar InP/InGaAs avalanche photodiodes," *Microelectronics Journal*, vol. 33, pp. 645-649, 2002.
- [2] D. Hasko, J. Kovac, F. Uherek, J. Skriniarova, J. Jakabovic and L. Peternai, "Design and Properties of InGaAs/InGaAsP/InP Avalanche Photodiode," *Journal of electrical engineering*, vol. 58, no. 3, pp. 173-176, 2007.
- [3] K. H. Yoon, M. H. Shin and C. Y. Park, I. Yun and S. J. Kim, "Edge Breakdown Suppression of 10 Gbps Avalanche Photodiode," *Journal of the Korean Physical Society*, vol. 45, pp. S936-S940, December 2004.