

# 플립칩 본딩 구조의 표면방출레이저 어레이에 대한 열 해석

김선훈, 김태언, 김상택, 기현철, 양명학, 김효진, 고향주, 김희중  
한국광기술원

## Thermal analysis of a VCSEL array with flip-chip bond design

Seon Hoon Kim, Tae Un Kim, Sang Taek Kim, Hyun Chul Ki, Myung-Hak Yang, Hyo Jin Kim,  
Hang Ju Ko, and Hwe Jong Kim  
Korea Photonics Technology Institute

**Abstract :** The finite element model was used to simulate the temperature distribution of a arrayed vertical-cavity surface-emitting laser (VCSEL). In this work, the dimension of AlGaAs/GaAs based VCSEL array was  $50\mu\text{m}$  active diameter and  $250\mu\text{m}$  pitch, and AuSn solder of 80wt%Au-20wt%Sn was included to flip-chip bond. The results of the thermal simulation will be applied to predict the thermal cross-talk in high speed parallel optical interconnects.

**Key Words :** VCSEL, Flip-chip, Thermal analysis, Solder

### 1. 서론

GaAs 표면방출레이저 (vertical-cavity surface-emitting laser, VCSEL)는 기가비트 이더넷, 고속병렬 광접속에 폭 넓게 사용되고 있다 [1]. 그리고 이러한 고속의 대용량 신호 전달을 위한 방법으로 표면방출레이저의 어레이 구조가 응용된다.

그림 1에는 표면방출레이저 어레이가 적용된 병렬 광접속 모듈 구조에 대한 개념도를 제시하였다. 특히 이러한 어레이 구조에서 열 누화 (thermal cross-talk)라고 하는 특성이 매우 중요한 인자로 다루어지고 있다 [2, 3].

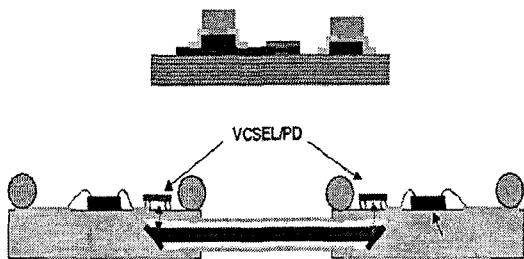


그림 1. 병렬 광접속 모듈 구조.

본 연구에서는 병렬 광 접속에 응용될 표면방출레이저 어레이 구조를 제시하고, 이에 대한 유한요소모델(FEM)을 작성하여 열 전달 특성을 전산모사 하였다 [4, 5].

### 2. 해석 모델

AlGaAs/GaAs 표면방출레이저의 어레이 구조를 그림 2에 나타내었다. 단일 표면방출레이저 칩은 직경  $50\mu\text{m}$  활성층, 두께  $2\mu\text{m}$ 의 n형 및 p형 Au 전극과 직경  $80\mu\text{m}$ , 두께  $10\mu\text{m}$ 의 80wt%Au-20wt%Sn AuSn 솔더로 구성되어 있고, 이러한 4개의 단일 표면방출레이저 칩이  $250\mu\text{m}$  간격으로 병렬 구성된 어레이 구조이다.

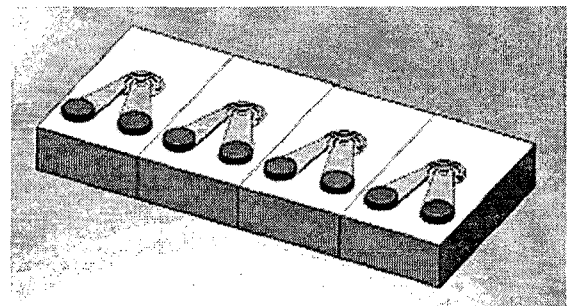


그림 2. 표면방출레이저의 어레이 구조.

상기의 표면방출레이저의 어레이 구조를 이용하여 유한요소 모델을 작성하였으며, 이를 그림 3에 나타내었다.

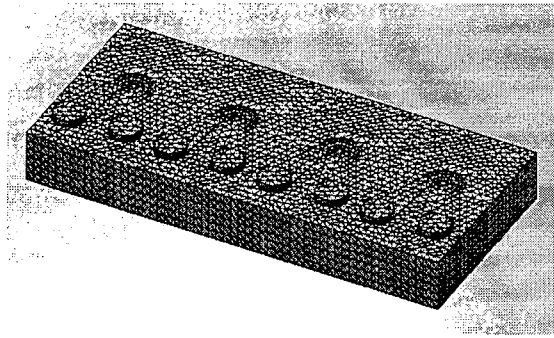


그림 3. 유한요소 모델.

### 3. 열 전달 해석

국부의 열원과 표면방출레이저의 표면 및 솔더의 대류 계수를 기본으로 하는 표면방출레이저 어레이에서 공간적으로 온도분포 불균일성을 전산모사 하였다.

열 전달 전산모사를 위한 조건은 다음과 같다. 먼저 열원은 그림 2에서 좌측에서 첫 번째 단일 표면방출레이저 칩의 활성층을 대상으로 온도는 60℃로 하였다. 열 경계 조건으로 표면방출레이저의 표면이 25W/m<sup>2</sup>K의 대류 계수를 갖는 것으로 하였고, AuSn 솔더를 통해 충분히 열이 전달되는 것으로 가정하여 10kW/m<sup>2</sup>K의 대류 계수를 갖는 것으로 가정하였으며, 이 때 분위기 온도는 25℃ 이었다.

그림 4는 상기의 조건으로 한 열 전달 전산모사 결과이다.

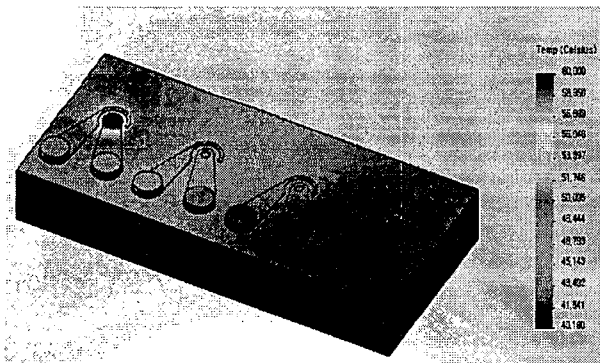


그림 4. 열 전달 전산모사.

그리고 그림 4의 결과에 따른, 표면방출레이저 어레이의 위치에 따른 온도 분포를 그림 5에 그래프로 나타내었다. 그래프에서 번호(#1~#4)는 각각의 단일 표면방출레이저 칩의 위치로서 좌측에서부터 각각의 칩의 활성층 중앙을 가리킨다.

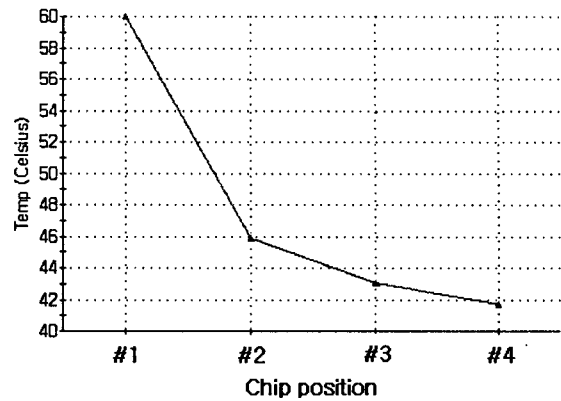


그림 5. 위치에 따른 온도 분포.

### 4. 결론

본 연구에서는 병렬 광 접속을 위한 GaAs 표면방출레이저 어레이 구조의 유한요소모델(FEM)을 작성하고 열 전달 특성을 전산모사 하였다. 이러한 결과를 바탕으로 가상 모델을 발전시키고, 실제의 병렬 광 접속 모듈에서의 열 누화 현상에 응용하고자 한다.

### 참고 문헌

- [1] K. Iga, F. Koyoma, and S. Kinoshita, IEEE J. Quantum Electron., vol. 24 pp. 1845-1855, 1988.
- [2] Yasuhiro Uchiyama, et al., IEICE Electronics Express, vol. 1, No. 17, pp. 545-550, 2004.
- [3] T. Wipiejewski, IEEE Photo. Tech. Lett. vol. 8, No. 8, pp. 980-982, 1996.
- [4] John Lau and Walter Dauksher, 2006 ECTC.
- [5] Yubing Gong, Quanyong Li, and D.G. Yang, 2006 International Conference on Electronics Packaging Technology.