

# 1Kbit single-poly EEPROM IC 설계

정인석, 박근형, 김국환\*  
충북대학교, 매그나칩\*

## 1Kbit single-poly EEPROM IC design

In-seok Jung, Keun-Hyung Park, Kuk-hwan Kim\*  
Chungbuk National Univ. MagnaChip\*

**Abstract :** In this paper, we propose the single polycrystalline silicon flash EEPROM IC with a new structure which does not need the high voltage switching circuit. The design of high voltage switching circuits which are needed for the data program and erase, has been an obstacle to develop the single-poly EEPROM. Therefore, we has proposed the new cell structure which uses the low voltage switching circuits and has designed the full chip. A new single-poly EEPROM cell is designed and the full chip including the control block, the analog block, row decoder block, and the datapath block is designed. And the each block is verified by using the computer simulation. In addition, the full chip layout is performed.

**Key Words :** EEPROM, Flash, Memory, single-poly, Embedded

### 1. 서론

최근 EEPROM이 SOC embedded memory로 크게 각광을 받고 있다. 그러나 일반적인 EEPROM은 표준 CMOS 공정이 아닌 double-poly 공정을 사용하여 제작되기 때문에 아직까지 embedded memory로는 제한적으로 사용되어 왔다 [1,2,3]. 이러한 문제의 해결 방안으로 single-poly EEPROM 소자가 크게 각광을 받고 있다. 이는 이 소자가 표준 CMOS 공정을 사용하여 제작될 수 있어 반도체 공정에서 중요한 공정 시간을 단축할 수 있고 또한 공정비용을 줄일 수 있기 때문이다.

기존 single-poly EEPROM은 데이터 프로그램시와 소거시에 높은 전압이 펄스 형태로 인가하기 때문에 수많은 고전압 스위칭 회로가 필요하게 되고, 이러한 고전압 스위칭 회로의 설계가 single-poly EEPROM의 개발에 심각한 장애 요인이 되어 왔다[4,5].

본 논문에서는 이러한 문제를 해결하기 위하여 저전압 스위칭 회로로 데이터 프로그램과 소거가 가능한 새로운 구조의 single-poly EEPROM 소자를 제안하여 그동안 업체들이 개발과정에서 겪었던 고질적인 문제들을 해결하려고 한다.

### 2. 설계 사양

설계한 single-poly EEPROM의 메모리 크기는 그림2. 과 같이 1Kbit의 저장량으로 128개의 워드라인과 8개의 비트 라인으로 구성된다. 1byte의 bit라인이기 때문에 페이지 버퍼는 필요없고 8bit 병렬 I/O버스가 필요하며, 프로그램 모드와 소거 모드 그리고 읽기 모드로 구성된다. single-Poly EEPROM의 fullchip은 7개의 블록으로 구성되며, 전체적인 제어를 담당하는 control block과 승압을 통하여 일정한 VPP나 VPLL을 만들어내는 Analog block, 128개의 워드라인 중 한 개의 워드라인을 선택하고, 이것과 동시에 128개의 선택 트랜지스터 중 한 개를 선택하는 row decoder block, 8개의 비트라인에 데이터를 입력해주고 이것을 비트라인에 인가해주는 data selector block과 byte Selector block이 있다. MUX block은 control block에서 만든 source floating 또는 ground 신호를 공통 소스 라인에 전달하거나, 평소엔 비트 라인에 걸리는 고 전압이 Sense Amp에 들어가는 것을 차단하고 읽기 동작 시에만 연결 시켜주는 역할을 한다. 마지막으로 datapath block은 8개의 I/O와 연결되어 데이터의 입출력을 제어한다. 즉, data input buffer와 data output buffer로 데이터의 입출력을 제어하고, sense amp로 읽기 동작 시 비트라인에서 들어오는 값을 읽어 출력으로 내보내 주는 역할을 한다.[6]

설계에 사용된 EEPROM cell은 자체 개발하였고, 프로그램, 소거 및 읽기 모드 시에 필요한 전압을 인가할수 있도록 설계하였다.

### 3. 결과 및 검토

그림 4는 single-Poly EEPROM의 쓰기 동작 시뮬레이션을 하기 위한 입력 신호와 시뮬레이션 한 결과이다. 그림 5 는 Add[11101001]어드레스를 입력했을 때 XPRE<11>이

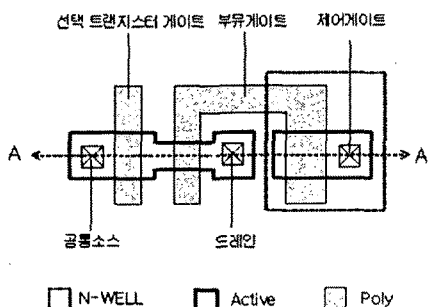


그림 1. Single-poly EEPROM의 셀 레이아웃

선택되는 지를 확인한 것이다. XPRE<11>가 2.0V의 H(high)가 되는 것을 확인할 수 있다.

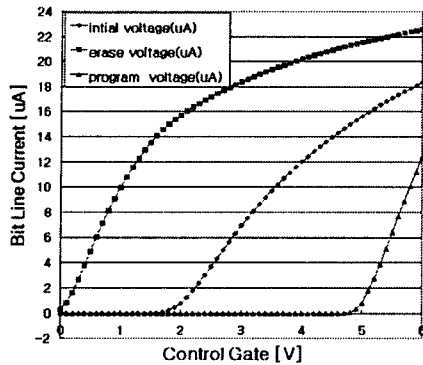


그림 2. Single-poly EEPROM의 기본동작

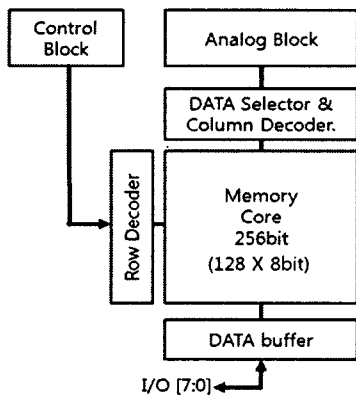


그림 3. Single-poly EEPROM의 블록다이어그램.

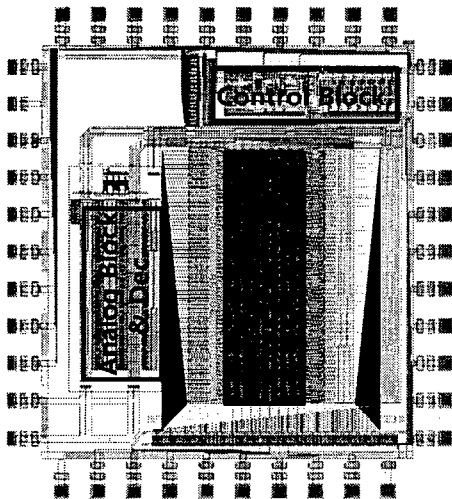


그림 4. Single-poly EEPROM fullchip layout

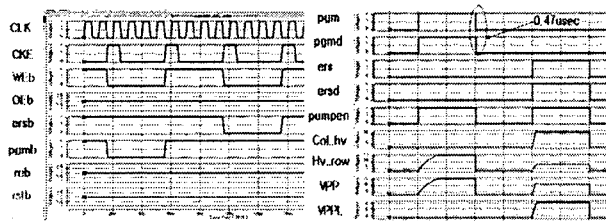


그림 5. Full simulation 의 입,출력 파형

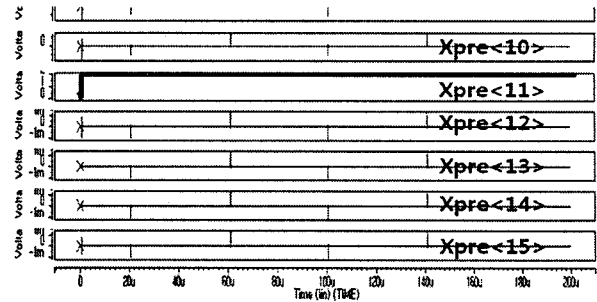


그림 6. 입력주소가 Add[0:7]=[11101001] 일때의 출력.

#### 4. 결론

본 연구에서는 CMOS 공정만을 이용하여 1Kbit single-poly EEPROM을 설계하였다. Control block, Analog block, Row decoder, datapath 등으로 나누어 구현하고 HSPICE를 이용하여 시뮬레이션 검증을 하였고, Fullchip layout을 하였다.

사용한 EEPROM cell은 자체 개발한 EEPROM Cell을 사용하였고, 사용한 cell에 적합한 전압이 인가하도록 설계되었고, 시뮬레이션 결과를 통하여 설계된 single-poly EEPROM이 완벽하게 동작함을 살펴보았다.

본 연구를 통해 설계된 single-poly EEPROM은 임베디드 메모리로 사용이 가능하고, 특히 RFID의 수동형 Tag용 메모리로서도 사용이 가능하도록 설계하였다.

앞으로 fab-in 이후 fab-out 되면 측정을 통한 안정된 동작 유무와 개선점을 찾아 회로를 개선하고, 저전력 설계를 위한 연구가 필요하다.

#### 감사의 글

이 연구는 2007년도 충북대학교 학술연구지원사업의 연구비지원에 의하여 연구되었음.

#### 참고 문헌

- [1] Paolo Pavan, Roberto Bez, Piero Olivo, and Enrico Zanoni, "Flash Memory Cells - an Overview", Proceeding of the IEEE, Vol. 85, No. 8, August 1997.
- [2] W. Brown and E. Brewer, "Nonvolatile semiconductor memory technology," Wiley-IEEE Press, 1997.
- [3] C. Richard, "Trimming analog circuits using floating-gate analog MOS memory." IEEE J.Solid-State Circuits, vol. 24, pp. 1569-1575, 1989.
- [4] R. Jacob Baker, H. Li. and D. Boyce, "CMOS circuit design, layout and simulation," IEEE Press, 1998.
- [5] Chandra Sekhar Acharyulu, "Analysis and characterization of single-poly floating gate devices in 0.35um PDSOI Process", The University of Tennessee, Knoxville, December 2002.
- [6] 황현상, 박근형, "플래시 메모리기술", 지성출판사, 1995.