

# 터널링 SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> 절연막의 적층구조에 따른 비휘발성 메모리 소자의 특성 고찰

조원주, 정종완\*  
 광운대학교, \*세종대학교

## Study of Nonvolatile Memory Device with SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> stacked tunneling oxide

Won-Ju Cho, Jongwan Jung\*  
 Kwangwoon Univ. \*Sejong Univ.

**Abstract :** The electrical characteristics of band-gap engineered tunneling barriers consisting of thin SiO<sub>2</sub> and Si<sub>3</sub>N<sub>4</sub> dielectric layers were investigated. The band structure of stacked tunneling barriers was studied and the effectiveness of these tunneling barriers was compared with that of the conventional tunneling barrier. The band-gap engineered tunneling barriers show the lower operation voltage, faster speed and longer retention time than the conventional SiO<sub>2</sub> tunnel barrier. The thickness of each SiO<sub>2</sub> and Si<sub>3</sub>N<sub>4</sub> layer was optimized to improve the performance of non-volatile memory.

**Key Words :** Nonvolatile memory, SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>, Tunnel barrier engineering, Multi-layer tunnel dielectric

### 1. 서 론

플래시 메모리는 디지털 카메라, 휴대전화기와 같은 각종 휴대용 정보기기 및 대용량 하드 디스크에 널리 이용되는 비휘발성 메모리 소자로서, 유비쿼터스 정보사회의 막대한 정보량을 저장 및 처리하기 위하여 소자의 동작 속도 및 집적도를 향상시키고 동작 전압을 줄이기 위해서 터널링 절연막의 특성을 확보해야만 한다. 만약, 터널링 절연막이 너무 얇을 경우에는 프로그램 속도는 빠르게 할 수 있지만, 데이터를 유지하는 retention 특성에서는 치명적인 문제가 발생한다. 현재의 기술로서 Program/Erase 속도와 Retention 특성을 모두 만족할 수 있는 플래시 메모리의 터널링 산화막 두께의 이론적인 한계는 약 8 nm이며, 이러한 두께의 한계가 Flash 메모리의 scaling을 막는 가장 큰 장벽이 되고 있다.

본 연구에서는 기존 플래시 메모리의 터널링 절연막에 사용되는 단층의 실리콘 산화막(SiO<sub>2</sub>)를 대신하여 유전율과 밴드갭이 서로 다른 절연막을 적층시킴으로서 게이트 전계에 대한 터널링 전류의 민감도를 개선시키고, 낮은 전압에서 Program/Erase 속도와 Retention 특성을 만족시킬 수 있는 적층 구조의 밴드갭 엔지니어드 터널링 절연막 [1,2]에 대해서 시뮬레이션을 통해서 조사하였다.

### 2. 실험

터널링 베리어 엔지니어드 소자 시뮬레이션에 이용된 절연막은 억셉터 농도가  $1 \times 10^{15} \text{ cm}^{-3}$ 인 p-type의 실리콘 기판 위에 실리콘 산화막(SiO<sub>2</sub>)과 실리콘 질화막(Si<sub>3</sub>N<sub>4</sub>)을 적층시킨 구조로서 그림 1과 같이 등가 산화막 두께(EOT: Equivalent Oxide Thickness)가 5 nm가 되도록 설정하였다. 이와 같은 구조의 적층 절연막에 큰 전압(program, erase mode)을 인가하면 그림 2와 같이 낮은 유전상수를 가지는 SiO<sub>2</sub>층에서의 전압강하가 크게 일어나지만, 높은 유전상수를 가지는 Si<sub>3</sub>N<sub>4</sub>에서는 전압강하가 작다. 따라서, SiO<sub>2</sub> 밴

드가 크게 구부러지면서 캐리어가 터널링할 수 있는 거리가 감소하여 전류가 크게 증가하기 때문에 빠른 쓰기과 지우기 동작을 가능하게 된다. 한편, 낮은 전계(retention mode)에서는 캐리어의 터널링 장벽 두께가 증가하므로 누설전류가 낮아지게 되고 데이터 유지 특성이 개선되게 된다.

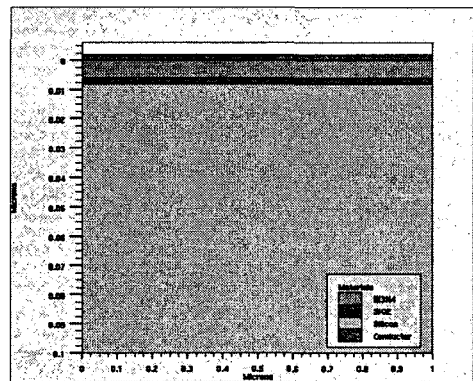


그림 1. 시뮬레이션에 이용된 터널링 절연막 구조.

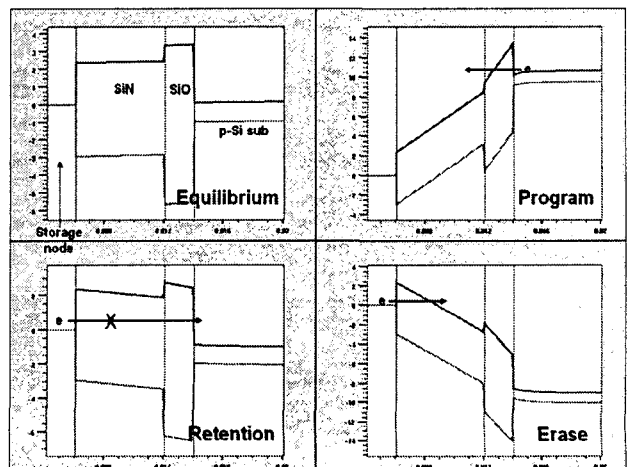


그림 2. 동작조건에 따른 에너지 밴드 구조 및 전류 변화.

### 3. 결과 및 검토

그림 3은 SiO<sub>2</sub> 및 Si<sub>3</sub>N<sub>4</sub>의 두께 조합에 따른 터널링 전류 특성을 나타내며, 동일한 EOT를 가지더라도 SiO<sub>2</sub> 단층으로 이루어진 절연막은 낮은 전압에서 큰 누설전류를 보이므로 데이터 유지 특성에 문제가 있음을 알 수 있다. 한편, SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> 적층으로 이루어진 절연막은 낮은 전압에서는 낮은 누설전류를 보이는 반면, 전압에 터널링 전류의 증가가 커지는 것을 볼 수 있다. 또한, SiO<sub>2</sub>의 두께가 감소할수록 전계에 대한 터널링 전류의 감도를 개선되는 것을 확인할 수 있다.

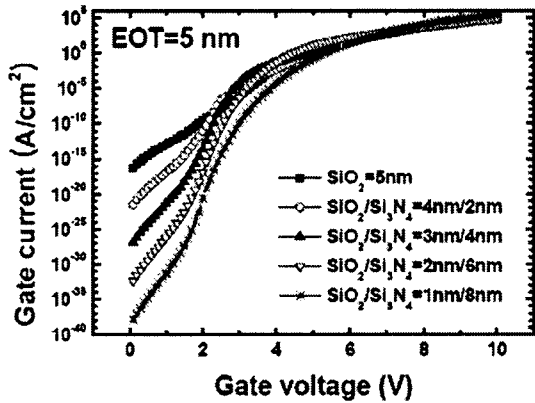


그림 3. SiO<sub>2</sub> 및 Si<sub>3</sub>N<sub>4</sub>의 두께 조합에 따른 터널링 전류.

그림 4는 SiO<sub>2</sub> 및 Si<sub>3</sub>N<sub>4</sub>의 두께 조합에 따른 쓰기 전압 및 program disturb margin을 나타내고 있다. SiO<sub>2</sub>층의 두께가 증가함에 따라서 쓰기 전압은 감소하다가 다시 상승하는 경향을 보인다. 최소 쓰기전압은 SiO<sub>2</sub> 두께가 2.5 nm에서 얻을 수 있다. 한편, program disturb margin은 그림 3에서 보는 게이트 전압에 따라서 게이트 전류가 얼마나 빨리 증가하는가를 나타내며 쓰기전압과 유지전압의 비 ( $V_{pg}/V_{ret}$ )로서 결정되며 낮을수록 유리하다. 절연막의 두께 조합에 따른 program disturb margin은 SiO<sub>2</sub>층의 두께가 증가함에 따라서 쓰기 전압은 증가하는 경향을 보인다. 따라서 이 두 관계를 이용하여 최적의 절연막 두께 조합을 찾으면 그림에서 회색으로 나타낸 영역으로 SiO<sub>2</sub>는 1.5~2.5 nm, Si<sub>3</sub>N<sub>4</sub>는 6.8~4.9 nm의 범위이다.

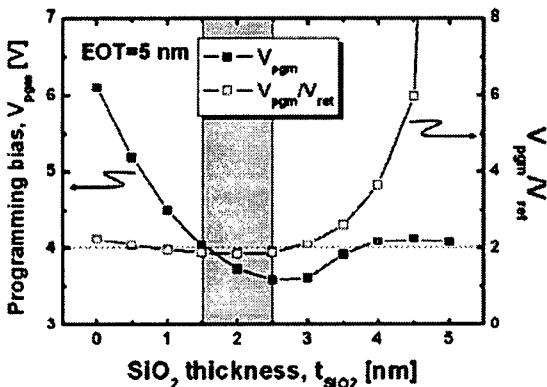


그림 4. SiO<sub>2</sub> 및 Si<sub>3</sub>N<sub>4</sub>의 두께 조합에 따른 쓰기전압 및 disturb margin.

그림 5는 전하를 축적하는 전하축적 노드의 일함수에 따른 쓰기 전압 및 program disturb margin을 나타내고 있다. 폴리 실리콘 플로팅 게이트나 나노점을 이용한 비휘발성 메모리 소자의 경우에는 플로팅 게이트나 나노점의 일함수가 메모리 소자의 동작 특성에 영향을 줄 수 있는데, 시뮬레이션의 결과를 보면 일함수가 증가할수록 쓰기 전압은 커지지만, program disturb margin은 개선되는 특성을 보이고 있다. 즉, 전하축적 노드의 일함수에 따라서 trade-off의 관계를 가지는데 최적의 일함수는 그림에서 보는 것처럼 페르미 준위가 밴드갭 중앙 근처에 있는 midgap 재료라고 할 수 있다.

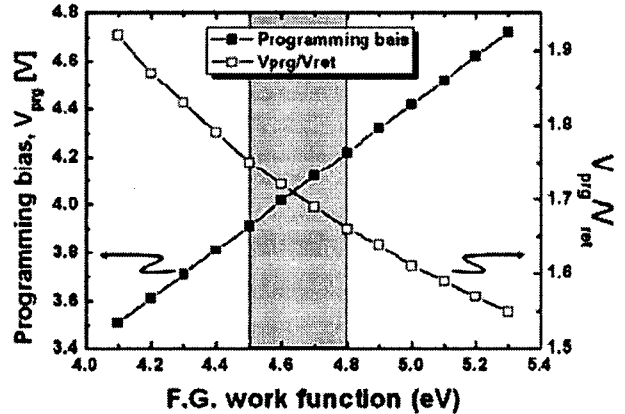


그림 5. Floating gate workfunction에 따른 쓰기전압 및 disturb margin.

### 4. 결론

본 연구에서는 유전율과 밴드갭이 서로 다른 절연막을 적층시킴으로서 게이트 전계에 대한 터널링 전류의 민감도를 개선시키고, 낮은 전압에서 쓰기/지우기 속도를 증가시키고 데이터 유지 특성을 만족시키도록 한 밴드갭 엔지니어드 터널링 절연막에 대해서 연구하였다. 동일한 EOT에서 SiO<sub>2</sub> 단층으로 이루어진 절연막은 낮은 전압에서 큰 누설전류를 보이므로 데이터 유지 특성에 문제가 있지만, SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> 적층으로 이루어진 절연막은 누설전류가 감소되므로 데이터 유지 특성이 개선되었다. 또한, 쓰기 전압 및 program disturb margin을 모두 만족시키기 위해서는 SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> 두께 조합의 최적화가 필요하며 SiO<sub>2</sub>는 1.5~2.5 nm, Si<sub>3</sub>N<sub>4</sub>는 6.8~4.9 nm의 범위이며, 전하축적 노드로서는 midgap 재료를 이용하는 것이 가장 바람직하다는 것을 확인하였다. 따라서, SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> 적층 터널링 절연막을 적용하면 낮은 전압에서 Program/Erase속도와 Retention 특성을 만족하는 고성능 플래시 메모리 소자의 제작이 가능하다.

### 참고 문헌

- [1] K. K. Likharev, Appl. Phys. Lett., Vol.73, pp.2137, 1998.
- [2] B. Govoreanu, P. Blomme, M. Rosmeulen, J. Van Houdt, IEEE Electron Device Lett., vol. 24, no. 2, pp. 99-101, 2003.