

비휘발성 메모리 적용을 위한 SiO₂/ZrO₂ 다층 유전막의 전기적 특성

박군호, 김관수, 오준석, 정종원*, 조원주
광운대학교, 세종대학교*

Electrical characteristic of stacked SiO₂/ZrO₂ for nonvolatile memory application as gate dielectric

Goon-Ho Park, Kwan-Su Kim, Oh Jun Seok, Jongwan Jung* and Won-Ju Cho

Department of Electronic materials engineering, Kwangwoon Univ.

Department of Nano Science and Technology, Sejong Univ.*

Abstract : Ultra-thin SiO₂/ZrO₂ dielectrics were deposited by atomic layer chemical vapor deposition (ALCVD) method for non-volatile memory application. Metal-oxide-semiconductor (MOS) capacitors were fabricated by stacking ultra-thin SiO₂ and ZrO₂ dielectrics. It is found that the tunneling current through the stacked dielectric at the high voltage is larger than that through the conventional silicon oxide barrier. On the other hand, the tunneling leakage current at low voltages is suppressed. Therefore, the use of ultra-thin SiO₂/ZrO₂ dielectrics as a tunneling barrier is promising for the future high integrated non-volatile memory.

Key Words : Nonvolatile memory, Zirconium dioxide, Tunnel barrier engineering, Multi-layer tunnel dielectric

1. 서론

최근 반도체 기술의 발전으로 집적도가 크게 증가함에 따라 단위소자의 크기가 급격히 축소되고 있고, 이로 인해서 비휘발성 메모리 (NVM)의 터널 산화막 두께 또한 감소하게 된다. 그러나, 터널 산화막의 두께가 감소함에 따라서 직접 터널 효과가 크게 증가하여 10년 이상의 데이터 보존 특성을 유지할 수 없게 된다. 이를 해결하기 위한 유망한 해결 방법으로써 터널 베리어 엔지니어링이 있다. 터널 베리어 엔지니어링은 게이트 절연체를 적층함으로써 전계에 터널링 전류의 민감도를 향상시켜서 쓰기 및 지우기 속도는 더욱 빨라지게 하며 낮은 전계에서는 10년 이상의 보존 특성을 얻을 수 있다. 터널 베리어 엔지니어링에는 크게 두 가지 방법으로 나눌 수 있다. 그중 하나는 가운데의 포텐셜 장벽이 가장자리 유전막의 포텐셜 장벽 보다 높은 Crested barrier 타입이며[1], 또 다른 하나는 low-k/high-k 또는 low-k/high-k/low-k 구조로 가장자리의 포텐셜 장벽이 가운데의 포텐셜 장벽 보다 높은 VARIOT 구조가 있다[2]. Crested barrier의 경우에는 인가된 전계에 의해 가운데 장벽은 단일 SiO₂ 장벽보다 크게 감소하게 되어서 낮은 전계와 높은 전계에서의 포텐셜 장벽 차이가 더욱 증가되게 된다. 그러나, Crested barrier는 공정 상에 큰 문제점을 가지고 있다. 즉, Si channel 과 게이트 절연막으로 사용되는 high-k 재료 사이에서 우수한 계면 상태를 얻기 매우 어렵다는 점이다.

따라서, 본 연구에서는 VARIOT 타입의 SiO₂/ZrO₂ 적층 유전막을 ALCVD (atomic layer chemical vapro deposition) 방법을 이용하여 증착하였고, Metal-oxide-semiconductor (MOS) capacitors 구조를 제작하여 공정온도와 두께에 따른 터널 베리어의 전기적 특성을 살펴보았다.

2. 실험

본 연구에서는 얇은 SiO₂ 층 위에 다양한 두께로 ZrO₂ 를 증착하여 VARIOT 구조의 MOS capacitor 를 제작하였다. n-type 실리콘 기판위에 모든 유전막은 ALCVD 방법을 이용하여 각각 275 °C, 305 °C에서 증착하였다. 275 °C의 공정 온도에서 SiO₂ 증착률은 0.26 Å/cycle, ZrO₂ 증착률은 1.1 Å/cycle 이었고, 305 °C의 공정 온도에서는 SiO₂ 증착률은 0.28 Å/cycle, ZrO₂ 증착률은 1.36 Å/cycle 이었다. 유전막 위에 전극은 e-beam evaporator 방법을 이용하여 Al 을 150 nm 증착하였다. 310 μm × 230 μm 크기의 전극을 형성한 후 I-V 특성과 charge trapping 특성을 관찰하였다. 그림 1은 광학 현미경을 이용해 형성된 MOS capacitor를 나타낸다.

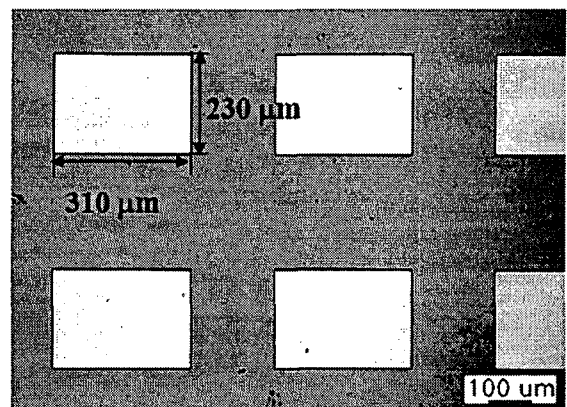
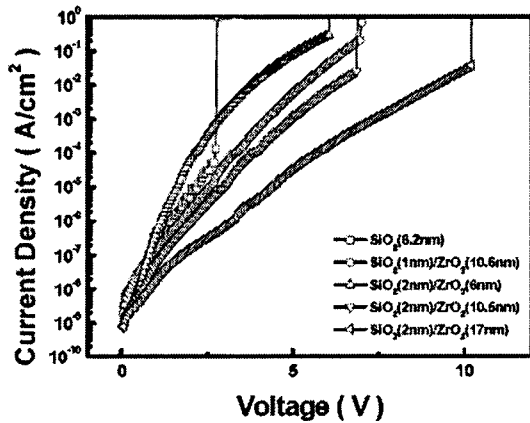


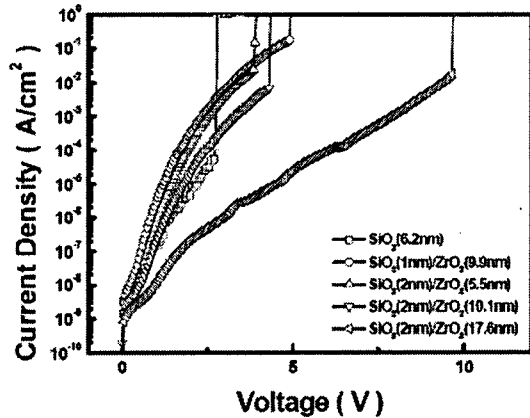
그림 1. 제작된 MOS capacitor의 optical microscope image

3. 결과 및 검토

그림 2.는 증착온도에 따른 $\text{SiO}_2/\text{ZrO}_2$ 의 I-V 특성을 나타내고 있다. $\text{SiO}_2/\text{ZrO}_2$ 로 적층된 구조가 SiO_2 단일 산화막 보다 전계에 더 민감하다는 것을 보여주고 있다. ZrO_2 의 두께가 얇아질수록 큰 터널링 전류가 흐르는 것을 볼 수 있고 기울기도 급격해지는 것을 확인할 수 있다. 또한 275 °C에서 증착했을 때 보다 305 °C에서 증착시 기울기가 더 급격해지는 것을 볼 수 있다. 따라서, 얇은 $\text{SiO}_2/\text{ZrO}_2$ 층을 게이트 유전막으로 이용하면 메모리의 programming speed 향상을 가져올 수 있다.



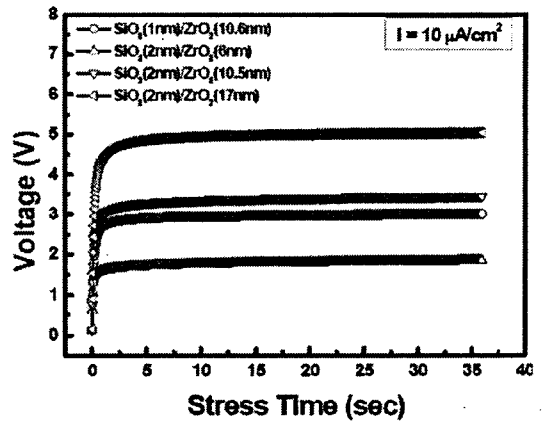
(a) 275 °C에서 증착된 $\text{SiO}_2/\text{ZrO}_2$



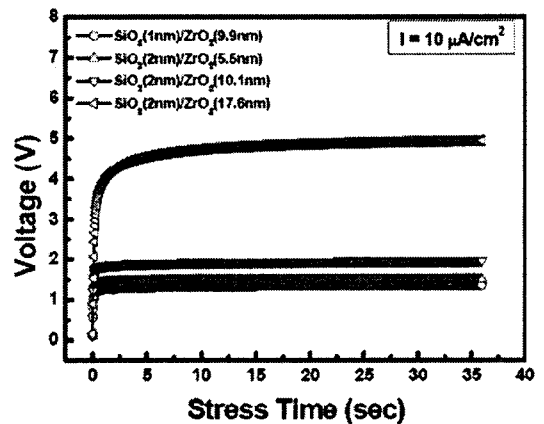
(b) 305 °C에서 증착된 $\text{SiO}_2/\text{ZrO}_2$

그림 2. 증착온도에 따른 $\text{SiO}_2/\text{ZrO}_2$ 의 I-V특성

그림 3.은 TDDB (Time Dependent Dielectric Breakdown) 방법을 이용하여 증착 온도에 따른 $\text{SiO}_2/\text{ZrO}_2$ 의 charge trapping 특성을 보여주고 있다. 측정 방법은 $10 \mu\text{A}/\text{cm}^2$ 의 일정한 전류를 인가하여 전압의 변화를 관찰하였다. ZrO_2 의 두께가 두꺼워질수록 전압의 변화가 큰 것을 확인할 수 있었다. 이는 $\text{SiO}_2/\text{ZrO}_2$ 층의 두께가 두꺼워질수록 charge trapping 현상이 더 많이 일어난다는 것을 보여주고 있다. 또한, 305 °C에서 형성한 절연막보다 275 °C에서 형성한 절연막의 charge trapping 현상이 두드러지는 것을 확인할 수 있었다.



(a) 275 °C에서 증착된 $\text{SiO}_2/\text{ZrO}_2$



(b) 305 °C에서 증착된 $\text{SiO}_2/\text{ZrO}_2$

그림 3. 증착온도에 따른 $\text{SiO}_2/\text{ZrO}_2$ 의 trapping 특성

4. 결론

본 연구에서는 $\text{SiO}_2/\text{ZrO}_2$ 을 적층한 VARIOT 구조에서 증착온도와 두께에 따른 전기적 특성을 나타내고 있다. 얇은 $\text{SiO}_2/\text{ZrO}_2$ 층은 SiO_2 단일 산화막 보다 전계에 더 민감함을 볼 수 있었고 낮은 charge trapping 특성을 볼 수 있었다. 따라서 비휘발성 메모리에서 게이트 유전막으로 얇은 $\text{SiO}_2/\text{ZrO}_2$ 는 SiO_2 를 대체 할 수 있는 우수한 물질이라 할 수 있다.

참고 문헌

- [1] K. K. Likharev, "Layered tunnel barriers for nonvolatile memory devices", Appl. Phys. Lett., Vol.73, pp.2137, 1998
- [2] B. Govoreanu, P. Blomme, M. Rosmeulen, J. Van Houdt, "VARIOT: A Novel Multilayer Tunnel Barrier Concept for Low-Voltage Nonvolatile Memory Devices", IEEE Electron Device Lett., vol. 24, no. 2, pp. 99-101, 2003