

APCVD법을 활용한 다결정 실리콘 박막의 전기적 특성 분석

양재혁, 김재홍, 이준신*

성균관대학교*

PTCR Properties of BaTiO₃ Ceramic Variation of Dopant

Jae-Hyuk Yang, Jae-Hong Kim and Jun-Sin Yi*

Sungkyunkwan Univ.*

Abstract : 본 연구에서는 대기압하에서 고품질의 산화막 증착을 목적으로 TEOS(Tetraethyl Orthosilicate)를 이용하여 APCVD법(Atmospheric Pressure CVD)으로 실리콘 산화막을 증착하고 하였으며, 특성 비교를 위하여 ICP-CVD를 이용하여 SiH₄ 와 N₂O source gas를 이용하여 산화막을 증착하였다. 트랜지스터 제작후 Semiconductor measurement system을 이용하여 TFT의 전기적 특성을 측정 하였으며, 결과적으로 유기 사일렌을 사용한 경우 보다 우수한 전기적 특성을 확인할 수 있었다.

Key Words : APCVD, ICP-CVD, poly-Si TFT, TEOS/Ozone

1. 서 론

최근에는 다결정 실리콘의 저온 공정이 개발되고 있으며, 이와 더불어 TFT의 게이트 절연막으로 사용될 산화막의 저온 공정이 주목 받고 있다. 본 연구에서는 이에 활용 가능한 TEOS/Ozone을 이용한 상압 화학증착 방법을 사용하여 300°C의 저온에서 성장된 트랜지스터의 특성을 분석하고 ICP-CVD에 의하여 증착된 소자와 비교 및 평가를 수행하였다.

2. 실험

SiO₂의 증착을 위한 APCVD (atmospheric Pressure Chemical Vapor Deposition) 시스템은 가스 주입부와 반응기, 반응 가스 처리 장치 세부부분으로 구성 되어 있는데 주입된 가스는 showerhead를 통하여 가열된 기판에 수직 분사되어 증착되었다. Si 공급원인 TEOS는 이송 가스인 N₂ Bubbler에 의하여 1 lpm의 유량으로 주입 되었으며 반응 가스인 오존은 오존 발생기에 의하여 3%의 농도를 유지하며 1lpm의 유량으로 주입 되었다. 균일도 확보를 위하여 showerhead는 기판과의 거리를 15mm로 유지하였으며, 주입되는 총 유량은 15 lpm으로 고정 되었다. SiO₂ 증착을 위하여 유리 기판위에 Buffer layer로서 SiO₂/SiNx 300nm를 증착 하였으며, a-Si 300nm를 증착후 Eximer laser annealing을 통하여 결정화하였다.

SiO₂ 증착을 위하여 APCVD와 ICP-CVD가 사용되었으며, 산화막의 특성 비교를 위하여 각각 120nm의 박막을 300°C증착하였고, SiO₂ (APCVD, 60nm) / SiO₂ (ICP-CVD, 60nm)를 증착하였다.

소자 제작을 위하여 Gate 전극 형성을 위하여 Aluminum 10nm를 증착후 quartz위에 제작된 Mask를 사용하여 photo

lithography 공정을 수행하였으며, 소스와 드레인 정의 후 Ion shower doping 과 N₂ 분위기 하에서 450°C, 4시간 동안 Activation을 하였다.

3. 결과 및 검토

그림 1은 본 연구에서 ELA 처리된 기판 위에 제작한 18μm × 18μm의 length와 width를 갖는 다결정 실리콘 트랜지스터의 output 특성 곡선이다. 각각의 gate insulator에 따라 같은 W/L=1 비율에서도 다른 output 특성을 나타내는 것을 볼 수 있다. TEOS SiO₂를 사용한 경우 ICP-CVD SiO₂나 둘을 혼합한 SiO₂ 박막의 트랜지스터에 비해 포화전류가 약 4배가량 차이를 보이는 것을 통해 다른 박막에 비해 TEOS SiO₂ 박막은 좋은 output 특성을 갖는 박막이라고 사료된다.

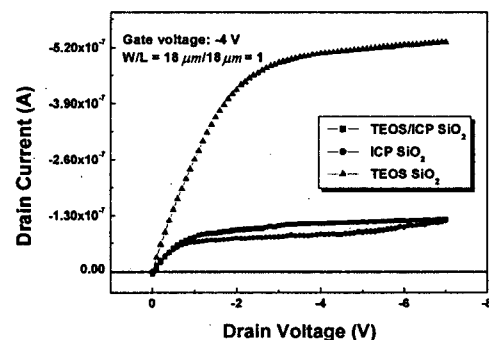


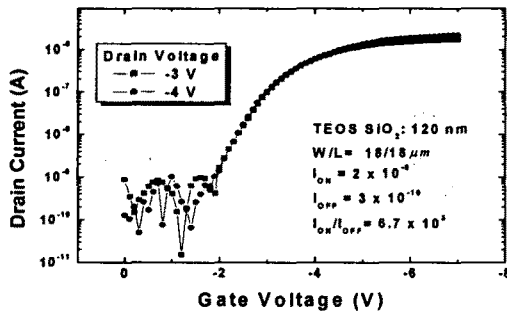
그림 1. Gate insulator에 따른 output 특성 곡선

그림 2는 Gate insulator가변에 따른 다결정 실리콘 트랜지스터의 $V_G - I_L$, $V_D - I_L$, threshold voltage 및

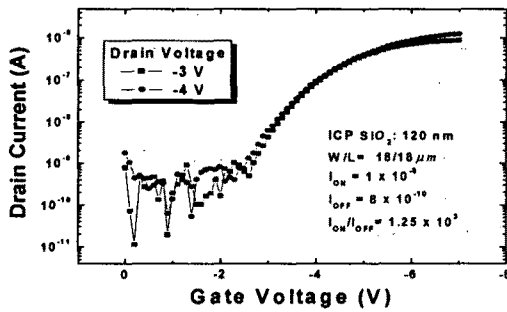
transconductance 특성 그래프로서 TEOS의 경우 OFF-current는 $3 \times 10^{-10} A$, ON-current는 $2 \times 10^{-6} A$ 이고, I_{ON}/I_{OFF} 전류비가 $6.7 \times 10^3 A$ 임을 알 수 있으며, 문턱전압(V_{TH})은 $-2.17V$ 임을 알 수 있었다. ICP를 사용한 경우 박막을 사용하였을 때와 비교하여 전류비 및 I_{sat} 등이 TEOS SiO₂ 박막에 미치지 못하는 것으로 판단되며, TESO SiO₂ 박막과 ICP-CVD SiO₂ 박막의 적층 구조의 경우 ICP-CVD SiO₂ 박막 사용 시와 비슷한 특성을 보였으며, output 특성으로 gate전압이 낮은 곳에서 current crowding 현상이 발생하였지만, 전형적인 트랜지스터 동작 특성을 나타내었으며, 제작된 트랜지스터의 특성들을 표 1에 정리하였다.

Parameter, symbol(unit)	TFT - 1	TFT - 2	TFT - 3
Gate insulator	TEOS SiO ₂	ICP SiO ₂	TEOS/ICP SiO ₂
Gate length, L(m)	1.8×10^{-5}	1.8×10^{-5}	1.8×10^{-5}
Gate width W(m)	1.8×10^{-5}	1.8×10^{-5}	1.8×10^{-5}
W/L ratio	1	1	1
thickness T _{ox} (m)	1.2×10^{-7}	1.2×10^{-7}	1.2×10^{-7}
Threshold voltage V _{TH} (V)	- 2.17	- 2.93	- 2.73
On current, I _{ON} (A)	2×10^{-6}	1.5×10^{-6}	9×10^{-7}
Off current, I _{OFF} (A)	3×10^{-10}	8×10^{-10}	7×10^{-10}
I _{ON} /I _{OFF} ratio	6.7×10^3	1.88×10^3	1.29×10^3

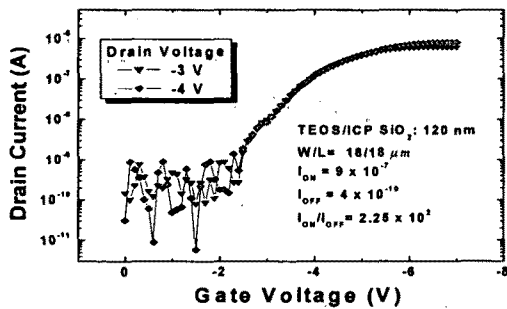
표 1. 제작된 트랜지스터의 소자 특성 정리



(a) TFT - 1



(b) TFT - 2



(c) TFT - 3

그림 2. Gate insulator에 따른 TFT의 Vg-Id 특성 곡선

4. 결론

유리기판 위에 만들어진 Gate insulator 가변에 따른 소자 제작 결과로서 고진공상의 위험한 사일렌가스를 사용한 소자의 특성보다 APCVD system상의 유기 사일렌을 사용한 경우에 더 좋은 특성을 확인할 수 있었으며, 이는 앞으로 저온 및 고속 증착을 통한 산화막 활용분야에 많은 연구 발전 가능성이 있다고 사료된다.

감사의 글

본 연구를 위해 지도해주신 이준신 교수님께 먼저 감사드리며, 학부생의 연구를 위해 부족한 실험장비를 빌려주신 정보통신소자연구실과 특히 저에게 아낌없는 도움을 주신 손혁규, 김재홍 조교께도 감사의 인사를 올립니다.

참고 문헌

- [1] K. Schroder, "Semiconductor Material and Device Characterization 2nd", A Wiley-Interscience, P. 337, 1998
- [2] Junji Kido, "Electro luminescence", 광문각, P. 142, 2004
- [3] Y. Nishimoto, N. Tokumasu, K. Fujino and K. Maeda, IEEE VMIC Conf., P. 382, 1989
- [4] Y. Ikeda, Y. Numasawa and M. Sakamoto, J. Electronic Material, P. 45, 1990