

High-k를 이용한 터널베리어 메모리의 절연막 특성 평가

오세만, 정명호, 박군호, 김관수, 조영훈*, 정종완**, 정홍배, 조원주
 광운대학교, 한국기초과학지원연구원*, 세종대학교**

Electrical characteristic of insulator in tunnel-barrier memory using high-k

Se-man Oh, Myung-ho Jung, Gun-ho Park, Kwan-su Kim,
 Young-hun Jo*, Jong-wan Jung**, Hong-bea Jung, Won-ju Cho
 Kwang-woon Univ. KBSI*, Se-jong Univ**

Abstract : The Metal-Insulator-Silicon (MIS) capacitors with SiO₂ and high-k dielectric were investigated. The high-k dielectrics were obtained by atomic layer deposit (ALD) system. The electrical characteristics were investigated by measuring the current-voltage (I-V) characteristics. The conduction mechanisms were analyzed by using the Fowler-Nordheim (FN) plot and Direct Tunneling (DT) plot. As a result, the MIS capacitors with high-k dielectrics have lower leakage current densities than conventional tunnel-barrier with SiO₂ dielectrics.

Key Words : Tunnel-barrier, High-k, HfO₂, Al₂O₃, ZrO₂

1. 서 론

최근 mobile 제품 및 멀티미디어 제품에 포함되는 메모리 소자와 초고속, 초고집적 멀티미디어 기능을 갖춘 정보통신용 하드웨어들이 급속도로 발전하면서, 소자의 크기를 30nm 이하로 줄이고 우수한 동작 특성을 확보하기 위한 비휘발성 메모리 소자의 터널링 절연막에 관한 연구(TBE-tunnel barrier engineering)가 최근 많은 관심을 모으고 있다. 소자의 집적화에 따라 누설 전류를 줄이고, 단위 면적당 gate capacitance 값을 늘리기 위한 방법으로는 SiO₂와 SiON 대신에 유전율이 큰 high-k 물질을 이용하는 방법이 있다. 그러나, high-k 물질을 이용한 터널링 절연막에 대한 동작 특성은 아직까지 정확히 밝혀지지 않고 있다.

따라서, 본 연구에서는 conduction mechanism의 이해를 통해 터널링 절연막의 특성을 분석하고, high-k 물질을 터널링 절연막으로 사용함에 있어서 그 특성의 최적화하고 향상시키고자 한다.

2. 실험

실험은 그림 1과 같은 순서로 진행하였다. 시료의 두께 및 온도 조건은 표 1과 같으며, 각각의 시료는 약 1-10Ω의 면저항을 가지는 p-type Si 기판을 이용하여 제작되었다. 먼저 initial cleaning을 한 후, high-k 절연막을 ALD(Atomic layer deposit)을 이용하여 표 1과 같은 조건으로 증착하였다. 이후, electron-beam evaporator를 이용하여 Al을 증착하고, photo-lithography 방법을 이용하여 전극(310 μm×230 μm)을 형성하여 MIS capacitor를 제작하였다. 제작된 시료의 전기적 특성은 HP-4156B semiconductor parameter analyzer와 Keithley 238과 PPMS(Physical Property Measurement System)를 이용하여 측정하였다.

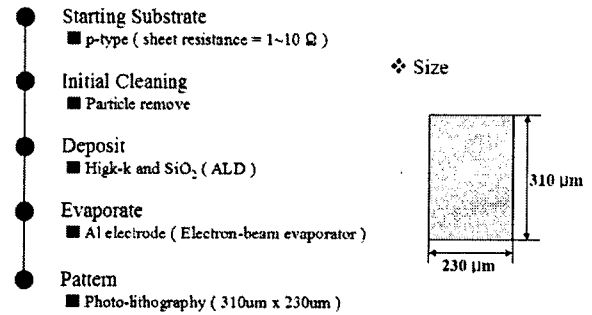


그림 1. 실험 순서 및 시료 크기

No.	Type	Method	Temperature (°C)	Thickness (Å)
1	SiO ₂	ALD	315	57
2	Al ₂ O ₃		430	63
3	ZrO ₂		285	66
4	HfO ₂		300	63

표 1. 시료의 두께 조건.

3. 결과 및 검토

그림 2은 SiO₂, Al₂O₃, ZrO₂, HfO₂를 이용하여 만든 시편들의 전기적 특성을 보여주고 있다. High-k 물질들의 경우 SiO₂에 비해 낮은 전계 영역에서 누설전류가 적은 것을 확인할 수 있다. Al₂O₃와 ZrO₂의 경우에는 SiO₂에 비해 높은 전계 영역에서 터널링 전류가 낮은 것을 볼 수 있고, HfO₂의 경우에는 높은 전계영역에서 SiO₂에 비해 터널링 전류가 높은 것을 볼 수 있다. 따라서 Al₂O₃와 ZrO₂는 메모리 소자의 blocking 절연막에 응용이 가능하다고 예상되고, HfO₂의 경우에는 메모리 소자의 터널링 절연막으로 적용할 경우 우수한 특성이 예상된다.

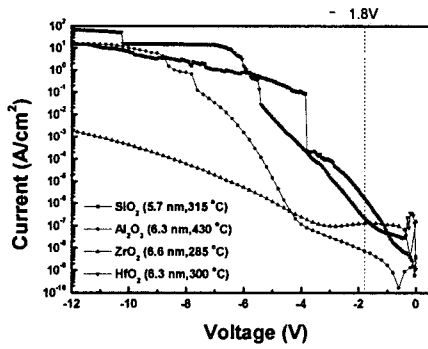


그림 2. 제조된 시편의 I-V 특성

그림 3는 HfO₂의 FN plot을 나타내고 있다. 절연막 내에서의 전자의 FN 터널링을 구하기 위하여 다음과 같은 식을 사용하였다 [1],[2].

$$\frac{J}{E^2} = A \exp(-B/E) \quad (1)$$

여기서 J는 전류밀도이고 단위는 A/cm²이고, E는 절연막에 걸리는 전기장이며 단위는 V/cm이다. 식 (1)의 상수 A와 B는 다음과 같이 정리 된다.

$$A = \frac{e^3 m}{16\pi^2 \hbar m_{OX} \Phi_0} \quad (2)$$

$$= 1.54 \times 10^{-6} \frac{m}{m_{OX}} \frac{1}{\Phi_0} (A/V^2)$$

$$B = \frac{4}{3} \frac{(2m_{OX})^{1/2}}{e\hbar} \Phi_0^{3/2} \quad (3)$$

$$= 6.83 \times 10^7 \left(\frac{m_{OX}}{m}\right)^{1/2} \Phi_0^{3/2}$$

여기서 e는 전하량이고, m은 자유전자질량, m_{OX}는 절연막 내의 전자 질량 그리고 2πħ와 Φ₀는 각각 Planck 상수와 barrier height(eV)를 나타낸다. 그림 3의 FN plot (ln J/E² vs. 1/E)의 고전계 영역으로부터 기울기 B를 구하고, 이를 통해서 Φ₀를 계산할 수 있다. 일반적으로 m_{OX}/m는 0.42~0.5 사이의 값을 가지며 [3], 본 연구에서의 m_{OX}/m 값은 0.5로 두었다. 식 (1)을 이용하여 계산한 결과, 높은 전계영역에서 Al-HfO₂ 접합면의 Φ₀는 약 1.1 eV이었고, HfO₂-Si 접합면의 Φ₀는 약 1 eV이었다. 이 결과는 SiO₂의 Φ₀(3.2 eV)에 비해 작은 값이며, 이 결과로부터 SiO₂보다 HfO₂에서의 FN 전류가 더 큰 현상을 설명할 수 있다.

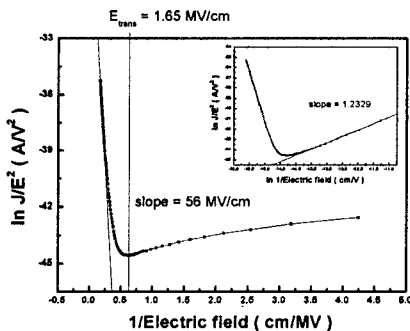


그림 3. HfO₂의 FN plot과 DT plot

그림 3에 삽입된 그림은 DT plot (lnJ/E² vs. ln1/E)을 나타낸다. 이를 통해 낮은 전계 영역에서 direct tunneling이 일어난다는 것을 확인하였다. 또한 direct tunneling에서 FN tunneling으로 전환되는 지점인 E_{trans}는 약 1.65MV/cm인 것을 확인할 수 있었다.

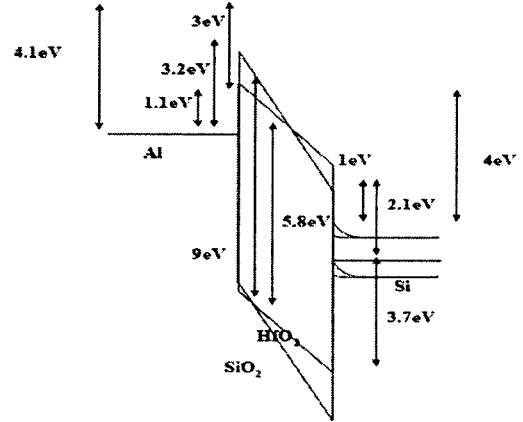


그림 4. HfO₂의 energy-band diagram

그림 4는 이상의 결과를 바탕으로 도시한 HfO₂의 erasing 동작 시의 energy-band diagram이다. Al/HfO₂/Si 구조의 MIS capacitor에서는 Si쪽의 hole barrier height이 Al쪽의 electron barrier height 보다 크게 나타났고, 그 결과 전자 주입이 정공의 주입에 비해 쉽게 이루어질 것이라고 예상된다. 따라서, erasing 동작 시에 gate 전극으로부터의 전자 역주입을 막기 위해서는 work-function이 큰 금속을 gate 전극으로 사용하는 것이 유리하다는 것을 알았다.

4. 결론

본 연구에서는 high-k 절연막을 이용하여 MIS 구조의 capacitor를 제작하고, I-V, FN plot, DT plot을 이용하여 conduction mechanism을 분석하였다. HfO₂의 경우 SiO₂에 비해 낮은 누설전류와 높은 터널링 전류를 가지는 것을 확인하였고, 따라서 메모리 소자의 터널링 절연막으로 적용할 경우 우수한 특성이 예상된다. 또한 erasing 동작의 특성을 개선하기 위해서 work-function이 큰 금속이 유리하다는 것을 확인하였다.

감사의 글

이 논문은 지식경제부 주관 차세대 테라비트급 비휘발성 메모리 개발 사업의 지원에 의해 연구되었음.

참고 문헌

- [1] M. Lenzlinger and E. H. Snow, J. Appl. Phys., 40, 278, 1969.
- [2] Z. A. Weinberg, W. C. Johnson, and M. A. Lampert, J. Appl. Phys. 47, 248, 1976.
- [3] H. W. Chan, F. C. Chiu, C. H. Liu, S. Y. Chen, H. S. Huang, P. C. Juan and H. L. Hwang, Appl. Surf. Sci., 254, 19, 6112, 2008