

비휘발성 메모리를 위한 SiO₂/Si₃N₄ 적층 구조를 갖는 터널링 절연막의 열처리 효과

김민수^a, 정명호, 김관수, 박군호, 정종완¹, 정홍배, 조원주
광운대학교 전자재료공학과, ¹세종대학교 나노공학과

Annealing Effects of Tunneling Dielectrics Stacked SiO₂/Si₃N₄ Layers for Non-volatile Memory

Min-Soo Kim^a, Myung-Ho Jung, Kwan-Su Kim, Goon-Ho Park, Jongwan Jung¹, Hong-bay Chung, Won-Ju Cho.
Kwangwoon Univ, ¹Sejong Univ.

Abstract : The annealing effects of SiO₂/Si₃N₄ stacked tunneling dielectrics were investigated. I-V characteristics of band gap engineered tunneling gate stacks consisted of Si₃N₄/SiO₂/Si₃N₄(NON), SiO₂/Si₃N₄/SiO₂(ONO) dielectrics were evaluated and compared with SiO₂ single layer using the MOS(Metal-Oxide-Semiconductor) capacitor structure. The leakage currents of engineered tunneling barriers (ONO, NON stacks) are lower than that of the conventional SiO₂ single layer at low electrical field. Meanwhile, the engineered tunneling barriers have larger tunneling current at high electrical field and improved electrical characteristics by annealing processes than SiO₂ layer.

Key Words : TBE (Tunnel Barrier Engineering), RTA, PRA, MOS (Metal-Oxide-Semiconductor)

1. 서론

최근 고유전 (high-k) 물질과 SiO₂의 적층 구조를 이용한 터널 배리어 엔지니어링 (Tunnel Barrier Engineering : TBE) 이 유망기술로 주목받고 있다. [1,2] TBE 기술을 이용하면 절연 물질의 적층 구조를 통하여 빠른 동작 속도와 낮은 구동전력 특성의 소자를 제작 가능하다. 또한 물리적 두께의 증가로 데이터 보존 특성 역시 향상된다. 그중 열처리에 안정적인 Si₃N₄에 대한 많은 연구가 진행 중이다.

본 논문에서는 SiO₂와 Si₃N₄의 적층 구조 터널링 절연막의 특성과 최적화된 열처리 공정에 의한 특성 개선에 관해 연구하였다.

2. 실험

(100) 면 방향을 갖는 p-type 과 n-type의 bulk-Si 기판위에 단층의 SiO₂와 SiO₂/Si₃N₄/SiO₂ (ONO), Si₃N₄/SiO₂/Si₃N₄ (NON)의 구조를 갖는 다층 절연막을 형성하였다. 다음으로 TBE-MOS capacitor를 제작하기 위해 E-beam evaporator를 이용하여 150 nm의 Al을 증착하고 photo-lithography를 이용하여 310 × 230 μm²의 면적을 가지는 Gate 전극을 형성시켰다. 그림 1은 본 논문에서 제작된 MOS capacitor의 공정 방법과 구조를 나타낸다.

열산화 SiO₂ 층은 furnace를 이용하여 700°C에서 성장시켰고, Si₃N₄ 층은 LPCVD (Low Pressure Chemical Vapor Deposition) 방법으로 DCS (Dichlorosilane)와 NH₃ 혼합가스 분위기에서 720°C로 증착시켰으며, TEOS (Tetra Ethyl Ortho Silicate) 층은 LPCVD 방법으로 625°C에서 증착시켰다. 각각의 TBE-MOS capacitor에서 열처리에 따른 다층 절연막의 특성을 비교하기 위해 급속 열처리 공정 (RTA)과 furnace를 이용한 후속 열처리 공정 (PRA)을 실시하였다. RTA공정은 850°C, N₂ 분위기에서 30초간 실시하였고, PRA



(a) ONO stacked structure (b) NON stacked structure

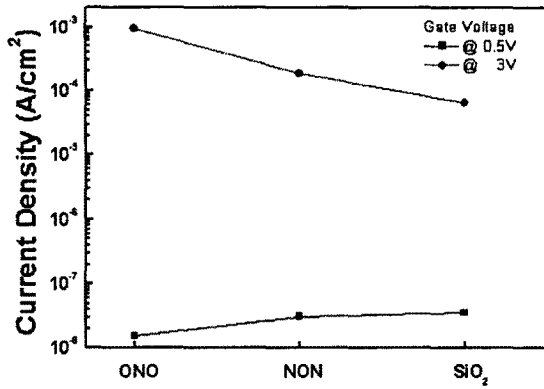
그림 1. 제작된 TBE-MOS capacitor의 단면도

공정은 400°C, 2%의 H₂가 혼합된 N₂ 분위기에서 30분간 실시하였다.

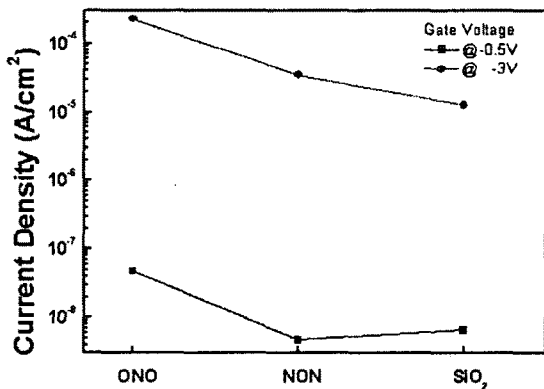
측정 및 분석에는 HP사의 4156B semiconductor parameter analyzer와 4284A LCR meter를 이용하였다.

3. 결과 및 검토

그림 2는 ONO, NON적층구조와 SiO₂ 단층구조에서 열처리공정 전의 I-V 특성을 나타낸 그래프이다. (a)N-type 기판에서 게이트 전압이 0.5V일 때 ONO와 NON적층 구조가 SiO₂ 단층에서 보다 게이트 전류가 적게 흐르는 것을 알 수 있다. 반면 게이트 전압이 3V에서는 ONO, NON적층 구조가 SiO₂ 단층 구조보다 큰 전류가 흐른다. 그림 2 (b)의 P-type 기판에서 게이트 전압이 0.5V일 때 ONO적층 구조가 NON적층과 SiO₂단층에서보다 큰 전류가 흐르지만 게이트 전압이 3V일 때 가장 큰 전류 값을 갖는다. 이러한 결과를 볼 때 SiO₂와 Si₃N₄를 이용한 적층 구조를 터널링 절연막으로 적용하면 SiO₂ 단층에서 보다 적은 누설전류와 빠른 동작 특성을 얻을 수 있다고 판단된다.

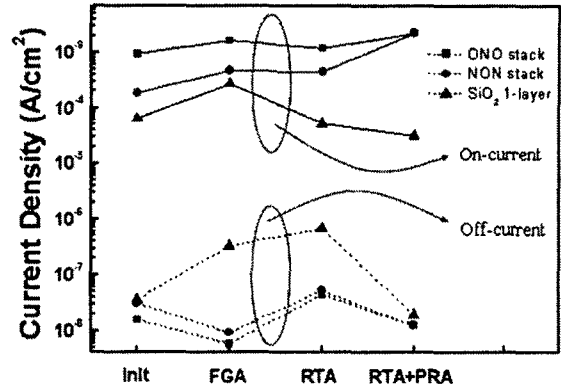


(a)

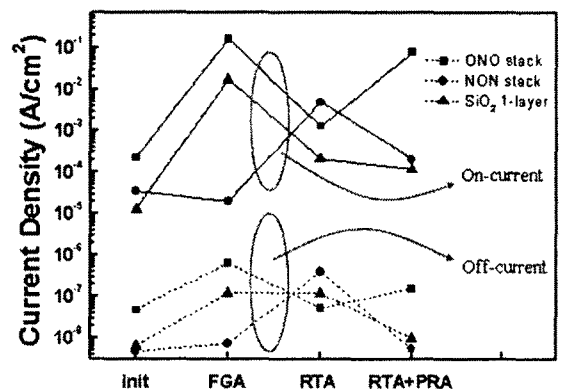


(b)

그림 2. (a)N-type기판과 (b)P-type기판 ONO, NON적층 구조와 SiO₂단층의 초기상태 I-V 특성



(a)



(b)

그림 3. (a)N-type기판과 (b)P-type기판 ONO, NON적층 구조와 SiO₂단층의 열처리 후 I-V 특성

그림 3은 (a)N-type 기판과 (b)P-type 기판에서 ONO, NON 적층구조와 SiO₂ 단층구조의 열처리 공정 후, ±3 V 및 ±0.5 V 게이트 전압에서의 on-current 전류 값을 각각 실선 및 점선으로 나타내었다. 그림 3의 (a)에서 ONO와 NON 적층 구조는 열처리 공정 후 off-current가 감소하고 on-current가 증가하였다. 하지만 SiO₂ 단층에서는 열처리 공정 후 오히려 누설 전류가 증가하고 on-current가 감소하였다. 특히, NON 적층구조의 경우 on-current가 RTA와 PRA공정을 모두 실시했을 때 초기상태보다 10배 이상 증가하는 것을 확인하였다. ONO 적층구조 역시 열처리 후에 전류 특성이 초기상태보다 향상되는 것을 확인하였으며, 생산성을 고려하면 FGA(Forming Gas Anneal) 공정이 가장 적합하다고 판단된다. 그림 3의 (b)에서 ONO, NON 적층구조의 경우 그림 3의 (a)에서와 비슷한 경향을 나타내었다. NON 적층구조는 RTA와 PRA 공정을 모두 실시하는 것이 가장 좋은 전류 특성을 보였고 ONO 적층구조는 그림 3의 (a)에서와 같은 이유로 FGA 공정만 진행하는 것이 적합하다고 판단된다. 또한, SiO₂ 단층의 경우 FGA 공정 만을 진행한 경우 on-current와 off-current가 크게 증가하였으며, RTA 공정과 PRA공정을 모두 진행하는 경우 낮은 off-current와 on-current의 향상을 동시에 얻을 수 있었다

4. 결론

SiO₂/Si₃N₄ 적층 구조를 갖는 TBE-MOS capacitor를 이용한 적층구조의 터널링 절연막에 열처리가 미치는 효과를 연구하였다. ONO, NON 적층구조가 SiO₂ 단층과 비교하여 높은 터널링 전류를 확인하였으며 터널링 절연막으로 사용할 경우 빠른 동작특성을 기대할 수 있다. 또한 최적화된 열처리 공정을 통하여 ONO, NON적층 구조의 전류 특성이 더욱 개선되는 것을 확인하였다.

감사의 글

이 논문은 지식경제부 주관 차세대 테라비트급 비휘발성 메모리 개발 사업의 지원에 의해 연구되었음.

참고 문헌

- [1] S. Lai, Memory Technology Conference, p. 6 ~ 7, 1998
- [2] Jongwan Jung, Won-ju Cho, 대한전자공학회, Vol 8, No 1, p. 32 ~ 39, 2008